

논문 95-4-3-08

스트레스균형이 이루어진  $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$  유전체 멤브레인의 제작

金明奎\*, 朴東秀\*, 金昌源\*\*, 金鎭燮\*\*\*  
李正熙\*, 李鍾玄\*, 孫炳基\*

Fabrication of Stress-balanced  $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$  Dielectric Membrane

Myung-Gyoo Kim\*, Dong-Soo Park\*, Chang-Won Kim\*\*  
Jin-Sup Kim\*\*\*, Jung-Hee Lee\*, Jong-Hyun Lee\*, Byung-Ki Sohn\*

## 요 약

실리콘기판 위에 스트레스균형이 이루어진 150 nm- $\text{Si}_3\text{N}_4$ /300 nm- $\text{SiO}_2$ /150 nm- $\text{Si}_3\text{N}_4$  구조의 평탄한 유전체 멤브레인을 제작하였다. 이 멤브레인의 스트레스 특성평가를 위하여 stress-deflection, stress-temperature 및 스트레인 진단용 시험패턴의 특성을 측정분석하였고, 중간에 있는  $\text{SiO}_2$ 층을 PECVD, LPCVD 및 APCVD방법으로 각각 증착하여  $\text{SiO}_2$ 층의 증착방법에 따른 적층 유전체박막의 스트레스특성에 대해서도 논의하였다. 대부분의 경우 적층 유전체 멤브레인에 인장스트레스가 존재하였으나,  $\text{SiO}_2$ 층의 증착방법과 거의 무관하게 1,150 °C의 후습식산화로 실리콘기판에 의해 멤브레인에 나타나는 인장스트레스의 균형을 얻을 수 있었다. 온도변화에 따른 멤브레인에서의 스트레스 변화특성으로 부터 후산화처리를 하지 않는 경우에는 중간의  $\text{SiO}_2$ 층으로 APCVD방법에 의해 증착된 LTO가 더 적합한 것으로 나타났다.

## Abstract

Stress-balanced flat 150 nm- $\text{Si}_3\text{N}_4$ /300 nm- $\text{SiO}_2$ /150 nm- $\text{Si}_3\text{N}_4$  dielectric membrane on silicon substrate has been fabricated. Analyses of stress-deflection and stress-temperature, and visual inspection for the strain diagnostic test patterns were performed in order to characterize stress properties of the membrane. The  $\text{SiO}_2$  layers sandwiched between two  $\text{Si}_3\text{N}_4$  layers were deposited by three different techniques(PECVD, LPCVD, and APCVD) for the purpose of investigating the dependence of stress on the deposition methods. Some extent of tensile stress in the membrane was always observed regardless of the deposition methods, however it could be balanced against silicon substrate by post-wet oxidation in 1,150 °C. Stress-temperature characteristics of the membranes showed that APCVD-LTO was better as mid- $\text{SiO}_2$  layer than PECVD - or LPCVD -  $\text{SiO}_2$  when there was no oxidation process.

- \* 경북대학교 전자전기공학부  
(School of Electronic & Electrical Engineering,  
Kyungpook Nat'l Univ.)  
\*\* 경북대학교 센서기술연구소  
(Sensor Technology Research Center, Kyungpook  
Nat'l Univ.)  
\*\*\* 인제대학교 전자공학과  
(Dept. of Electronic Engineering, Inje Univ.)  
※ 본 연구는 1994년도 한국표준과학연구원 연합  
협동연구비 지원에 의해 수행되었음.  
<접수일자 : 1995년 4월 1일>

## 1. 서론

열전변환기 또는 열변환기(thermal converter)는 기본적으로 히터 형태로 된 발열부 및 열전대배열(thermocouple array) 형태로 된 열(또는 온도)감지부로 구성되므로, 측정의 정확도측면에서 볼 때 이러한 구조에서는 히터에서 발생된 열량이 실리콘기판 및 패키지 등을 통한 외부로의 손실이 없이 전량 소자내의

열감지부로 전달되어야 한다. 또한, 이러한 외부와의 열적차단(thermal isolation)은 열변환기외에도 소자의 구조 또는 동작원리가 열변환기와 거의 유사한 radiation thermopile, thermoelectric radiation 센서 및 유량 센서 등에서도 각각 소자의 성능에 관건이 되는 문제이다.

소자의 열적차단문제를 개선하기 위하여 외부로의 열량손실을 극대화 하는 방법들 중에서, 패키지를 통한 열량손실은 패키지를 할 때 진공상태로 하거나 Xe 등의 불활성가스를 주입하여 감소시킬 수 있으나, 현재 실리콘을 기판으로 사용하는 2차원적 수평(planar)구조의 소자에서는 실리콘의 우수한 열전도특성 때문에 기판을 통한 열량손실을 쉽게 줄일 수는 없다[1].

M. Klonz 등은 실리콘 기판을 통한 열량손실을 감소시키기 위해서, 실리콘 기판 위에 열적차단막으로서 약 3  $\mu\text{m}$  정도의 비교적 두꺼운  $\text{SiO}_2$ 층 또는 약 1  $\mu\text{m}$  정도의  $\text{Si}_3\text{N}_4/\text{SiO}_2$  이중층을 증착한 후 실리콘 미세가공(Si-micromachining)기술을 사용하여 소자의 활성영역 아래에 있는 실리콘을 완전히 식각하고 유전체 멤브레인만 남게 하여, 소자의 활성영역을 실리콘기판과 완전히 격리시키는 방법을 보고한 바 있다[2,3].

상기한 유전체 멤브레인의 경우  $\text{SiO}_2$ 의 진성스트레스(intrinsic stress) 및 실리콘기판에 대한 스트레스의 열적 부정합(thermal mismatch)때문에 멤브레인이 주름지거나 부서지는 문제가 발생하게 되는데, 최근 H. Dintner 등이 이 문제를 해결하기 위하여  $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$  구조의 유전체 멤브레인을 센서의 열적차단막으로 사용하는 방법을 연구보고 하였다[4,5]. 그들이 보고한 바에 의하면, sandwich구조의 유전체 멤브레인을 구성하는 상부 및 하부의 200 nm- $\text{Si}_3\text{N}_4$ 층은 LPCVD방법으로 증착하고 중간부분의 400 nm- $\text{SiO}_2$ 층은 TEOS-NPCVD방법으로 증착하여, 실리콘기판에 대한 적층 유전체막막의 스트레스 균형이 이루어진 평탄한 유전체 멤브레인을 형성할 수 있었다.

이들 멤브레인의 열전도도 특성 및 열적차단막으로서 센서에서의 응용에 관한 연구보고는 다수 있었으나, 반면에 멤브레인에 작용하는 스트레스 등의 기계적 특성에 대해서는 그것의 중요성은 언급하였지만 현재까지 구체적인 보고는 없었다[1,4,5].

본 연구에서는 향후 각종 센서에 적용할 수 있는 기능성 유전체 멤브레인을 제작하기 위하여, 기존의 확립된 반도체공정으로 상하부의  $\text{Si}_3\text{N}_4$ 층은 공히

LPCVD방법으로 증착하고 중간부분의  $\text{SiO}_2$ 층은 LPCVD, APCVD 및 PECVD방법으로 각각 증착방법을 달리하여 sandwich구조의 유전체 멤브레인을 형성하고, 이들 멤브레인의 스트레스특성을 고찰하였다.

## II. 실험

### 1. 스트레인 진단용 시험패턴 설계

재현성이 있고 특성이 안정된 센서 또는 미세구조 등을 제작하기 위해서는 박막에 존재하는 스트레인의 측정 및 조정이 매우 중요하다. 또한, 박막의 특성은 기판의 표면상태, 박막의 증착조건 및 후열처리에 크게 영향을 받으므로 박막의 스트레인에 대한 지속적인 특성평가도 필요하다.

박막은 일반적으로 비교적 두꺼운 기판의 한면 또는 양면에 형성되고, 양면에 박막이 형성된 경우도 식각 등의 방법으로 한면의 박막을 쉽게 제거할 수 있다. 증착된 박막에는 내재 스트레스(internal stress 또는 built-in stress)가 발생하게 되고 이것이 기판(웨이퍼)을 휘게 한다. 이때 휘어진 기판의 곡률반경은 박막에서의 스트레스에 반비례하고, 박막과 기판 각각의 두께 및 기계적인 특성 등에 영향을 받는다.

본 연구에서는 제작한  $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$  멤브레인의 기계적인 특성을 고찰하기 위하여, 그림 1과 같이 3 종류의 스트레인 진단용 시험패턴을 설계하였다[6]. 그림 1(a)는 cantilever 빔을 이용한 비균질 스트레스(nonuniform stress)측정을 위한 패턴이고, 그림 1(b)는 양쪽으로 지지된 빔 패턴으로 압축변형(compressive strain)측정을 위한 것이며, 그림 1(c) 및 그림 1(d)는 링과 빔을 동시에 사용한 인장변형(tensile strain)측정 패턴이다. 그림 2는 유전체 멤브레인 형성시 뒷면에 있는 실리콘 기판의 이방성습식식각을 위한 마스크 패턴이다.

Cantilever의 경우 최소폭 10  $\mu\text{m}$ 에서 최대폭 500  $\mu\text{m}$ 까지 변화시켜 13개의 패턴을 넣었으며, 길이는 각각 500  $\mu\text{m}$  및 700  $\mu\text{m}$ 이다. 양쪽으로 지지된 빔 패턴의 경우는 빔의 길이를 400  $\mu\text{m}$ 으로 고정하고, 빔의 폭을 최소 10  $\mu\text{m}$ 에서 최대 100  $\mu\text{m}$ 까지 7개의 패턴으로 변화 시켰다. 링과 빔이 혼합된 패턴에서는 링의 내경 및 외경을 각각 100  $\mu\text{m}$  및 120  $\mu\text{m}$ 와 250  $\mu\text{m}$  및 300  $\mu\text{m}$ 의 2가지로 하여, 링의 폭을 각각 10  $\mu\text{m}$  및 25  $\mu\text{m}$ 가 되게 하였으며, 링의 내부에 있는 빔의 폭은 최소

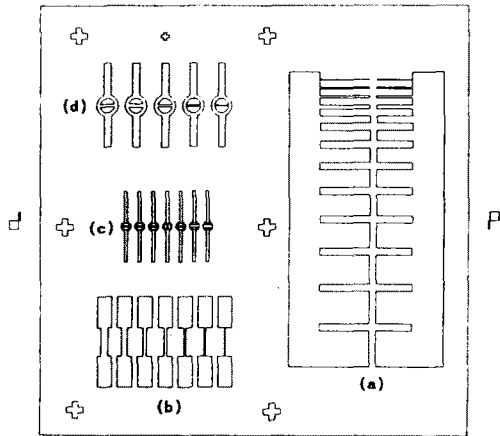


그림 1. 스트레인 진단용 시험패턴(기판의 앞면).  
Fig. 1. Strain diagnostic test pattern(front side of the substrate).

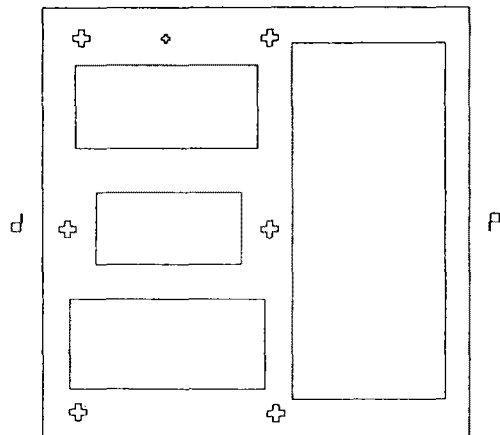


그림 2. 실리콘 이방성식각공정용 마스크 패턴(기판의 뒷면).  
Fig. 2. Mask pattern for Si-anisotropic etching process(back side of the substrate).

10  $\mu\text{m}$ 에서 최대 50  $\mu\text{m}$ 까지 변화시켰다.

### 2. 멤브레인 형성 및 진단용 패턴 제작

본 실험에서 기판으로는 결정면이 (100), 비저항이 2-3  $\Omega\cdot\text{cm}$ , 직경이 5 인치, 두께가 610-640  $\mu\text{m}$ 인 붕소(B)가 도핑된 p형 실리콘 웨이퍼(MEMC사의 제품)를 사용하였다.

우선, 실리콘 기판 위에  $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$  구조의 유전체박막을 적층하기 위하여, 상하의  $\text{Si}_3\text{N}_4$ 층은 공히

780  $^\circ\text{C}$ 에서 LPCVD방법으로 각각 150 nm씩 증착하였고, 중간에  $\text{SiO}_2$ 층은  $\text{SiO}_2$  증착방법에 따른 적층된 유전체박막 전체의 스트레스 특성변화를 분석하기 위하여 PECVD, LPCVD 및 APCVD의 3가지 방법으로 구분하여 증착하였으며,  $\text{SiO}_2$ 층의 두께는 증착방법에 구분없이 공히 300 nm로 하였다. 또한, 각각의 층을 구성하는 유전체박막 자체가 갖는 잔성스트레스를 최소화하기 위하여  $\text{Si}_3\text{N}_4$ 층의 경우 상하로 각각 150 nm씩 2개의 층으로 나누어 증착하였으며,  $\text{SiO}_2$ 층 및  $\text{Si}_3\text{N}_4$ 층에 나타나는 스트레스의 종류 및 크기를 비교 분석하기 위하여 중간에  $\text{SiO}_2$ 층 두께 및 상하의  $\text{Si}_3\text{N}_4$ 층 두께의 합을 각각 300 nm로 동일하게 하여 sandwich 형태로 적층된 유전체의 전체 두께가 600 nm 가 되도록 하였다. PECVD방법을 사용할 경우는  $\text{SiCl}_2\text{H}_2$ 와  $\text{N}_2\text{O}$ 의 혼합가스 분위기에서 실리콘 기판을 380  $^\circ\text{C}$ 로 가열하여  $\text{SiO}_2$ 를 증착하였고, LPCVD방법의 경우는  $\text{TEOS}$ 와  $\text{O}_2$ 의 혼합가스 분위기에서 710  $^\circ\text{C}$ 로 증착하였으며, APCVD방법으로는  $\text{SiH}_4$ 와  $\text{N}_2\text{O}$ 의 혼합가스 분위기에서 380  $^\circ\text{C}$ 로 도핑을 하지 않은 LTO(low temperature oxide)를 증착하였다. 여기서 LPCVD방법으로 증착한  $\text{Si}_3\text{N}_4$  및  $\text{SiO}_2$ 층은 LPCVD공정의 특성상 웨이퍼의 앞면과 뒷면에 동일한 두께는 아니지만 동시에 증착되었으며, PECVD 및 APCVD방법으로 증착한  $\text{SiO}_2$  및 LTO층은 PECVD 및 APCVD공정의 특성상 웨이퍼의 앞면에만 증착되었다.

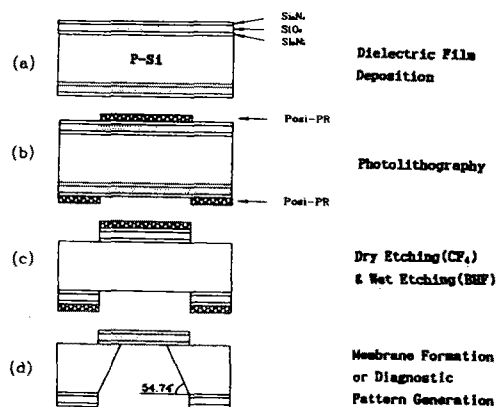


그림 3. 유전체 멤브레인 및 스트레인 진단용 시험 패턴 제작공정.  
Fig. 3. Process sequence for the fabrication of dielectric membrane and strain diagnostic test pattern.

상기와 같이 150 nm-Si<sub>3</sub>N<sub>4</sub>/300 nm-SiO<sub>2</sub>/150 nm-Si<sub>3</sub>N<sub>4</sub> 적층 유전체박막을 실리콘 기판 위에 증착한 후, 그림 3과 같은 순서로 유전체 멤브레인 형성 및 스트레인 진단용 패턴을 제작하였다. 실리콘의 이방성 습식식각을 행할 때 기판의 양면에 증착된 유전체층을 식각 마스크로 사용하기 위한 패턴을 정의하기 위하여 기판의 양면에 양각용 감광액(positive PR: AZ1512)을 두께가 2 μm정도 되도록 스핀코팅하였다. 이때 기판의 뒷면에만 그림 2의 마스크를 사용하여 실리콘 이방성 식각 마스크용 유전체층 패턴을 정의하고, 기판 뒷면에 증착된 상하의 Si<sub>3</sub>N<sub>4</sub>층은 CF<sub>4</sub> 가스를 사용하여 건식으로, 중간에 있는 SiO<sub>2</sub>층은 BHF(6 NH<sub>4</sub>OH : 1 HF)용액으로 습식으로 각각 식각 한 후, 약 80 °C의 항온조속에서 KOH 수용액(100 ml-H<sub>2</sub>O : 44 g-KOH)으로 약 7시간동안 610-640 μm두께의 실리콘 기판을 이방성 식각하여, 600 nm의 두께를 갖는 diaphragm형태의 적층 유전체 멤브레인을 형성하였다[7,8]. 여기서 측정된 실리콘의 깊이방향 식각율은 분당 약 1.45 μm였다.

스트레인 진단용 시험패턴을 형성하기 위해서는 기판의 양면에 양각용 감광액을 스핀코팅한 후, 먼저 그림 1의 마스크를 사용하여 기판 앞면에 진단용 패턴을 정의하고, 기판의 앞면에 증착된 Si<sub>3</sub>N<sub>4</sub>층 및 SiO<sub>2</sub>층을 각각 건식 및 습식식각을 하였으며, 그 다음 그림 2의 마스크를 사용하여 앞에서 언급한 멤브레인 형성공정에서와 같이 뒷면의 실리콘기판을 이방성식각하였다. 본 공정에서 감광액의 현상 및 제거를 위해서 PR remover(AZ500MIF)를 사용하였으며, 마스크정열 및 노광을 위해서는 공정의 특성상 양면정열기(K400P A150, KYOWARIKEN)를 사용하였다.

본 실험에서는 stress-deflection 및 stress-temperature특성측정을 위한 시편의 경우 상기한 증착방법에 따라 웨이퍼의 뒷면에 증착된 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>층 또는 Si<sub>3</sub>N<sub>4</sub>층을 특별히 제거하지 않고 그대로 둔 것을 사용하였으며, 스트레인 진단용 시편의 경우는 상기한 증착방법에 따라 뒷면의 실리콘 미세가공영역 위에 증착된 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>층 또는 Si<sub>3</sub>N<sub>4</sub>층만을 제거하고 그외의 나머지 부분에 증착된 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>층 또는 Si<sub>3</sub>N<sub>4</sub>층은 그대로 둔 것을 사용하였다.

### III. 결과 및 고찰

#### 1. Stress-deflection 특성

멤브레인 형성 및 스트레인 진단용 패턴을 제작하여 각 시험패턴의 특성을 관찰하기 전에, 우선 박막 스트레스 측정시스템(FLX 2300, Tenco)을 사용하여 실리콘기판 자체의 진성스트레스에 의한 기판의 휨(deflection)특성을 파악하고, 또한 유전체 멤브레인을 구성하는 SiO<sub>2</sub>층 및 Si<sub>3</sub>N<sub>4</sub>층에 각각 나타나는 스트레스를 측정하였다. 이 측정시스템은 기판 위에 박막을 증착하므로써 발생하는 박막증착 전후 기판의 휨변화로 부터 기판의 곡률반경변화를 측정하고, 이것을 증착된 박막에 나타나는 스트레스로 변환해 주는 장치이다. 본 실험에서 측정된 박막에서의 스트레스는 박막과 기판의 경계면에 대해 수직방향으로 나타나는 normal stress와 경계면에서의 shear stress가 함께 포함된 평균스트레스이다.

그림 4는 본 실험에서 기판으로 사용한 실리콘 웨이퍼에 대해 불특정한 위치의 약 4인치 범위내에서 실리콘 웨이퍼자체의 스트레스에 의해 나타나는 휨을

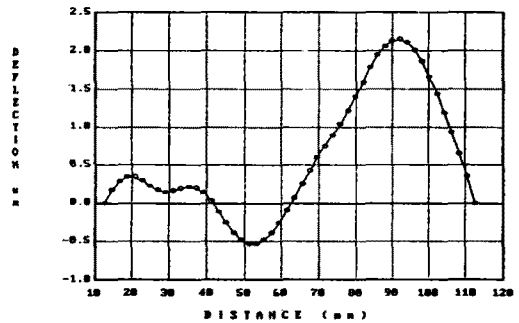


그림 4. 스트레스에 의한 실리콘기판의 휨특성.

Fig. 4. Stress-deflection characteristics of silicon substrate.

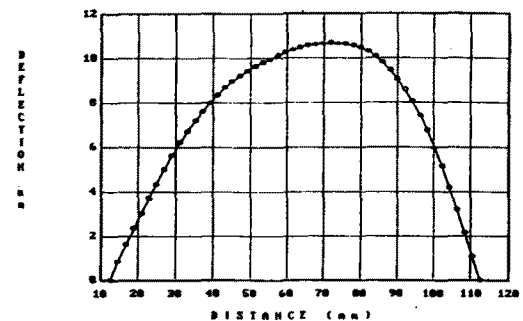


그림 5. 스트레스에 의한 300 nm-LTO/Si의 휨특성.

Fig. 5. Stress-deflection characteristics of 300 nm-LTO/Si.

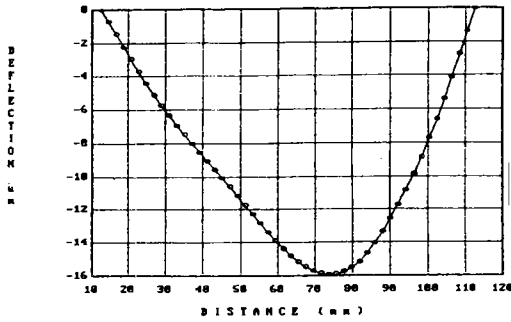


그림 6. 스트레스에 의한 150 nm- $\text{Si}_3\text{N}_4/\text{Si}$ 의 휨특성.  
Fig. 6. Stress-deflection characteristics of 150 nm- $\text{Si}_3\text{N}_4/\text{Si}$ .

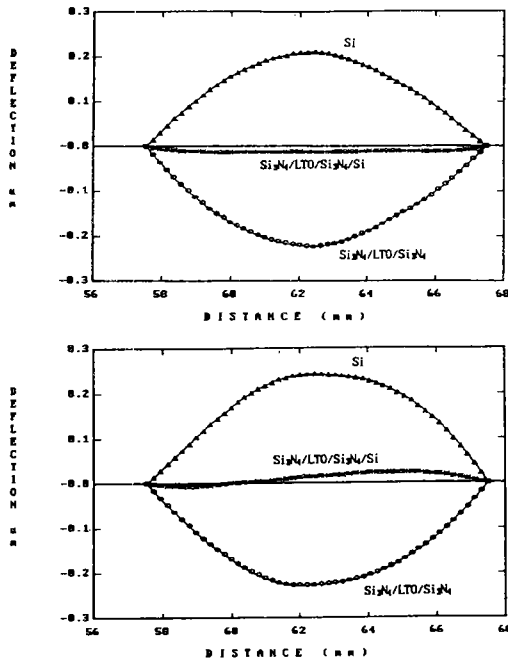


그림 7. 산화처리후  $\text{Si}_3\text{N}_4/\text{LTO}/\text{Si}_3\text{N}_4/\text{Si}$ 의 휨특성.  
Fig. 7. Stress-deflection characteristics of  $\text{Si}_3\text{N}_4/\text{LTO}/\text{Si}_3\text{N}_4/\text{Si}$  after wet oxidation.

측정한 결과이다. 실리콘기판 자체만의 휨(bow) 정도는 약  $2 \mu\text{m}$ 로 기판의 전체 크기가 직경 5 인치임을 고려할 때 본 실험에서 사용한 기판은 상당히 평탄한 웨이퍼로 생각된다.

APCVD방법으로 두께 300 nm의 LTO를 기판위에 증착한 경우 LTO/Si의 휨결과를 그림 5에 나타내었다. 이 경우 최대휨이 약  $+10.7 \mu\text{m}$ 이었으며, LTO막에 Si 기판에 의해  $1 \text{ cm}^2$ 당 약  $3.2 \times 10^9 \text{ dyne}$ 의 압축스트레

스(compressive stress)가 나타나는 것으로 분석되었다.

그림 6은 LPCVD방법으로 실리콘기판 위에 150 nm의  $\text{Si}_3\text{N}_4$ 막을 증착하였을 때  $\text{Si}_3\text{N}_4/\text{Si}$ 의 휨을 나타낸다. 여기에서는 최대휨이 약  $-15.9 \mu\text{m}$ 이었고,  $\text{Si}_3\text{N}_4$ 막에 Si 기판에 의해  $1 \text{ cm}^2$ 당 약  $9.7 \times 10^9 \text{ dyne}$ 의 인장스트레스(tensile stress)가 나타나는 것으로 분석되었다.

상기한 두 결과를 비교하면, 두 종류의 유전체막막이 방향이 서로 반대이며 크기가 각각 다른 스트레스를 받는다는 것과  $\text{Si}_3\text{N}_4$ 막막에서 나타나는 인장스트레스가 LTO층에서 나타나는 압축스트레스보다 훨씬 더 크다는 것을 알 수 있다. 이 실험의 결과로서 이러한 두 종류의 스트레스가 서로 적당히 균형을 이루게 하여 평탄한 유전체 멤브레인을 형성하기 위해서는 LTO층의 두께가 300 nm보다 더 두꺼워야 함을 알 수 있다.

150 nm- $\text{Si}_3\text{N}_4/300 \text{ nm-LTO}/150 \text{ nm-Si}_3\text{N}_4/\text{Si}$ 의 구조에서 적층 유전체막막에 나타나는 스트레스의 균형을 얻기 위해 부족한  $\text{SiO}_2$ 층의 두께를 보상하는 방법으로 상기한 웨이퍼의 양면을 동시에  $1,150 \text{ }^\circ\text{C}$ 로 약 30분간 습식산화한 후, 웨이퍼 뒷면의 산화에 의해  $\text{Si}_3\text{N}_4$ 가 변화되어 형성된  $\text{SiO}_x\text{N}_y$ 층 및  $\text{SiO}_x\text{N}_y$ 로 변화되지 않은 나머지  $\text{Si}_3\text{N}_4$ 층을 제거하지 않고 휨을 측정된 결과를 그림 7에 나타내었다. 습식산화전 웨이퍼의 뒷면에 약 300 nm의  $\text{Si}_3\text{N}_4$ 층만이 증착되었으며, 습식산화 후 웨이퍼의 앞면 및 뒷면에서 각각  $\text{Si}_3\text{N}_4$ 층이  $\text{SiO}_x\text{N}_y$ 층으로 변화된 두께는 측정할 수 없었다. 그림 7에서 ‘\*’ 표시는 산화처리를 한  $\text{Si}_3\text{N}_4/\text{LTO}/\text{Si}_3\text{N}_4/\text{Si}$  전체의 최종적인 휨을 측정된 결과이고, ‘ $\Delta$ ’ 표시는 전체 휨을 측정된 경우와 동일한 위치에 있는  $\text{Si}_3\text{N}_4/\text{LTO}/\text{Si}_3\text{N}_4$  적층 유전체막막을 제거한 후 Si기판만의 휨을 측정된 결과이며, 또한 ‘o’ 표시는 앞의 두 결과의 차이 즉,  $\text{Si}_3\text{N}_4/\text{LTO}/\text{Si}_3\text{N}_4$  멤브레인만의 휨을 나타낸다.

그림 7이 보여주는 바와 같이 습식산화 후 실리콘기판 및 멤브레인의 휨은 앞의 습식산화전의 경우에 비해 각각 상당히 감소되었고, 이들 각각의 휨은 거의 동일하며, 또한 휨의 방향은 서로 반대임을 알 수 있다. 따라서 습식산화방법으로 실리콘기판에 의해 sandwich구조의 적층 유전체막을 구성하는  $\text{Si}_3\text{N}_4$ 에서 나타나는 인장스트레스와  $\text{SiO}_2$ 에서 나타나는 압축스트레스의 균형을 이루게 하여 결과적으로 평탄한 유전체 멤브레인을 형성할 수 있는 것으로 생각한다.

본 실험에서는 산화처리에 의해 각각의 웨이퍼마

다 조금씩 차이는 있으나 SiO<sub>2</sub>박막의 증착방법에 거의 무관하게 스트레스의 균형을 얻을 수 있었고, 산화처리 시간이 30분 이상 2시간 이내에서는 산화처리효과의 변화도 거의 없었다.

2. Stress-temperature 특성

실리콘기판 위에 적층 유전체박막을 형성할 때 두께 300 nm의 SiO<sub>2</sub>층을 LPCVD, PECVD 및 APCVD방법으로 각각 증착하여, 습식산화를 하지 않은 시편에 대해서 SiO<sub>2</sub>층의 증착방법 및 기판 온도에 따른 각각의 적층 유전체박막에 나타나는 normal stress와 shear stress가 함께 포함된 평균 인장스트레스의 변화를 측정하였다. 각각의 시편은 공히 온도를 실온에서 400 °C 까지 상승시키면서 유전체 멤브레인이 증착된 최종적인 휨을 측정하였고, 박막의 열안정성을 고려하여 약 1 시간 동안 400 °C로 시편의 온도를 유지시켰다가 다시 실온까지 온도를 강하시키면서 온도상승시의 경우와 동일한 위치의 표면에서 휨을 측정하였으며, 앞의 stress-deflection특성에서 언급한 것과 동일한 방법으로 적층 유전체박막에 나타나는 스트레스를 측정하였다. 각각의 그림에서 '□' 표시는 온도상승시, '△' 표시는 온도강하시 측정한 결과이다.

PECVD 및 APCVD방법으로 SiO<sub>2</sub> 및 LTO를 각각 증착한 경우에는 이들 공정의 특성상 웨이퍼의 뒷면에는 SiO<sub>2</sub> 또는 LTO층이 증착되지 않으므로 웨이퍼를 기준으로 하여 앞면 및 뒷면에 각각 증착된 적층 유전체 박막의 상호 구조적인 대칭성이 전혀 없으며, LPCVD방법으로 SiO<sub>2</sub>를 증착한 경우에만 웨이퍼를 기준으로 하여 앞면 및 뒷면에 각각 증착된 적층 유전체 박막의 상호 근사적인 구조적 대칭성을 얻을 수 있으나, 이 경우 역시 실리콘 웨이퍼 고유의 휨 또는 진성 스트레스때문에 앞에서 언급한 산화처리와 같은 특별한 공정처리를 하지 않고서는 실리콘 웨이퍼와 이것의 앞면 및 뒷면에 증착된 적층 유전체 박막사이의 스트레스균형을 얻을 수 없을 것으로 생각된다.

그림 8은 중간의 SiO<sub>2</sub>층을 PECVD방법으로 증착한 적층 유전체박막의 특성으로서, 온도변화에 따른 적층 유전체박막에서의 인장스트레스 변화범위가 1 cm<sup>2</sup> 당 약 2.2 x 10<sup>9</sup> dyne정도 였으며, 온도상승시 스트레스의 변화범위가 온도강하시의 그것보다 더 작았다.

그림 9는 TEOS-LPCVD방법으로 SiO<sub>2</sub>층을 증착한 것의 특성으로서, 온도변화에 따른 적층 유전체박막에

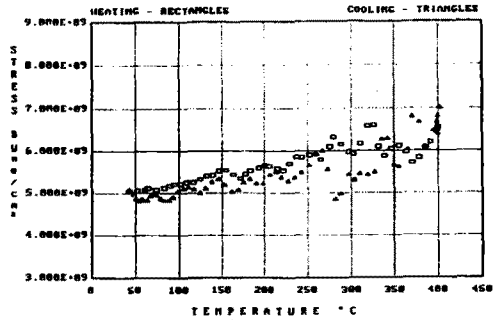


그림 8. 온도에 대한 Si<sub>3</sub>N<sub>4</sub>/PECVD-SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>의 스트레스 변화.

Fig. 8. Stress-temperature characteristics of Si<sub>3</sub>N<sub>4</sub>/PECVD-SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>.

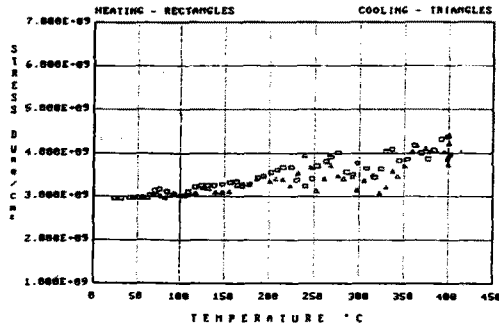


그림 9. 온도에 대한 Si<sub>3</sub>N<sub>4</sub>/LPCVD-SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>의 스트레스 변화.

Fig. 9. Stress-temperature characteristics of Si<sub>3</sub>N<sub>4</sub>/LPCVD-SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>.

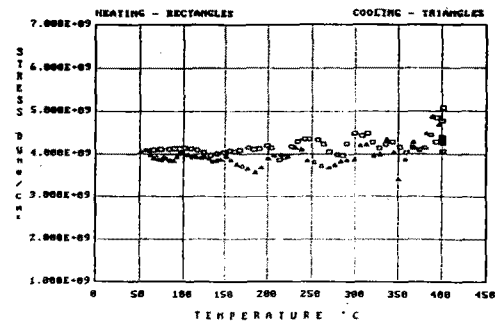


그림 10. 온도에 대한 Si<sub>3</sub>N<sub>4</sub>/APCVD-LTO/Si<sub>3</sub>N<sub>4</sub>의 스트레스 변화

Fig. 10. Stress-temperature characteristics of Si<sub>3</sub>N<sub>4</sub>/APCVD-LTO/Si<sub>3</sub>N<sub>4</sub>.

서의 인장스트레스 변화범위가 1 cm<sup>2</sup>당 약 1.5 x 10<sup>9</sup>

dyne정도로  $\text{SiO}_2$ 를 PECVD방법으로 증착한 것보다 전반적으로 더 작게 나타났고, 온도상승 및 강하시의 스트레스변화도 각각 PECVD의 경우보다 비교적 작게 나타났다.

$\text{SiO}_2$ 층을 APCVD방법의 LTO로 하였을 때 온도변화에 따른 적층 유전체박막에서의 인장스트레스변화를 그림 10에 나타내었다. 이 경우는 온도상승 및 온도강하시 스트레스의 변화범위가 각각  $1 \text{ cm}^2$ 당 약  $1.4 \times 10^9$  dyne정도로서 거의 동일하였으며, 앞의 LPCVD방법의 경우와 비슷하였다. 또한  $\text{SiO}_2$ 층을 LPCVD방법으로 증착하였을 경우 나머지 2가지의 경우에 비해 큰 차이는 아니지만 실온에서 인장스트레스가  $1 \text{ cm}^2$ 당 약  $3.0 \times 10^9$  dyne정도로 가장 작은 값을 나타내고 있으나, 온도변화에 대한 스트레스의 변화는 LTO의 경우보다 조금 더 민감하게 나타났다.

$\text{SiO}_2$ 층의 증착방법에 따라 적층 유전체박막의 온도에 대한 인장스트레스 변화특성이 현저한 차이를 나타내는 것은 아니지만, 상기한 결과들로부터 중간의  $\text{SiO}_2$ 층으로서 LTO를 사용하는 것이 나머지 2가지 방법을 사용하는 것보다 산화처리된 기판의 온도변화에 대한 멤브레인의 스트레스 안정성을 개선할 수 있음을 알 수 있다.

### 3. 스트레인 진단

스트레인 진단을 위해 제작한 시험패턴에 대해 가능한 정량적인 특성측정 및 분석을 해야 하지만, 본 연구에서는 주로 SEM사진을 통하여 중간의  $\text{SiO}_2$ 층을

LTO로한 시편에 대하여 정성적인 고찰만을 하였다. 또한, 여기서는 산화처리를 하지않은 시편으로 각각의 시험패턴을 제작하였다.

그림 11은 산화처리를 하지 않은  $150 \text{ nm-Si}_3\text{N}_4/300 \text{ nm-LTO}/150 \text{ nm-Si}_3\text{N}_4$  구조의 적층 유전체로 제작한 cantilever의 SEM사진이다. 최소  $10 \mu\text{m}$  폭에서 최대  $500 \mu\text{m}$  폭에 이르기까지 cantilever가 모두 구부러져 있는데, 이것은 설계된 cantilever의 구조적인 측면에서 볼 때 3층으로 구성된 멤브레인의 내부에 비균질 스트레스가 존재함을 보여준다.

양쪽으로 지지된 빔의 경우에 대한 SEM사진을 그림 12에 나타내었다. 여기서 가장 작은 길이  $400 \mu\text{m}$ , 폭  $10 \mu\text{m}$ 인 빔의 경우에서도 압축스트레스에 의해 적층 유전체 빔이 아래 또는 위로 굽거나 강한 인장스트레스에 의해 빔이 끊어지는 현상을 발견할 수 없었다.

그림 13은 링과 빔이 혼합된 패턴에 대한 SEM사진이다. 약  $60^\circ$ 로 기울여 관찰한 결과 링의 바깥에 있는 양쪽 빔 사이에 인장스트레스가 작용하여, 링 안에 있는 빔이 인장스트레스의 방향과 평행한 패턴(그림 13에서 중앙에 있는 패턴)에서는 링과 빔의 변형이 일어나지 않았고, 링 안에 있는 빔이 인장스트레스의 방향과 서로 수직인 패턴(그림 13에서 상하에 있는 패턴)에서는 링과 빔이 함께 변형된 것을 알 수 있었다.

상기한 진단용 시험패턴에 대한 관찰결과로서, 본 실험에서 제작한 적층 유전체 diaphragm에 어느 정도의 인장스트레스가 존재하고 있음을 알 수 있고, 또한 이 결과는 앞에서 언급한 stress-deflection 특성분석의 결과와 잘 일치하고 있다.

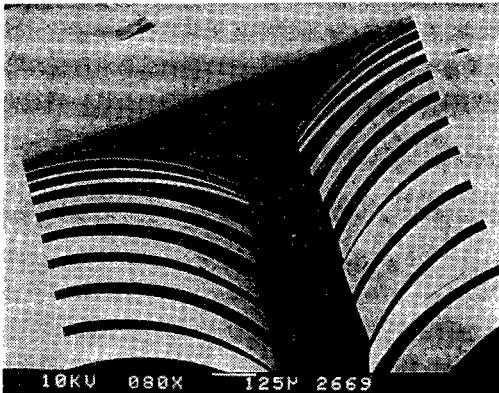


그림 11. Cantilever를 촬영한 SEM 사진.

Fig. 11. Scanning electron microphotograph of cantilever.

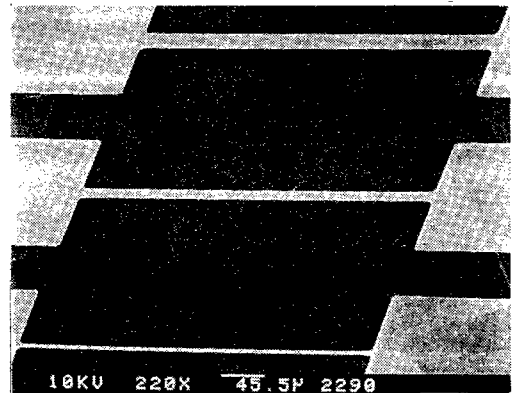


그림 12. 양쪽으로 지지된 빔을 촬영한 SEM 사진.

Fig. 12. Scanning electron microphotograph of doubly supported beam.

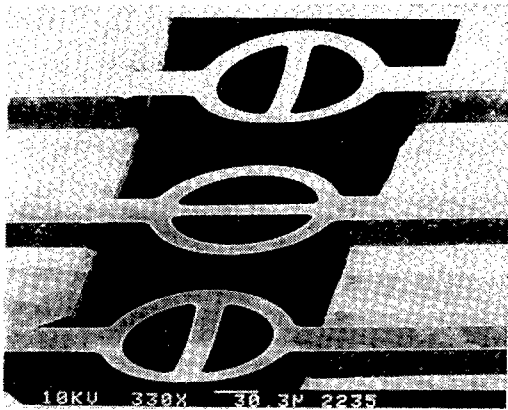


그림 13. 링과 빔이 혼합된 패턴을 촬영한 SEM 사진.  
Fig. 13. Scanning electron microphotograph of patterns mixed with ring and beam.

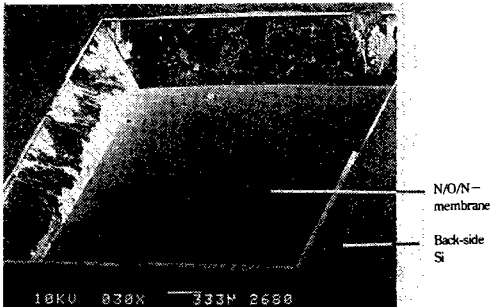


그림 14. Diaphragm의 뒷면을 촬영한 SEM 사진.  
Fig. 14. Scanning electron microphotograph on the back side of diaphragm.

그림 14는 본 실험에서 제작한 150 nm-Si<sub>3</sub>N<sub>4</sub>/300 nm-LTO/150 nm-Si<sub>3</sub>N<sub>4</sub> 구조의 diaphragm을 시각효과를 위하여 뒷면에서 촬영한 SEM사진이다. 광학현미경을 통하여 육안으로 관찰하였을 때 이 diaphragm은 거의 투명하였고, 멤브레인과 실리콘기판에 의한 스트레스 균형을 얻기 위하여 1,150 °C로 습식산화 후에도 변형이나 투명도의 변화가 거의 없었다.

#### IV. 결론

본 연구에서는 stress-deflection 및 stress-temperature 특성측정과 스트레인 진단용 시험패턴제작을 통하여 실리콘기판에 의해 150 nm-Si<sub>3</sub>N<sub>4</sub>/300 nm-SiO<sub>2</sub>/150 nm-Si<sub>3</sub>N<sub>4</sub> 적층 유전체박막에 나타나는 스트레스특성

에 대해 고찰하였다.

Stress-deflection 특성으로부터, 멤브레인의 상층 및 하층에 있는 Si<sub>3</sub>N<sub>4</sub>박막의 전체두께와 중간층에 있는 SiO<sub>2</sub>박막의 두께를 동일하게 각각 300 nm로 하였을 때, 적층 유전체박막의 중간에 있는 SiO<sub>2</sub>층의 증착 방법과는 거의 무관하게 Si<sub>3</sub>N<sub>4</sub>박막에서 나타나는 인장스트레스가 SiO<sub>2</sub>박막에서 나타나는 압축스트레스보다 더 크다는 것을 알 수 있었고, 또한 이 적층 유전체박막을 1,150 °C로 습식산화하여 결과적으로 멤브레인에 나타나는 인장스트레스와 압축스트레스의 균형을 SiO<sub>2</sub>층의 증착방법과 무관하게 얻을 수 있음을 알 수 있었다.

Stress-temperature 특성으로부터, 적층 유전체박막의 중간에 있는 SiO<sub>2</sub>층을 APCVD방법으로 도핑하지 않은 LTO로 하였을 경우가 LPCVD 또는 PECVD방법으로 SiO<sub>2</sub>층을 증착하였을 경우보다 산화처리된 기관의 온도변화에 대한 적층 유전체박막에서의 인장스트레스 변화범위가 가장 작게 나타나서, 중간에 SiO<sub>2</sub>층을 LTO로 하는 것이 기관의 온도변화에 따른 적층 유전체박막의 스트레스 안정성을 개선할 수 있다고 생각한 다.

LTO를 중간층으로 한 멤브레인으로 스트레인 진단용 시험패턴을 제작하여 SEM촬영을 통한 정상적인 고찰을 한 결과, 적층 유전체박막에 인장스트레스가 어느정도 존재함을 알 수 있었고, 이것은 stress-deflection 특성과도 잘 일치하였다.

적층 유전체박막에 작용하는 스트레스특성을 기초로 하여, 실리콘미세가공기술로 적층 유전체박막이 증착된 기관 뒷면의 실리콘을 이방성식각하고, 적층 유전체박막과 실리콘기판 사이에 작용하는 스트레스의 균형을 얻기 위하여 이것을 1,150 °C에서 습식산화하여, diaphragm구조를 하는 전체두께 600 nm의 평탄한 유전체 멤브레인을 제작할 수 있었다.

#### 참고 문헌

- [1] T. Elbel, "Miniaturized thermoelectric radiation sensors," Sensors and Materials, Vol. 3, No. 2, pp. 97-109, 1991.
- [2] Manfred Klonz and Thomas Weimann, "Accurate thin film multijunction thermal converter on a silicon chip," IEEE Transactions on



- Instrumentation and Measurement, Vol. 38, No. 2, pp. 335-337, April 1989.
- [3] F. Volklein and A. Wiegand, "High sensitivity and detectivity radiation thermopile made by multi-layer technology," Sensors and Actuators, Vol. A24, pp. 1-4, 1990.
- [4] Helmut Dintner, et al., "AC-DC-mV-transfer with highly sensitive thin-film multijunction thermal converters," IEEE Transactions on Instrumentation and Measurement, Vol. 42, No. 2, pp. 612-614, April 1993.
- [5] F. Volklein, "Thermal conductivity and diffusivity of a thin film  $\text{SiO}_2$ - $\text{Si}_3\text{N}_4$  sandwich system," Thin Solid Films, Vol. 188, pp. 27-33, 1990.
- [6] David William Burns, "Micromechanics of integrated sensor and planar processed pressure transducer," Ph.D. Dissertation, pp. 33-75, University of Wisconsin, Madison, May 1988.
- [7] Kurt E. Petersen, "Silicon as a mechanical material," Proceedings of the IEEE, Vol. 70, No. 5, pp. 420-457, May 1982.
- [8] Mehran Mehregany, "Micro-Electro-Mechanical Systems," IEEE Circuits and Devices, Vol. 9, No. 4, pp. 14-22, July 1993.

---

 著 者 紹 介
 

---

## 金 明 奎

『센서학회지 제4권 제2호』 논문 95-4-2-04, p.28 참조.  
현재 경북대학교 대학원 박사과정.

## 朴 東 秀

『센서학회지 제4권 제2호』 논문 95-4-2-04, p.28 참조.  
현재 경북대학교 대학원 박사과정.

## 金 昌 源

『센서학회지 제4권 제2호』 논문 95-4-2-04, p.28 참조.  
현재 경북대학교 센서기술연구소 연구원.

## 李 正 熙

『센서학회지 제4권 제2호』 논문 95-4-2-04, p.28 참조.  
현재 경북대학교 전자전기공학부 조교수.

## 李 鍾 玄

『센서학회지 제1권 제1호』 논문 92-21, p.194 참조.  
현재 경북대학교 전자전기공학부 교수, 학부장.



## 金 鎭 燮

1957년 1월 23일생. 1979년 경북대학교 전자공학과 졸업(학사). 1982년 경북대학교 대학원 전자공학과 졸업(석사). 1985년 동대학원 박사과정 졸업(박사). 1985년 ~ 1992년 한국전자통신연구소 선임연구원(신소자재료연구실장/기억소자공정연구실장). 1992년 ~ 1995년 4월 현재 인제대학교 공과대학 전자공학과 조교수, 학과장. 주관심분야: 반도체 소자 및 공정, Flow센서 및 마이크로머시닝 등임.

## 孫 炳 基

『센서학회지 제1권 제1호』 논문 92-10, p.92 참조.  
현재 경북대학교 전자전기공학부 교수, 센서기술연구소장.