

새로운 고성능 직렬접속 프로토콜 P1355의 표준화 동향 (A High Performance Serial Protocol - P1355)

전용일* 강선무* 한운영**
(Y.I.Jun, S.M.Kang, W.Y.Han)

직렬 접속 프로토콜은 두개 이상의 근거리 시스템간의 정보 교환에 사용된다. 현재까지 공식적인 기관에서 표준화되어 제정된 직렬 접속 규격들이 가지고 있는 성능은 전송 속도 측면에서 수 kbps에서 최대 10 Mbps 급에 한정되어 있는 관계로 수 백 Mbps 혹은 수 Gbps급에 달하는 직렬 접속 프로토콜 성능을 요구하는 고성능 통신 및 정보 처리 시스템을 위한 새로운 직렬 접속 규격이 요구되고 있다. IEEE에서 표준화 작업중인 Multi-CPU 병렬 시스템을 위한 접속 규격인 P1355 접속 규격은 경제적이며 용이한 확장성을 가지는 칩과 칩간외에 보드와 보드간 혹은 랙과 랙간의 연결이 가능한 표준 규격안이다. P1355 접속 프로토콜은 특성이 서로 다른 DS, TS, HS link 규격들로 구성되어 있으며 이들은 선로 동작 속도 측면에서 각각 200 Mbps, 250 Mbps, 1 Gbps의 성능을 가지고 있으며, 사용되는 데이터 심볼의 코딩 방식, 접속로 동작 초기화 및 오류 제어, 접속로의 물리적 성능 및 규격등에서 차이를 가지고 있다. P1355는 일반적인 통신용 전송선로에서 요구되는 물리 계층의 BER 성능보다 10^5 에서 10^{10} 배 향상된 선로 BER 특성과 이러한 하위 계층 특성을 바탕으로한 패킷 손실이 없는 간결한 상위 계층 프로토콜을 특징으로 하며, 차세대 통신 수단인 ATM교환기 시스템의 서브 시스템 접속 규격으로 사용될 수 있다.

I. 서 론

직렬 접속 프로토콜은 두개 이상의 근거리 시스템간의 정보 교환에 사용된다. 초고속 통신망용 통신 장비, 초고속 병렬 처리 컴퓨터 등의 대단위 정보 생성, 처리 및 교환에 소요되는 시스템에서는 높

은 시스템 동작 성능을 얻기 위하여 병렬화된 시스템 구조가 널리 사용되고 있다. 다양한 기능을 수행하는 모듈들로 구성된 시스템에서는 각각의 동작 모듈간의 원활한 통신 접속 방식이 시스템 전체의 신뢰도, 성능 및 가격을 결정하는 중요한 요인이다.

이러한 고성능 시스템의 모듈간 접속 통신 방식은 백플레인 단위의 병렬 접속을 지원하는 VMEbus(Versa Module Europe bus), Futurebus 등의 기

* 방정합연구소 선임연구원

** 방정합연구소 선임연구원, 실장

준에 표준화된 버스 방식이 있다. 그러나 병렬 버스 형태의 접속 방식들은 접속 프로토콜의 정보 전달 속도 측면에서는 충분한 성능들을 보유하고 있으나, 접속 가능한 물리적인 접속 거리가 시스템의 랙단위로 한계를 가지고 있으며, 버스 형태의 공유 전송 매체를 사용하는 관계로 복잡한 공유처리 절차를 가지고 있어서 접속되는 개별 모듈당 평균적으로 할당될 수 있는 정보 전달 능력이 불충분하며 신뢰도면에서 새로운 초고속 정보 병렬 처리 장비에서 요구되는 성능 요구 사항들을 만족시키지 못하고 있는 실정이다.

기존에 제정되어 활발히 사용되고 있는 직렬 접속 프로토콜의 유형에 해당하는 것들로는 EIA (Electronic Industries Association)에서 제정한 RS232 종류의 비동기 접속 방식, ITU(International Telecommunication Union)에서 제정한 V.24, 애플 매킨토시의 직렬 접속 버스에 사용되는 미국전기전자학회(Institute of Electrical and Electronics Engineers; IEEE)에서 제정한 P1394 등이 있다[1]. 개별 기관에서 개발되어 사용되고 있는 직렬 접속 방식은 독일의 Siemens사에서 개발하여 ISDN(Integrated Services Digital Network) 칩들간의 통신을 담당하는 IOM (ISDN Oriented Module) 버스, 당 연구소에서 개발된 ATM(Asynchronous Transfer Mode) 교환기 서버 시스템 접속용 IMI(Inter Module Interface) 등이 있다. 그러나 현재까지 공식적인 기관에서 표준화되어 제정된 직렬 접속 규격들이 가지고 있는 성능은 전송 속도 측면에서 수 kbps에서 최대 10 Mbps 급에 한정되어 있는 관계로 수백 Mbps 혹은 수 Gbps급에 달하는 직렬 접속 프로토콜 성능을 요구하는 고성능 통신 및 정보 처리 시스템을 위한 새로운 직렬 접속

규격이 요구되고 있다.

고성능 시스템 접속용 프로토콜은 전체 시스템이 요구하는 정보 전달 능력을 가지고 있으며, 정보 전달에 소요되는 정보 전달 지연 현상이 작아야 되고, 보편적인 기술로 구현 가능하여 전체 시스템의 경제성에 영향을 주지 않아야 하며 시스템 성능 향상에 따른 용이한 확장성 등이 보장될 수 있어야 한다.

현재 IEEE에서 표준화 작업중인 Multi-CPU 병렬 시스템을 위한 접속 규격인 P1355 접속 규격은 경제적이며 용이한 확장성을 가지는 칩과 칩간 외에 보드와 보드간 혹은 랙과 랙간의 연결이 가능한 표준 규격안이다 [2]. 당 규격의 동작 비트율은 200 Mbps에서 1000 Mbps에 달하며 선로 부호 복호 후의 비트율로 판단할 때 ATM의 155.52 Mbps 및 622.08 Mbps급 접속 장치의 비트율을 감당할 수 있다. 목표로 하는 링크의 최대 전송 거리는 수백 미터에 이른다. 또한 상기한 접속 규격은 집적 회로로 실현할 시 단위 칩당 다수의 링크를 지원할 수 있는 구조로 실현될 수 있으며 기존의 보편적인 반도체 공정 기술인 CMOS 공정을 이용하여 제작될 수 있다. 구현시 ECL, GaAs, Analog 등의 고가의 특이한 공정 기술이 필요하지 않은 점은 경제성면에서 중요한 장점이 된다. P1355의 구체적인 실현 예인 32개의 링크를 수용하는 접속로 정합용 송수신기용 칩과 블로킹이 없는 크로스바 스위치/버퍼/라우팅 테이블 관리/흐름 제어 기능들을 가지는 switch용 칩이 표준 CMOS 공정을 이용하여 제작되고 있다고 발표되고 있다[3,4].

P1355 접속 프로토콜은 특성이 서로 다른 DS, TS, HS link 규격들로 구성되어 있다. 이들은 선로 동작

속도 측면에서 각각 200 Mbps, 250 Mbps, 1 Gbps의 성능을 가지고 있으며, 사용되는 데이터 심볼의 코딩 방식, 접속로 동작 초기화 및 오류 제어, 접속로의 물리적 성능 및 규격 등에서 차이를 가지고 있다. 본 고에서는 이들 link 중 지금까지 기능의 규격화 진행도가 가장 높으며 낮은 동작 속도에서 200 Mbps까지의 고속도 동작이 가능한 DS-link의 프로토콜 구조를 상세히 소개한다

II. P1355의 프로토콜 구조

P1355는 크게 물리 계층 및 논리 계층으로 이루어진 프로토콜 구조를 가지고 있다. 물리 계층은 접속로(link)상에서의 전송 물리 매체의 동작에 필요한 전기적 혹은 광학적인 성능 및 형상 규격을 규정하고 있다. 논리 계층은 세분되어 信號(SIGNAL), 字素(CHARACTER), 交換(EXCHANGE), 패킷(PACKET), 및 相互正合(TRANSACTION) 부계층으로 구성되어 있다[1].

물리 계층에서 규정하는 접속로 성능 규격은 전기 신호를 사용하는 접속로일 경우 접속 회로 인쇄 회로 기판의 물리적 형상, 사용되는 접속용 커넥터, 케이블의 종류 및 전기적 성능(선로 임피던스, 누화, 전자기 차폐 능력 등), 접속로상에서의 간섭 전자기파 방사량, 정전기 감내 성능 등이 있다. 광신호를 사용하는 접속로일 경우 물리 계층에서 규정하는 접속로 성능 규격은 광송수신기의 물리적 형상, 광 커넥터의 성능 및 형상, 광 섬유유의 성능 및 형상 등이다.

논리 계층의 부계층인 신호 부계층에서는 선로에 사용되는 전기 혹은 광 신호의 신호 파형 및 동

작 속도, 전기 혹은 광 송수신기의 전기적 혹은 광학적 성능 즉 수신 감도, noise margins, 송신 출력, 요구되는 BER, EYE OPEN WINDOW, NUMERICAL APERTURE, SPECTRAL WIDTH 등에 관한 성능을 규정하고 있다. 이에 따라 위에서 언급한 물리 계층 규격과 당 부계층 규격을 이용하여 요구되는 접속로의 전기적 혹은 광학적 신호 송수신 특성을 예측하여 구현할 수 있도록 하고 있다. 참고로 당 부계층에서 사용되는 신호는 아날로그적인 개념으로 구현하는 공정기술들인 CMOS, ECL 등에 따라 구분되어 규정되고 있다.

자소 부계층에서는 데이터 및 제어 정보의 부호화 및 복호 방식, 데이터 및 제어 정보의 직·병렬 변환, 비트 및 자소 단위 동기, 수신 클럭 추출, 제어용 자소의 정의, 비트 및 자소 단위 전송 오류 제어 등의 기능에 관련되는 규정을 기술한다. 이에 따라 자소 부계층은 신호 부계층과 교환 부계층간의 정보 교환이 자소 단위로 수행되도록 하고 있다.

교환 부계층은 접속로 상의 자소 단위 흐름 제어, 접속로의 경로 설정 및 해지 동작 및 패킷 단위 동기를 위한 규정을 기술한다. 교환 부계층에서 흐름 제어용 및 idle 상태 제어용 자소들은 상위 부계층으로 전송될 수 없다. 또한 이러한 제어용 자소들은 당 부계층에서 생성되어 하위 부계층인 자소 부계층으로 전달되어야 한다.

패킷 부계층은 기능 설정이 명시되어 있는 최상위 계층으로 packet의 헤더 부분에 위치하는 목적지 정보를 읽어 경로 설정 계획을 수립하며, 경로 설정용 목적지 정보를 packet상에 첨부하여 하위 부계층으로 이송한다. 또한 packet의 구성 형식 및 길이를 규정하며 packet 단위 전송 오류의 탐지, 제어 및 복

구 기능을 수행한다. 패킷 부계층 이상은 응용 계층으로 간주되며 각각의 응용 시스템의 프로토콜 구조를 따른다.

〈표 1〉은 이상에서 기술한 프로토콜의 계층 구조 및 중요한 규정 혹은 동작 기능들을 도시한 것이다. 이상에서 P1355의 간략한 프로토콜 구조와 각각의 계층 사이에서 발생하는 연동 동작들을 기술하였다. OSI 프로토콜 구조와 비교할 때 P1355의 프로토콜 구조는 전송 매체 및 물리적 신호 전송 특성에 관한 규격이 상세히 기술되어 있는 특징을 가지고 있다. 이는 상위의 논리 계층에서 수행되는 전송 오류 및 복구 절차가 저렴한 경제성 및 용이한 초고속 동작을 위하여 간단하게 설정되어 있는 관계로 전송 매체와 물리적 신호 송수신단에서 발생하는 BER이 정상적인 동작을 위하여는 아주 낮은 값($10^{-15} \sim 10^{-20}$)을 가져야 되기 때문이다. 이러한 높은 수준의 BER 특성은 광접속로를 사용하는 경우 약간의 S/N 비 증가에 의하여 용이하게 구현 가능하다

〈표 1〉 P1355의 프로토콜 구조도 및 각 계층의 기능 특징

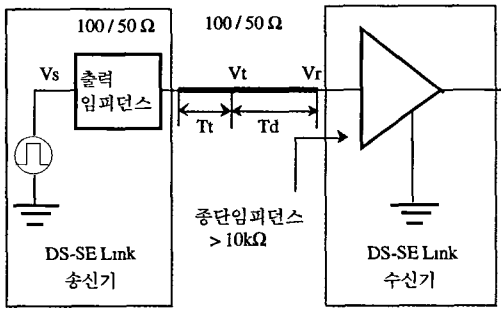
계층	부계층	특징
논리계층	상호정합	Application에 관련된 동작 규격
	패킷	경로 설정, 데이터의 패킷화, 공통 계층
	교환	흐름제어, 경로 연결, 접속로 초기화
	자소	데이터 코딩 방식, Character 단위 오류 제어, Character 단위 동기
	신호	신호의 전자기적 규격, 송수신기의 전자기적 동작 성능, 비트 동기
물리계층	물리	기계적 형상 규격, 전자기적 동작 환경 규격, 전송 선로 신호 파형

다 [5]. 논리 계층의 동작은 간결하고 명확하게 구성되어 있어 각 부계층 기능의 하드웨어 구현이 용이하게 되어 있는 특징을 가진다.

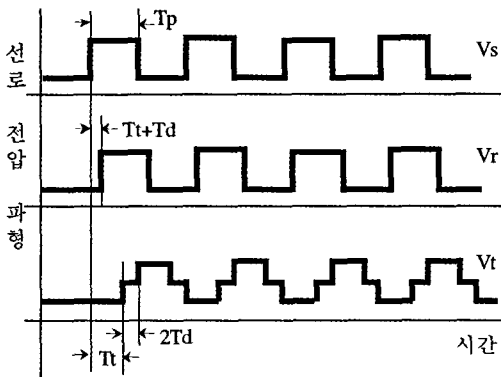
III. DS link

1. 물리 및 신호 부계층

DS link는 접속로 선로 및 신호의 성질에 따라 출력단 정합 선로를 사용하는 DS-SE link와 종단 정합 선로를 사용하는 DS-DE link로 나누어진다. DS-SE link는 신호 전송 선로로 인쇄회로 기판상의 마이크로스트립 선로를 사용할 수 있고, 양 접속 시스템의 접지면이 등전위를 유지할 때 동작할 수 있는 관계로 백플레인 접속선로 등의 비교적 짧은 거리의 신호 접속에 이용될 수 있다. 접속 선로의 특성 임피던스는 50Ω 선로 혹은 100Ω 선로를 사용할 수 있으며 출력단 신호 구동기의 출력 임피던스가 사용되는 선로의 특성 임피던스 값을 갖도록 설계되어야 한다. 종단 부정합 선로를 사용하기 때문에 신호 구동기의 동작 전압이 종단 정합 방식인 DS-DE link에 비하여 작아도 되는 이점과 불평형 신호를 사용하는 관계로 공통 접지면을 가지는 한가닥의 접속로를 사용할 수 있어 실장 밀도가 높아지는 장점을 가지고 있다. 입출력 논리 파형은 TTL 논리값에 기준한다. (그림 1)은 DS-SE link 선로의 물리 및 신호 계층 특성을 표시하는 신호 연결도이며 신호 정합을 위하여 필요한 출력단 임피던스 및 수신기 입력단 임피던스 조건을 도시하고 있다. (그림 2)는 (그림 1)에 도시된 DS-SE link의 출력 및 입력단에서의 신호 파형을 도시하고 있다. (그림 2)의 V_t 신호



(그림 1) DS-SE link의 접속 선로 구성 및 선로 특성



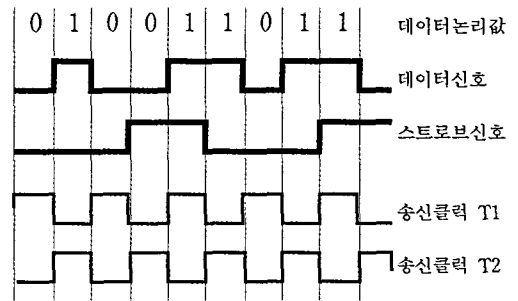
(그림 2) 이상적인 DS-SE link(그림 1) 접속 선로상의 선로 신호 파형

파형은 일반적인 병렬 버스에서의 신호 파형을 나타내며 $T_d=0.5T_p$ 일 때 즉 버스 선로의 종단점과 선로상의 신호 입출력점 사이의 신호 전파 지연이 신호 주기의 절반에 해당하는 지점에서의 신호 파형 왜곡은 이상적인 선로의 경우 논리치 '1' 과 '0'을 구분할 수 없게 된다. DS-SE link의 접속 방식은 선로의 종단-종단 방식이므로 일반적인 병렬 버스 방식에서 발생할 수 있는 V_t 형의 신호들에 의하여 발생

되는 접속 거리 제한 현상을 극복할 수 있다. 이상에서 짧은 접속거리를 가지는 보드-보드, 칩-칩, 랙-랙 등의 접속에 사용되는 DS-SE link의 물리 및 신호 부계층 특징을 기술하였다.

DS-DE link에서는 접속로가 평형 선로 종단 정합 방식이며 접속로의 커넥터, 케이블의 형식 및 성능들에 대하여 규정되어 있다. 사용되는 논리 신호의 파형은 평형 방식의 pseudo ECL 논리값에 기준한다. 선로의 특성 임피던스는 100Ω 으로 규정되어 있다. 이러한 선로는 DS-SE 선로인 불평형 선로에 비교하여 동작 잡음에 대한 내성이 높으며, 연결되는 모듈간의 접지점이 등전위를 유지할 필요성이 없다. 그러나 DS-DE 접속로는 두가닥의 선로를 사용하여야 하며 종단 정합 방식을 사용하므로 출력 구동기의 구동 능력이 높아야 되는 관계로 실장 밀도 저하 및 소요 비용이 증가하는 단점을 가진다.

접속용 선로의 신호는 데이터용 신호 및 송신 클럭 수신단 복구를 위한 스트로브 신호로 구성되어 있다. DS link는 NRZ 파형의 데이터 선로와 데이터 선로에 신호의 천이점이 없을 경우 송신용 클럭의

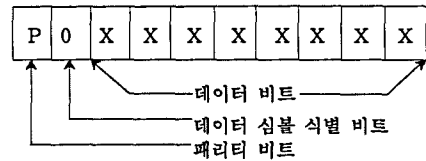


(그림 3) DS link의 데이터 및 스트로브 신호 파형과 송신단 내부 동기 클럭

동기 천이 시점에 신호 상태를 반전하는 특성을 가진 수신 클럭 복원용 스트로브 선로를 이용하여 동기용 클럭 및 데이터를 전송한다. 이러한 데이터 전송 방식은 최대 한 비트 단위의 전송 지연 시간 변화를 감내할 수 있는 방식으로 P1394 10 Mbps 직렬 전송 표준 규격에도 사용되고 있다 [7]. (그림 3)은 DS_link 선로의 데이터 및 스트로브 신호 파형의 동작 예시도이며 데이터 선로에 논리값 천이가 없을 경우 해당하는 송출 클럭의 천이점에서 스트로브 신호가 천이함을 보여 주고 있다. 수신기는 이러한 신호 전송 파형에서 XOR 논리 혹은 DLL (delayed lock loop) 방식의 클럭 복원 회로를 이용하여 용이하게 전송 클럭을 복원할 수 있다. 클럭 복원 회로 구현시 두 선로 파형의 전파 지연 skew 및 jitter를 보상하기 위한 지연 보정 회로의 구성이 문제가 될 수 있으나 DS_link의 최대 동작 속도가 200 Mbps급이며 이에 따른 두 파형의 해당 전송 지연이 5 ns급이므로 일반적인 CMOS 공정을 이용하여 구현 가능하다. 수신기 버퍼 크기에 따라 제한되는 DS link의 최대 전송 거리는 50~200 m의 성능을 가지고 있다 [2,3].

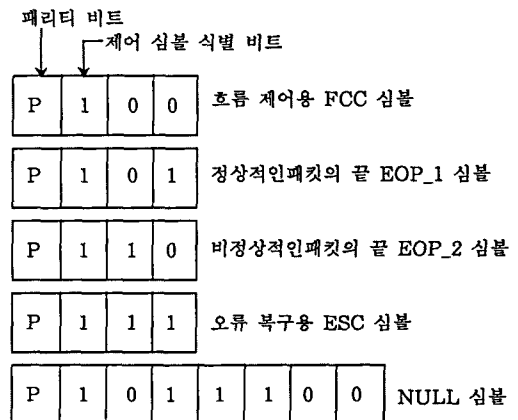
2. 자소 부계층

DS link에서 사용되는 데이터 코딩 방식은 8 비트를 10 비트로 변환하는 8B10B 방식이며 4 비트로 이루어진 제어용 character 심볼이 정의되어 있다. 10 비트의 데이터 character 심볼은 패리티 검사용 첫 번째 비트, 데이터와 제어용 심볼을 구분하기 위한 두 번째 비트 및 원래 데이터 정보를 나타내는 나머지 8 비트로 구성되어 있다. 제어용 심볼은 첫째 및

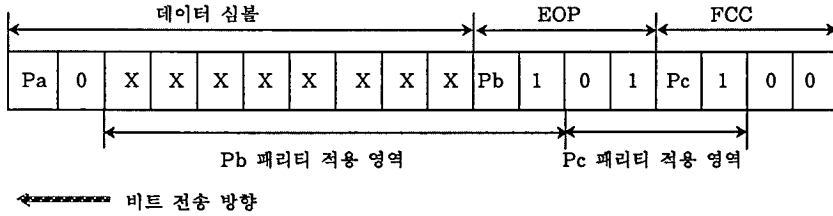


(그림 4) DS link의 데이터 심볼 character 구조

둘째 비트의 용도가 데이터 심볼과 동일하며 나머지 2 비트의 조합에 의하여 흐름 제어용 심볼 4개를 정의한다. 여기서 정의되는 제어용 심볼은 흐름 제어용 FCC 심볼, 정상적인 패킷의 끝을 나타내는 EOP_1 심볼, 비정상적인 패킷의 끝을 나타내는 EOP_2 심볼 및 오류 복구용 ESC 심볼로 구성되며 데이터가 없는 상태를 표시하기 위한 NULL 신호는 ESC 및 FCC 심볼이 접속된 형태를 이룬다. (그림 4) 및 (그림 5)는 위에서 설명한 데이터 및 제어용 심볼의 구성을 도시하고 있으며 비트열의 전송 순서는 패리티 비트인 "P" 비트가 우선 전송된다.



(그림 5) DS link의 제어 심볼용 character 구조



(그림 6) DS link 심볼상의 패리티 비트 적용 영역 및 비트열 전송 방향

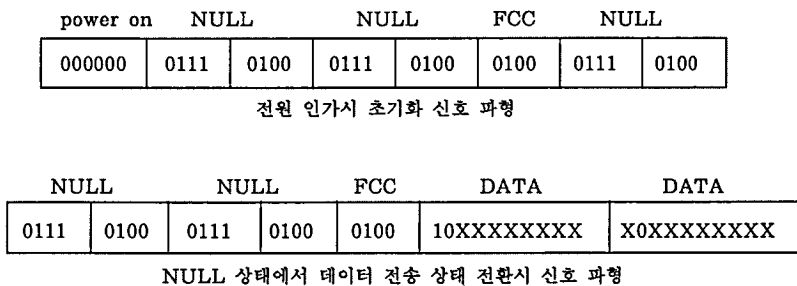
패킷 부계층까지 전달되는 심볼은 데이터용 심볼과 제어용 심볼 중 EOP_1 및 EOP_2 심볼들로 packet을 구성하는 요소 심볼들이며 n_char로 정의되어 있고, 실제 사용자 정보를 전송한다. 교환 부계층까지 전달될 수 있는 접속 선로 제어용 심볼은 l_char로 정의된다. 제어용 심볼인 FCC, ESC, NULL 들로 구성되어 있으며 흐름 제어, 접속로 초기화, 오류 복구 등의 동작에 사용되고 교환 부계층에서 생성 및 소멸된다.

(그림 6)은 패리티 비트의 전송 심볼당 적용 영역을 도시하고 있으며 데이터 심볼이나 제어용 심볼을 가리지 않고 두개의 심볼에 걸쳐 축적된 형식으로 앞선 심볼 내의 데이터 혹은 제어 비트 영역과

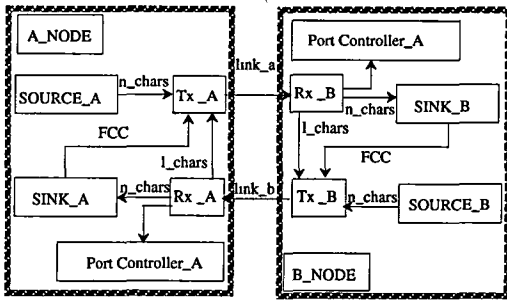
당 심볼의 심볼 식별 비트에 관하여 홀수 패리티를 가지도록 설정된다.

3. 교환 부계층

교환 부계층은 접속로 초기화, 흐름 제어, 연결 설정, 오류 제어 등의 기능을 수행한다. 접속로의 전원 인가시 접속로의 신호 논리치는 데이터 및 스트로브 신호 모두가 '0'으로 설정되며 이 때 동기용 수신 클럭은 복구될 수 없다. 다음 동작으로 접속로의 동기용 수신 클럭 설정을 위하여 상위 계층으로부터 내려오는 선로 동작 명령에 의하여 NULL 심볼 및 FCC 심볼들이 접속로상에 교환되어 초기



(그림 7) DS link 초기화 신호 파형



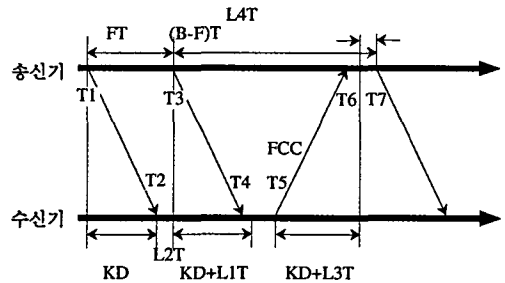
(그림 8) DS link의 흐름 제어 심볼 발생 및 수신 개략도

화 동작을 수행하며 이 때 접속로의 동작 속도가 결정된다. 따라서 접속 선로에 맨 처음 송출되는 NULL 심볼의 패리티는 '0'값을 가지며 스트로브 신호 선로에서는 패리티 비트 송출 시점에 신호값이 '0'에서 '1'로 천이한다. FCC 심볼의 교환은 다음에 기술할 흐름 제어 절차에 따라 수행된다. 상위 계층으로부터의 전송 요구 데이터가 없을 경우 선로는 연속적으로 NULL 심볼을 송출한다. DS link의 초기화 절차는 직접적인 클럭 복원 신호가 없는 TS 또는 HS link의 초기화 절차에 비교하여 매우 간단한 것이 특징이다. 이는 DS link의 동작시 스트로브 신호에 의한 수신 클럭 복원이 순간적[심볼 수신 즉시]으로 수행되는 것에 기인하며, 제어용 심볼과 데이터용 심볼의 구분도 순간적으로 이루어질 수 있다. (그림 7)은 위에서 기술한 전원 인가에서 데이터 전송 시작까지의 신호 파형을 도시한 것이다.

흐름 제어 절차는 (그림 8)에 도시된 바와 같이 A_NODE의 SOURCE_A가 B_NODE로 데이터 심볼을 전송하기 위하여는 B_NODE에서 link_b를 통하여 한개의 FCC를 수신한 경우 8개의 n_char를 link_a를 통하여 전송할 수 있다. 즉 SINK_B의 흐름 제어 심볼 한개당 8개의 데이터 및 EOP 심볼을

SOURCE_A는 link_a를 통하여 SINK_B에 송출할 수 있다. 이 경우 수신기의 버퍼 용량에 따라 연속적인 n_char 송출이 가능한 접속로의 거리가 제한된다. FCC 심볼은 수신 노드의 수신기 버퍼의 여유 공간이 $8n_{char}$ 이상 있을 때 발생되며 발생된 심볼은 역방향 접속로를 통하여 상대편 송신기로 전송되어 송신 노드의 송신기의 n_char 송출을 제어한다. 이러한 흐름 제어를 통하여 전송된 n_char는 선로의 물리적 결합에 의한 정보 손실을 제외하고는 양 노드간에 손실없이 송수신된다. 즉 흐름 제어는 FIFO를 이용한 핸드셰이킹에 의하여 이루어진다 [6].

이러한 흐름 제어 방식은 수신기 내 FIFO의 버퍼 용량에 따라 연속적인 n_char 송출이 가능한 접속로의 물리적인 길이가 제한된다. 이러한 흐름 제어 방식에서 연속적인 데이터 송출이 가능한 최대 접속로의 거리와 수신기의 버퍼 크기와와 관계를 알아본다. 수신되는 n_char가 수신 버퍼에서 수신 즉시 방출되는 경우(그림 9)에 도시된 바와 같이 수신 버퍼의 크기가 B 바이트, 한개의 FCC당 할당된 n_char가 F 바이트, 바이트 송출 클럭의 주기가 T, 수



$$D_{max} = (TVc/2)(B-F-L), \quad L = L1+L2+L3+L4, \quad Vc = 1/K$$

(그림 9) DS link 흐름 제어 타이밍 절차

신기의 심볼 인식 지연 시간들을 LxT , 접속 선로의 길이를 D , 선로상의 신호 전파 속도를 Vc 라 정의할 때 연속적인 데이터의 송수신이 가능한 접속 선로의 최대 길이는 D_{max} 이다.

접속로 초기화 과정에서 송신기는 B/F 개의 FCC 심볼을 수신하여 B 바이트의 n_char 를 송출할 수 있는 credit를 얻은 후 송신기는 $T1$ 시점에서 n_char 를 방출하기 시작한다. 접속로에 의한 전파 지연 시간인 KD 시간이 지난 $T2$ 시점에서 수신기는 송출되는 첫번째 바이트를 수신한다. 한개의 FCC 심볼에 할당된 n_char 개수인 F 바이트를 송신기는 $T3$ 시점에 송신 완료한다. 이후 수신기는 경로 지연 KD 와 데이터 인식 지연 LIT 시간 이후인 $T4$ 시점에서 수신기에 수신된 F 개의 데이터를 수신 완료하며 버퍼내에 한개의 FCC에 해당하는 여유 공간을 가지게 된다. 이후 수신기는 버퍼 여유분에 해당하는 한개의 FCC 심볼을 방출하며 방출에 소요되는 지연 시간은 $L2T$ 일 경우 새로운 FCC의 방출 시점은 $T5$ 이다. 방출된 FCC가 KD 의 접속 선로 전파 지연 후에 송신기에 도착하여 $L4T$ 의 인식에 소요되는 시간 후 즉 $T7$ 시점 이후에 송신기는 새로운 F 개의 n_char 를 송출할 수 있는 권리를 가지게 된다. 따라서 새로운 F 개의 n_char 송출 권리를 가지기 위하여 필요한 최소 시간은 $T7$ 에서 $T3$ 사이의 시간이며 연속적인 데이터 송출을 위하여는 이러한 시간이 이전에 도착된 FCC 심볼의 잔류 credit에 의하여 연속적으로 데이터가 송출되는 시간인 $(B-F)T$ 와 같아야 된다. 이러한 관계에서 B 개의 수신 버퍼 용량을 가진 경우 연속적인 데이터 송출이 가능한 최대 접속 선로의 길이 D_{max} 가 결정된다. 이상에서 흐름 제어 방식 및 이에 의하여 제한되는 접속 경로의 거리

에 관하여 기술하였다.

경로의 접속 이상에 의한 오류는 경로상(link_a)에서 한개 이상의 심볼을 수신한 이후 $1.6 \mu s$ 시간 간격 동안 수신단(Rx_B)에 수신되는 심볼이 없을 경우 경로 단선 오류(disconnection error)가 (B_NODE에서) 선언되며, 경로 단선 오류를 감지한 노드의 송신기(Tx_B)는 즉시 상대 노드로의 심볼 방출을 중단한다. 이에 의하여 상대 노드(A_NODE)에서도 경로 단선 오류를 감지하고 송신기(Tx_A)의 심볼 송출을 중지한다. 이후 상대 노드(A_NODE)는 흐름 제어 상태, 오류 제어 상태 등의 시스템 내부 상태를 전원 인가시의 상태로 초기화 한 후 $12.8 \mu s$ 동안 모든 입출력단의 신호 논리치를 '0'으로 한다 (심볼 송수신을 중지함). 이후 언급한 전원 인가시 동작 초기화 절차에 의하여 새로운 데이터의 송수신을 시작한다. 이러한 동작을 'exchange of silence' 프로토콜이라 한다.

심볼 비트의 오류에 의한 비트 오류는 패리티 비트에 의하여 일차적으로 감지된 후 심볼 동기가 해지되고 상기한 'exchange of silence' 프로토콜 동작이 수행되어 설정된 경로가 복구된다.

경로 연결은 패킷 부계층에 의하여 지시되는 경로 설정 정보에 의하여 실시간적으로 수행되어야 하며 경로 연결의 구체적인 방식에 대하여는 규정된 바가 없다.

4. 패킷 부계층

패킷 부계층은 P1355의 모든 접속 link 유형에 공통적으로 적용되는 부계층 기능이다. 교환 부계층에서 수신된 packet 데이터 심볼 및 packet 선단을 표

목적지 정보	사용자 정보	End_Of_Packet
--------	--------	---------------

(그림 10) Packet의 구조

시하는 EOP_1, EOP_2 심볼들(n_char)을 수신하여 packet을 구성하며, 상호정합 부계층에서 송신되는 사용자 데이터와 연결 설정 정보를 바탕으로 packet화 하여 교환 부계층으로 송출한다. Packet의 구조는 (그림 10)에 도시되어 있다. Packet의 크기는 제한되어 있어야 하나 구체적인 크기는 응용 용도에 따라 packet화 지연등을 고려하여 설정되어야 한다. 목적지 정보 영역은 목적지를 식별할 수 있는 식별자가 한개 이상 복수개로 존재할 수 있으며 식별자의 크기는 연결되는 접속로 망내에서 정하여져야 한다. 사용자 정보 영역은 노드와 노드 사이에 실제로 전달되어야 할 사용자 정보 데이터로 구성되며, 크기 및 구성 방식에 대한 규격은 규정되지 않았다. Packet의 끝을 나타내는 End_Of_Packet은 자소 부계층에서 정의된 제어용 EOP_1, EOP_2 심볼 중 한개로 구성되며 EOP_1일 경우 정상적인 packet의 끝을 나타내며 EOP_2일 경우 오류에 의한 비정상적인 packet의 끝을 나타낸다.

접속로의 연결 설정을 위한 정보는 목적지 정보의 식별자를 이용하여 수행되며 식별자의 구성에 의하여 Multiheder, Multicast, Broadcast 형태의 라우팅이 이루어질 수 있어야 한다. 여기서 Multiheder 라우팅은 접속망이 여러 개의 switch를 포함하여 구성되어 있을 경우 목적지 정보의 식별자가 여러 개 있어서 각각의 식별자들과 접속망내의 switch들이 대응되며 해당되는 switch를 packet이 통과한 경우

대응하는 목적지 정보 식별자가 삭제되는 형태의 라우팅을 말하며 보편적인 다단 ATM switch에서 실시간 셀 라우팅을 위하여 보편적으로 취하고 있는 방법이다. 이러한 접속망을 계위화된 망이라 호칭한다. Multicast 방식은 다수의 특정한 목적지 식별자에 해당하는 노드에 packet을 분배하는 라우팅 방식이다. Broadcast 방식은 망에 연결된 모든 접속 노드에 해당하는 packet을 분배하는 방식이다. 이상에서 P1355의 라우팅 기능이 가져야 할 라우팅 방식을 기술하였다. 이는 보편적인 ATM switch가 가져야 할 라우팅 특성과 유사한 것으로 ATM의 경우 셀을 라우팅의 기본 단위로 하고 있으며 경로 식별자에 대한 설정 및 오류 제어 동작을 위한 규격이 첨부된 점을 제외하면 (P1355의 경우 ATM에서 요구되는 최소 BER보다 $10^9 \sim 10^{10}$ 배 향상된 선로 특성을 요구하며, ATM 망에서는 허용되는 셀/packet 손실을 허용하지 않는 점을 고려하면 타당한 방식임) 동일한 기능으로 생각된다 [9-11].

IV. 응용

P1355에서 규정하는 접속 선로의 접속 성능이 200 Mbps, 250 Mbps, 1 Gbps 급에 해당하나 부호화 및 흐름제어용 심볼 등에 의한 실효 접속 성능은 155 Mbps, 622 Mbps 급 해당한다. 이러한 동작 속도는 기 표준화된 ATM의 가입자, 중계선 정합 장치의 동작 속도와 일치한다. 또한 공중망용 ATM switch는 대규모의 가입자/중계선 정합 장치를 수용하여야 하는 관계로 물리적으로 분리된 서브 시스템 단위로 구성되며 서브시스템 또는 랙 단위간 접속에 많은 어려움이 있는 실정이다. P1355는 ATM switch

의 서브 시스템 혹은 랙 단위 접속로 구성에 유용할 것으로 사료된다.

Transputer array 등 다수의 병렬 처리 프로세서로 구성된 고성능 병렬 처리 시스템의 원활한 동작에는 프로세서간 통신의 연결 구성 방식, 성능 및 효율이 시스템 성능에 중요한 요소이며 P1355는 이러한 병렬 처리 시스템의 접속로 구성 용도로 개발되었다.

ATM의 B-NT 또는 PSTN 정합 장치는 일반적인 PSTN 교환기에 버금가는 시스템 규모를 가질 것으로 예상된다. 이러한 장치는 PSTN의 회선 단위 정보의 실시간 라우팅 및 공통되는 ATM 계층 기능(ATM switch의 단위 노드당 속도는 최소한 155 Mbps급이 일반적임) 등의 특성을 가질 것으로 예상되며 이러한 시스템에서 다수의 물리 계층 기능과 공통의 ATM 기능의 접속에 P1355는 매우 유용한 접속 규격이 될 것으로 사료된다 [6,7].

V. 결 론

Gbps급 동작 속도를 가지는 고성능 직렬 접속 규격인 P1355는 기존의 직렬 접속 통신 방식들이 가지는 성능 한계를 극복하며 B-ISDN 통신 장치 및 고성능 병렬 정보 처리 시스템 등에서 소요되는 기능 모듈간 접속 통신 방식으로 각광을 받고 있다. P1355는 일반적인 통신용 전송선로에서 요구되는 물리 계층의 BER 성능보다 $10^5 \sim 10^{10}$ 배 향상된 선로 BER 특성과 이러한 하위 계층 특성을 바탕으로 한 packet 손실이 없는 간결한 상위 계층 프로토콜을 특징으로 한다.

초고속 동작시 중요한 송수신단의 클럭 동기를

위하여 신호 코딩 방식과 클럭 정보 전송용 스트로브 신호를 이용하며 이러한 경우 클럭 동기 회로는 DLL 또는 XOR 논리에 의하여 용이하게 구현될 수 있다. 다시 말하면 VCO를 사용한 아날로그 방식의 클럭 복원 회로가 불필요하다. 위에서 언급한 간단한 논리 계층의 동작 기능은 구현에 소요되는 논리 회로가 간단함을 뜻하며 이러한 프로토콜 구조상의 특징들은 일반적으로 사용되는 CMOS 반도체 공정 기술에 의하여 프로토콜의 전 기능이 실현될 수 있음을 의미하며, ECL, GaAs 공정등 제조 단가가 높은 기술로 구현될 수 있는 기존의 비표준화된 직렬 접속 방식에 비하여 경제적으로 우수한 방식으로 사료된다.

또한 P1355는 공유 매체를 사용하는 병렬 버스 접속 표준 방식들이 공통적으로 가지는 버스 공유 중재 조절, 실장 밀도상의 한계, 접속 거리 제한 등의 문제점을 극복할 수 있는 프로토콜이므로 대규모의 제어계 접속로 및 소규모 switched LAN을 구성할 수 있는 경제적인 수단일 것으로 예측된다.

참 고 문 헌

- [1] P1394 Working Group, "P1394-A high speed serial bus," IEEE Computer Society Bus Architecture Standards Committee, ver.D2 1, Jan 1990.
- [2] P1355 Working Group, "IEEE Draft Std P1355 Standard for Heterogeneous Interconnect (HIC)(low cost low latency scalable serial interconnect for parallel system construction)," IEEE Computer Society Bus Architecture Standards Committee, ver.D1.1, Aug. 1994.
- [3] SGS-Thompson Microelectronics, "ST C101 parallel DS-link

- adapter preliminary data," June 1994.
- [4] SGS-Thompson Microelectronics, "ST C104 asynchronous packet switch preliminary data," June 1994.
- [5] John Gower, "Optical communication systems," London. Prentice Hall International, pp.440-442, 1984.
- [6] Colin Whitby-Stevens, "Proposal to extend utopia using IEEE P1355 serial links," ATM_Forum, 94-0250 proposal, March 1994
- [7] Stefan Haas, Xinjian Liu, and Brian Martin, "Long distance differential transmission of DS Links over copper cable," CERN/ECP-GPMIMD '93, rev 2 0, July 1993.
- [8] Stefan Haas, "T9000 fiber optic link extensions report on 850nm fiber optic transceiver," CERN/ECP-GPMIMD '92, Aug. 1992.
- [9] ITU, "I.321: B-ISDN protocol reference model and its application," 1993.
- [10] ITU, "I.432: B-ISDN user-network interface - physical layer specification," 1993.
- [11] ITU, " I.610: B-ISDN operation and maintenance principles and functions," 1993
- [12] ATM-Forum, "B-ICI specification ," ver 1 0, Aug 1993
- * 참고사항 [2-4, 7-8]번의 참고 문헌은 ftp site "ftp.inmos.co.uk" 의 "/inmos/projects/ieee/hic" directory에서 입수 가능함.