

2진 패턴분류를 위한 신경망 해밍 MAXNET설계 (Neural Hamming MAXNET Design for Binary Pattern Classification)

金大舜*, 金煥溶*

(Daesoon Kim and Hwanyong Kim)

要約

본 논문에서는 입력벡터와 저장벡터의 최소 해밍거리(Hamming Distance) 측정에 의하여 2진 패턴분류에 적합한 해밍 MAXNET을 다이나믹 동작특성을 갖도록 설계하였다. 해밍 MAXNET은 해밍망의 어레이 구조 때문에 유사 알고리즘에 비하여 작은 수의 접속 노드를 가지므로 집적화에 유리하다. 설계된 하드웨어는 해밍망과 MAXNET의 2층 구조 로써 비트선 전압 감지방식을 사용하여 낮은 전력소비 및 고속 동작이 가능하도록 고안되었으며 일반 CMOS 공정으로 제작이 가능하다. 제안된 해밍 MAXNET회로는 모의 실험을 위해 양자화 레벨 변환기에 응용 설계되어 예상된 2진 패턴 분류의 수렴특성이 확인되었다.

Abstract

This article describes the hardware design scheme of Hamming MAXNET algorithm which is appropriate for binary pattern classification with minimum HD measurement between stimulus vector and storage vector. Circuit integration is profitable to Hamming MAXNET because the structure of hamming network have a few connection nodes over the similar neuro-algorithms. Designed hardware is the two-layered structure composed of hamming network and MAXNET which enable the characteristics of low power consumption and fast operation with bitline voltage sensing scheme. Proposed Hamming MAXNET hardware was designed as quantize-level converter for simulation, resulting in the expected binary pattern convergence property.

1. 서론

* 正會員, 圓光大學校 電子工學科
(Dept. of Elec. Eng., Wonkwang Univ.)
接受日字: 1994年 3月 25日

신호의 병렬처리를 통하여 고속 및 적응 신호처리
에 편리한 신경망 알고리즘은 음성 및 패턴인식 등의

광범위한 응용분야에서 활발히 연구가 진행되고 있다. 일반적으로 기존의 신경망 알고리즘 연구개발은 신호의 시리얼 연산에 의한 폰 노이만형 컴퓨터에서 이루어지므로 신경망 기법의 근본 장점인 고속 동작에 의한 이점을 충분히 활용하지 못하고 있다. 이에 대한 해결 방안으로 시냅스 및 뉴런회로 등의 집적화를 통한 하드웨어 구현의 실시간 처리에 관한 연구가 80년대 후반부터 CMOS 공정의 개발에 힘입어 꾸준히 이루어져 왔고 최근 들어 각 신경망 알고리즘의 집적화로 설계기법에 대한 연구가 각종 기술문헌에 발표되고 있다.^{11,12} 현재까지 발표된 대부분의 회로들은 설계방식으로 스태틱(Static) 기법¹³을 사용하고 있어 병렬처리를 위하여 대규모의 시냅스 어레이를 채용하는 신경망 알고리즘에 적용시 전력소비 문제가 발생하므로 다이나믹 기법을 사용한 설계방식의 전환 및 이를 이용한 기본 회로의 고안이 요구되고 있다.¹⁴ 본 논문에서는 입력벡터와 시냅스 저장벡터의 비교에 의한 해밍거리 측정에 의하여 2진 패턴분류에 사용되는 해밍 MAXNET(Hamming MAXNET) 알고리즘의 하드웨어 구현을 위하여 해밍망(Hamming Network) 및 기본 시냅스 회로, WTA(Winner-Take-All) 동작을 위한 MAXNET 회로등을 고안 설계하였다. 해밍 MAXNET 알고리즘은 2진패턴 분류에 사용되는 일반 신경망 알고리즘에 비하여 작은 수의 시냅스로 정확한 해밍거리의 계산이 가능하므로 홉필드망(Hopfield Netwok)등의 기존 패턴분류 알고리즘에 비하여 집적회로 구현에 적합한 장점이 있다. 해밍 MAXNET의 하드웨어구현을 위한 기존의 해밍망 및 MAXNET회로¹⁵는 시냅스 캐패시터의 마스크-프로그래밍(Mask-Programming)이 필요하고 MAXNET 회로의 큰 전력소비 특성으로 일반 CMOS 공정시 제작이 어려운 문제가 있었으나 제안된 새로운 해밍 MAXNET 설계기법은 해밍망의 시냅스 어레이 및 MAXNET 회로의 완전한 다이나믹 동작이 이루어지고 일반 CMOS 공정으로 설계가 가능하다. 본 논문에서는 II장에서 일반 해밍 MAXNET의 알고리즘을 고찰하고 III장에서는 해밍 MAXNET의 하드웨어 구현을 위한 기능회로를 설계한 후 IV장에서는 설계된 해밍 MAXNET의 모의 실험을 위하여 적용 신호처리에 사용되는 양자화 레벨 변환기를 제안된 해밍 MAXNET 설계기법을 사용하여 구현한 후 시뮬레이션 및 검증하고 V장에서 최종 연구 결과를 기술한다.

II. 해밍 MAXNET 알고리즘 고찰

해밍 MAXNET은 해밍거리를 계산하는 해밍망과

MAXNET의 2층 구조로 이루어져 있으며 입력벡터에 대하여 가장 근접한 시냅스의 저장벡터를 선택하여 2진 패턴벡터의 효율적인 분류동작이 가능하다. 해밍 MAXNET의 기본 구조는 그림 1과 같다.

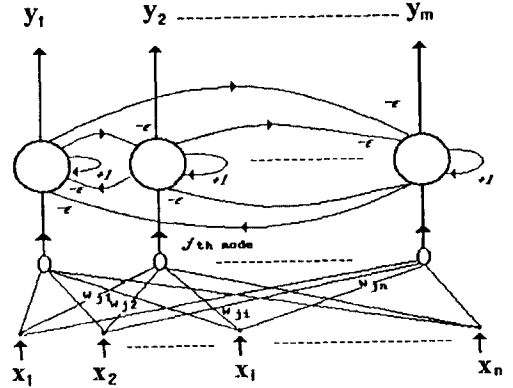


그림 1. 해밍 MAXNET 구조
Fig 1. Hamming MAXNET structure.

해밍 MAXNET의 해밍망은 입력벡터와 저장벡터 간의 최소 해밍거리를 갖는 뉴런의 저장벡터 값을 선택하므로 최소 해밍거리 추출기로 사용되며 m 개의 저장벡터에 대하여 동일갯수의 뉴런이 사용된다. 임의의 뉴런 j는 n 개의 입력을 받아 시냅스의 가중치로 입력된 저장패턴과의 스칼라곱 동작이 이루어진 후 상응하는 해밍거리값에 해당된 출력값을 갖게된다. 해밍거리값은 전체 입력 비트수 n 과 스칼라곱의 차로 표현되며 식(1)과 같다.

$$\text{해밍거리} = n - \sum_i (x_i w_{ij}) \tag{1}$$

해밍망의 출력력을 결정하는 해밍거리값은 입력벡터와 저장벡터의 다른 부호를 갖는 비트 갯수로서 m개의 각 뉴런에 n/2 바이어스 가중치를 인가할 경우 스칼라곱에 대한 임의의 뉴런 j의 전체 입력 NETj 은 식(2)와 같다.

$$NET_j = \frac{1}{2} \times w' + \frac{n}{2} \tag{2}$$

해밍망의 뉴런은 입력값 NET에 의한 활성화함수(Activation Function) 출력을 MAXNET 층의 입력으로 제공하고 0과 1 사이의 값을 가지며 뉴런의 활성화함수는 그림 2와 같다.

n개의 뉴런 출력값중 뉴런 입력값 NET에 대하여 가장 큰 f(NET) 출력을 갖는 뉴런은 MAXNET 층

에서 가중치 계수 1의 자기회환루프(Self-feedback Loop)를 통하여 $f(NET)=1$ 값으로 증폭되며 나머지 $m-1$ 개의 뉴런은 $-\epsilon$ 의 시냅스 가중치에 의하여 $f(NET)=0$ 값으로 억제된다. MAXNET 층에 의하여 $f(NET)=1$ 값을 갖는 뉴런의 시냅스 저장패턴은 입력패턴과 가장 작은 해밍거리 값을 갖는다.

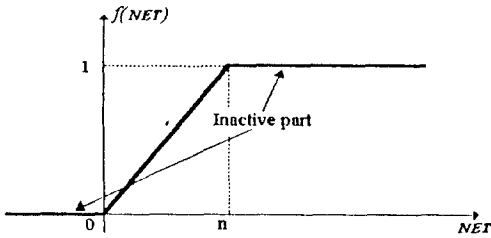


그림 2. 뉴런 활성화함수
Fig. 2. Neuron activation function.

III. 해밍 MAXNET 하드웨어 설계

해밍 MAXNET의 하드웨어는 입력된 2진 패턴 벡터와 저장되어 있는 2진 패턴 벡터 사이의 해밍거리를 계산하는 해밍망 기능 회로와 WTA 기능의 MAXNET 기능 회로로 구성된다.

1. 해밍망 기능회로 설계

해밍망은 임의의 입력벡터에 대한 해밍거리값을 계산하는 뉴런들의 어레이 구성으로 이루어져 있으며 각 시냅스로부터 측정된 뉴런의 출력 값을 MAXNET층으로 전송한다.

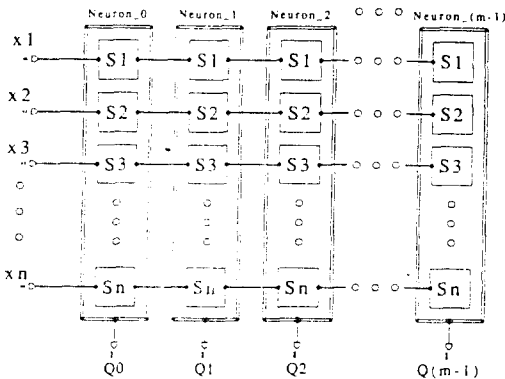


그림 3. 설계된 해밍망의 기본구조
Fig. 3. Unit structure of hamming network.

해밍망을 구성하는 기본 단위인 뉴런은 2진패턴 분류의 기준값으로 사용되는 저장패턴 갯수(m)와 동일하며 입력패턴의 비트수(n)와 같은 시냅스 셀들로 이루어져 있다. 그림3은 설계된 해밍망의 기본구조이다.

설계된 뉴런회로는 입력패턴과 가중치 값을 갖고있는 시냅스 저장패턴과의 일치여부에 따라 비트선과 시냅스 저장 캐패시터의 전하 재분배 효과를 통하여 뉴런의 출력전압을 결정한다. 그림4는 저장패턴의 가중치 값을 기억하는 시냅스 셀 회로도이다.

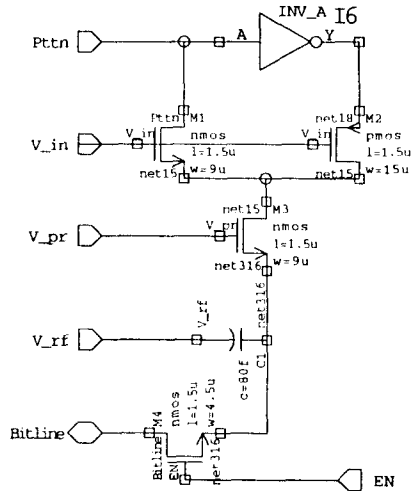


그림 4. 시냅스 셀 회로도
Fig. 4. Synapse cell circuit.

시냅스 셀 회로는 단일 캐패시터 및 6개 트랜지스터로 구성되고 전하재분배 효과를 이용한 비트선 전압 감지 방식¹⁵⁾에 사용되는 다이내믹 로직을 이용하여 고속 동작 및 저전력 소비 특성을 갖도록 고안설계 하였다.¹⁶⁾ 설계된 시냅스셀 회로는 프리차지 동작시 저장패턴 (Pttin)과 입력패턴(V in)의 스칼라 곱에 의한 일치여부의 결과를 저장 캐패시터에 저장 하고 연산동작시 저장된 값을 더미(Dummy)캐패시터가 연결된 비트선(Bitline)에 인가하여 저장캐패시터와 더미캐패시터 사이의 전하 분배 효과에 의한 뉴런 출력의 값을 갖게한다. 프리차지 동작시 V_pr 신호가 인가되면 시냅스 셀 회로는 2진 가중치 값의 저장패턴을 Pttin 단자의 입력으로 받아 입력패턴 신호인 V_in 값과 일치할 경우 "High" 정보로 표현되는 VDD 전압을, 일치하지 않을 경우에는 "Low" 정보로 표현되는 VSS전압을 저장 캐패시터에 저장하게 되므로 입력벡터와 저장벡터 사이의 스칼라 곱에 해당하는 전압값을 프리차지 동작시 감지하여 해밍거리에 상응하는 정보값으로 이용하게된다.

그림5는 n개의 시냅스 셀로 이루어진 뉴런회로도이다.

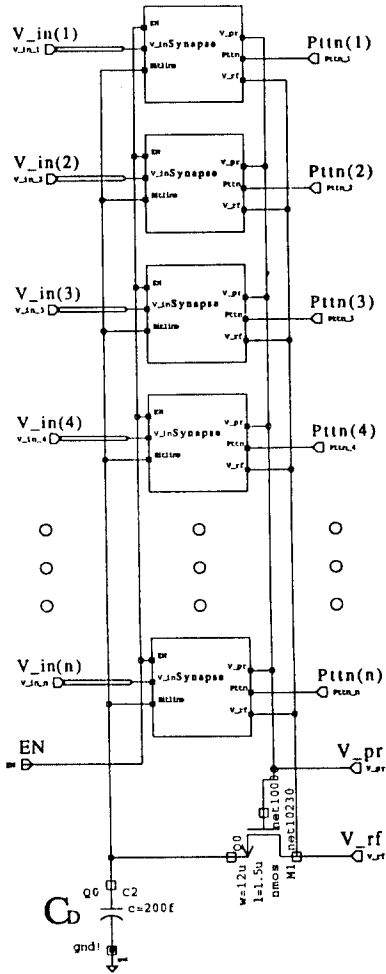


그림 5. 뉴런 회로도
Fig. 5. Neuron circuit.

뉴런의 출력노드에 연결된 더미 캐패시터는 프리차지 동작시 $1/2 V_{DD}$ 전압으로 충전된 후 연산동작시 시냅스 셀의 저장 캐패시터들과의 전하 분배 효과에 의하여 뉴런 출력값을 결정하며 전하분배 동작시 뉴런의 등가회로는 그림6과 같다.

연산동작후 n개의 시냅스 셀 저장 캐패시터($C_{s1} \sim C_{sn}$)에 의하여 뉴런의 출력값을 저장하는 더미 캐패시터(C_D)의 뉴런출력노드(Q)전압은 식 (3)과 같다.^[7]

$$V_Q = \left\{ \frac{P(C_s \cdot V_{DD})}{2(C_D + C_s)} - \frac{(C_s \cdot V_{DD})}{2(C_D + C_s)} \right\} + \frac{V_{DD}}{2} \quad (3)$$

$$= \frac{C_s \cdot V_{DD}(P-Q)}{2(C_D + C_s)} + \frac{V_{DD}}{2}$$

여기에서 C_s : 시냅스의 저장 캐패시턴스

C_D : 더미 캐패시턴스

P : 입력패턴과 같은 저장패턴의 비트수

Q : 해밍거리 (입력패턴과 다른 저장패턴의 비트수)

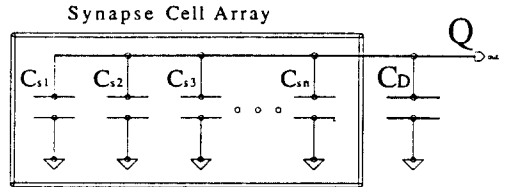


그림 6. 연산동작시 뉴런의 등가회로
Fig 6. Equivalent circuit of activating neuron.

뉴런의 출력전압은 입력패턴과 저장패턴이 일치할 때 ("P=n, Q=0") 가장 큰 값을 가지며 해밍거리인 Q 값이 커짐에 따라 감소하게 된다.

2. MAXNET 기능회로 설계

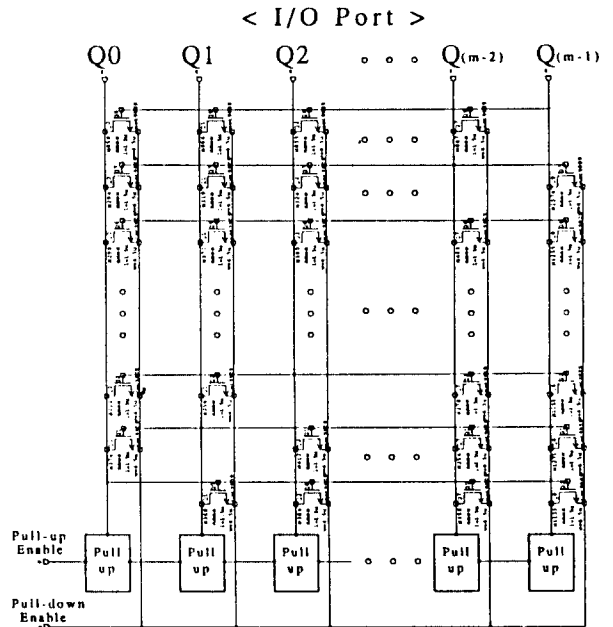


그림 7. MAXNET 회로도
Fig. 7. MAXNET circuit.

MAXNET층은 (n×m) 시냅스 어레이로 구성된 해밍망의 m개 뉴런출력에 대하여 WTA 기능을 담당하며 입력패턴과 가장 유사하고 해밍거리가 작은 뉴런의 출력은 “V_{DD}”로 증폭하고 해밍망의 나머지 (m-1)개 뉴런의 출력값은 “V_{SS}”로 억제하는 감지 증폭 동작을 수행한다. 그림 7은 해밍 MAXNET의 MAXNET 회로도이다.

MAXNET 회로는 DRAM에서 사용되는 CMOS 래치 감지증폭기의 응용회로³⁾로서 풀다운(Pull-Down) 및 풀업(Pull-up) 동작을 통하여 입력패턴과 가장 유사한 저장패턴을 가지고 있는 뉴런의 출력을 V_{DD} 전압으로 증폭한다. 설계된 회로는 집적회로 구현시 설계면적의 감소를 위하여 풀다운 동작시 감지 동작을 수행하도록 NMOS어레이로 MAXNET층을 설계하였고 풀업동작은 부가된 풀업 기능 회로를 통하여 선택된 뉴런출력의 증폭동작이 가능하게 하였다. 그림 8은 설계된 풀업 기능회로도이다.

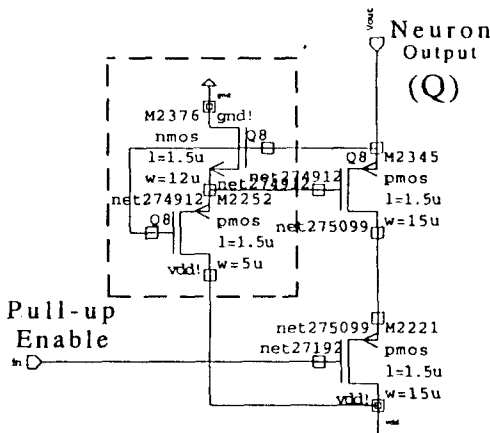


그림 8. 풀업 기능 회로도
Fig. 8. Circuit of pull-up function block.

기존의 MAXNET 회로에서 뉴런출력노드의 풀업 동작을 위해 뉴런출력노드와 V_{DD} 전압원 사이에 부하MOS를 사용하여 풀다운 및 풀업동작시 상당한 Static 전력소비가 발생하는 반면 본 논문의 MAXNET 회로는 Ratioed 인버터를 채용한 새로운 풀업 기능회로를 고안하여 기존의 MAXNET 회로에서 연산동작시 발생하는 Static 전력소비를 최소화하였다. 풀업 기능회로 채용으로 감소된 Static 전력소비는 식 (4)와 같다.

$$P = \frac{M}{T} \int_0^T I_u^2 (R_{eq} + R_d) \quad (4)$$

- 여기에서 M : 해밍망의 뉴런수
- T : 연산 주기
- I_{st} : Static 전류
- R_{eq} : 부하MOS 등가저항
- R_{th} : 구동MOS 등가저항

설계된 MAXNET 풀업 기능회로는 점선안의 CMOS 인버터(Inverter)회로로 뉴런출력의 전압값을 이용하여 인버터 출력값으로 PMOS의 온/오프 동작을 제어하므로써 풀업구동신호 인가시 이전의 풀다운 동작에 의하여 V_{SS}로 풀다운된 (m-1)개 뉴런 출력 노드의 풀업 동작을 방지하고 가장 작은 해밍거리 값으로 풀다운되지 않은 선택된 뉴런출력노드의 더미 캐패시터를 V_{DD} 전압으로 풀업하므로써 MAXNET 동작을 수행한다.

IV. 모의 실험 및 검증

본 논문에서는 설계된 해밍 MAXNET 기능회로의 동작특성 확인 및 해밍거리값에 따른 2진 패턴 분류 동작의 검증을 위하여 적응 신호처리에 사용되는 양자화 레벨 변환기를 제안된 해밍망 및 MAXNET 설계기법을 사용하여 설계한후 Spectre 시뮬레이터를 이용하여 1.2μm SPICE 파라메타의 SPICE 모의 실험을 통한 동작 검증을 수행하였다. 설계된 양자화 레벨 변환을 위한 해밍 MAXNET 회로는 8비트 입력패턴을 4비트 출력패턴으로 비트 변환하며 32개 저장패턴을 저장하는 뉴런으로 구성된 해밍망과 MAXNET층으로 이루어진다. 그림 9는 양자화 레벨 변환을 위하여 설계된 해밍 MAXNET 회로도이다.

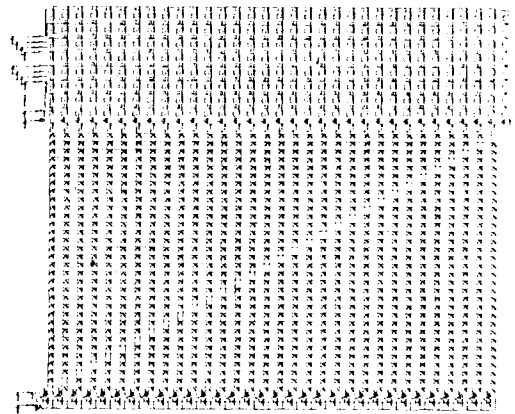


그림 9. 양자화레벨 변환을 위한 해밍 MAXNET 회로도
Fig. 9. MAXNET circuit for quantize-level conversion.

설계된 해밍 MAXNET 회로에서 해밍거리에 대한 뉴런출력노드(Q)의 선형적 출력 특성은 그림10과 같다.

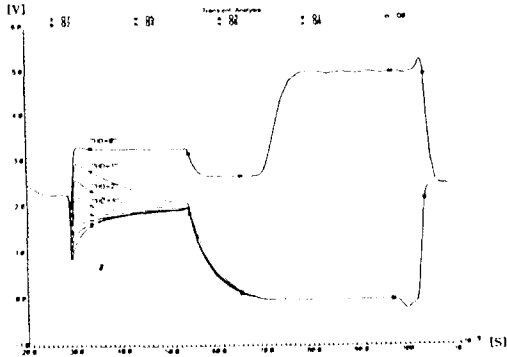


그림 10. 해밍거리에 대한 뉴런의 출력 특성
Fig. 10. Neuron output for hamming distance.

모의실험에 사용된 8 to 4 양자화 레벨 변환기의 비트 변환표는 표1과 같다.

표 1. 8 to 4 양자화 레벨 비트 변환표
Table 1. 8 to 4 quantize-level bit conversion table.

| 뉴런명 | 저장패턴 | 출력 |
|-----|----------|------|
| Q0 | 00000000 | 0000 |
| Q1 | 00001111 | |
| Q2 | 00010000 | 0001 |
| Q3 | 00011111 | |
| Q4 | 00100000 | 0010 |
| Q5 | 00101111 | |
| Q6 | 00110000 | 0011 |
| Q7 | 00111111 | |
| Q8 | 01000000 | 0100 |
| Q9 | 01001111 | |
| Q10 | 01010000 | 0101 |
| Q11 | 01011111 | |
| Q12 | 01100000 | 0110 |
| Q13 | 01101111 | |
| Q14 | 01110000 | 0111 |
| Q15 | 01111111 | |
| Q16 | 10000000 | 1000 |
| Q17 | 10001111 | |
| Q18 | 10010000 | 1001 |
| Q19 | 10011111 | |
| Q20 | 10100000 | 1010 |
| Q21 | 10101111 | |
| Q22 | 10110000 | 1011 |
| Q23 | 10111111 | |
| Q24 | 11000000 | 1100 |
| Q25 | 11001111 | |
| Q26 | 11010000 | 1101 |
| Q27 | 11011111 | |
| Q28 | 11100000 | 1110 |
| Q29 | 11101111 | |
| Q30 | 11110000 | 1111 |
| Q31 | 11111111 | |

설계된 해밍 MAXNET의 입력패턴은 표1의 비트 변환표에 기술된 저장패턴값과 같은 해밍망의 뉴런

가중치 값과 비교된후 가장 작은 해밍거리를 갖는 저장패턴 값에 해당된 뉴런 출력값을 선택하게 된다. 예를 들어 입력패턴 "0"와 "15" 사이의 16개 입력패턴은 저장패턴값 "0" 또는 "15" 와 가장 작은 해밍 거리값을 가지므로 Q0, 또는 Q1 뉴런의 출력전압이 선택 풀업되어야한다. 그림 11은 입력패턴이 (0,1,2,...,15)로 변화할때 설계된 해밍 MAXNET 회로의 해밍거리 계산에 의한 뉴런선택 결과이다.

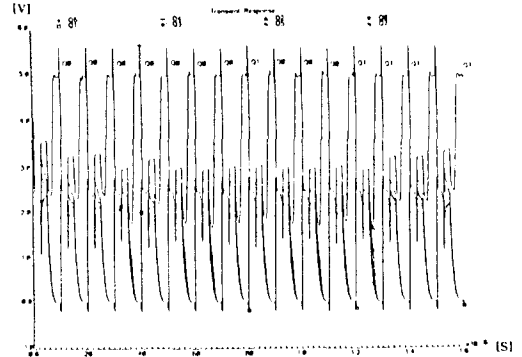
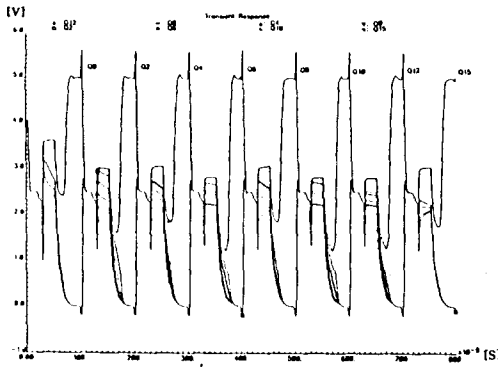


그림 11. 입력패턴이 (0,1,2,...,15) 변화시 해밍 MAXNET의 출력
Fig 11. Hamming MAXNET output for input-pattern variation(0,1,2,...,15).

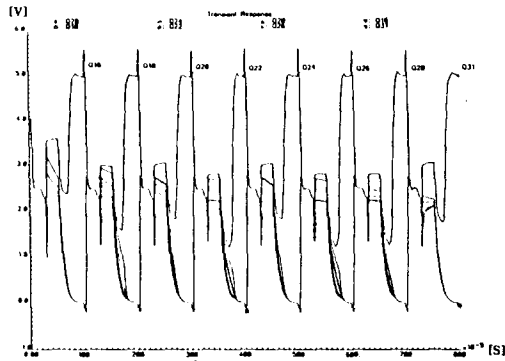
표 2. 랜덤 입력패턴
Table 2. Random Input Pattern.

| 입력순서 | 입력패턴 | 입력순서 | 입력패턴 |
|------|----------|------|----------|
| 1 | 00000000 | 1 | 10000000 |
| 2 | 00010001 | 2 | 10010001 |
| 3 | 00100010 | 3 | 10100010 |
| 4 | 00110011 | 4 | 10110011 |
| 5 | 01000100 | 5 | 11000100 |
| 6 | 01010101 | 6 | 11010101 |
| 7 | 01100110 | 7 | 11100110 |
| 8 | 01110111 | 8 | 11110111 |

설계된 해밍 MAXNET 회로의 해밍거리 계산에 의한 2진 패턴분류 특성을 확인하기 위하여 표 2의 랜덤 입력패턴을 순차적으로 입력할 때 해밍 MAXNET의 뉴런 선택 출력은 그림 12와 같다.



(a)



(b)

그림 12. 랜덤 입력패턴에 대한 해밍 MAXNET출력
(a) 표 2(a)의 랜덤 입력패턴에 대한 해밍 MAXNET 출력 (b) 표 2(b)의 랜덤 입력패턴에 대한 해밍 MAXNET 출력

Fig. 12. Hamming MAXNET output for the random input-pattern: (a) Hamming MAXNET output for the random input-pattern of table 2(a) (b) Hamming MAXNET output for the random input-pattern of table 2(b)

모의 실험결과 설계된 해밍 MAXNET 회로는 임의의 입력패턴에 대하여 가장 작은 해밍거리를 갖는 저장패턴에 해당된 뉴런을 정확하게 선택 및 풀업 동작하여 양자화 레벨 변환 동작을 안정하게 수행한다.

V. 결론

2진패턴분류에 사용되는 신경망 알고리즘중 해밍

MAXNET은 가장 작은 수의 시냅스로 안정된 수렴 동작이 가능하므로 집적화로 구현에 적합한 장점을 가지고 있다. 본 논문에서는 2진패턴분류의 실시간 처리를 위해 필수적인 신경망 하드웨어 설계를 위하여 각 기능회로를 프리차지(Precharge) 및 연산(Evaluation)동작을 통한 다이내믹 기법으로 집적화에 적합하도록 고안 설계하여 작은 전력소비, 고속 연산속도 특성을 갖는 해밍 MAXNET 기능회로를 제안하였다. 해밍거리 계산을 통하여 입력패턴과 가장 유사한 저장패턴을 선택하는 해밍망 기능회로는 다이내믹 시냅스 회로와 뉴런의 전하 재분배 효과를 통한 동작특성을 8개 해밍거리에 대하여 모의실험한 후 해밍거리에 상응한 뉴런 출력 결과를 확인하였다. 해밍망의 뉴런 출력값을 입력으로 받아 WTA 기능을 수행하는 MAXNET 회로는 풀다운 기간동안 N-MOS 어레이로 측면억제(Lateral-Inhibition)동작을 수행하고 설계된 풀업기능회로를 이용하여 선택된 뉴런의 전압증폭이 이루어진다. 해밍 MAXNET 기능회로는 2진패턴분류의 모의실험을 위하여 8 to 4 양자화 레벨 변환에 적합하도록 (8 x 32) 시냅스 어레이의 해밍망 및 MAXNET 회로로 응용 설계되었다. 모의실험 결과 제안된 해밍 MAXNET 기능 회로는 임의의 2진입력패턴에 대하여 가장 작은 해밍거리의 저장패턴 값을 저장하고 있는 뉴런을 선택함으로써 저장패턴에 대한 2진 입력패턴의 선택적 분류동작이 안정하게 수행되는 것을 확인하였다.

參考文獻

[1] M. E. Robinson, H. Yoneda, and E. Sanchez-Sinencio, "A modular CMOS design of a hamming network", IEEE Trans. Neural Networks, Vol. 3, pp. 444-456, 1992.

[2] J. Lazzaro, S. Ryckebush, M. A. Mahowald, and C. A. Mead, "Winner-take-all network of O(N) complexity", in Advances in Neural Information Processing Systems I, San Mateo, CA: Morgan Kaufmann, pp. 703-711, 1989.

[3] U. Cilingiroglu, "A purely capacitive synaptic matrix for fixed-weight neural networks", IEEE Trans. Circuits and System, Vol. 38, pp. 210-217, 1991.

[4] U. Cilingiroglu, "A Charge-Based Neural Hamming Classifier" IEEE J. Solid-

state Circuits, Vol. 28, pp. 59-67, 1993.

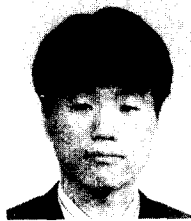
[5] K. U. Stein, Asihling, and E. Doering, "Storage array and Sense/Refresh Circuit for single-transistor memory cells", *IEEE J. of Solid-state Circuits*, Vol. SC-7, pp. 336-340, Oct. 1972.

[6] 김대순, 김환용, "개선된 전력소비 특성을 갖는 DRAM용 감지회로 설계에 관한 연구", 대한전자공학회 하계종합학술대회논문지, Vol. 13, No. 1, 1990. 11

[7] R. Kraus, "Analysis and reduction of sense amplifier offset", *IEEE J. of Solid-state Circuit*, Vol. 24, pp. 1028-1033, 1989.

[8] Nicky Chau-chun Lu, et. al., "Half-VDD Bit-line Sensing Scheme in CMOS DRAM's", *IEEE J. of Solid-stste Circuits*, Vol. SC-19, No. 4, Aug. 1984.

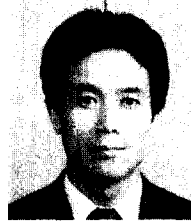
著 者 紹 介



金大舜(正會員)

1990年 2月 원광대학교 전자공학과 공학사. 1992年 2月 원광대학교 대학원 전자공학과 공학석사. 1993年 3月 ~ 1993年 12月 한국 전자통신연구소 위촉연구원. 1992年 3月 ~ 현재 원광대학교 대학원

전자공학과 박사과정



金煥溶(正會員)

1973年 2月 전북대학교 전기공학과 공학사. 1978年 전북대학교 전기공학과 공학석사. 1984年 8月 전북대학교 전기공학과 공학박사. 1986年 ~ 11987年 Canada Manitoba Univ. 객원교수.

1979年 ~ 현재 원광대학교 공과대학 전자공학과 교수. 1993年 ~ 현재 원광대학교 전자계산소 소장