

論文94-31B-10-8

저잡음 및 넓은 자동 이득 제어 영역을 갖는 IF 증폭기의 설계

(The Development of IF Amplifier Having Low Noise and Wide AGC Range)

李興培*, 陰斗燦*, 金容皙*, 鄭淵徹*

(Heung Bae Lee, Doo Chan Eum, Yong Serk Kim and Yeun Cheul Jeung)

要約

영상 및 음성 중간 주파 신호 처리용 IC에서 IC의 특성을 좌우하는 중요한 요소중의 하나로 자동 이득 제어형 증폭기(AGC Amplifier)를 들 수 있다. 중간 주파 신호의 복조시 PLL 방식을 사용할 때에는 입력되는 신호의 진폭이 적절한 진폭을 유지해야 한다. 이를 달성하기 위해서는 자동 이득 제어 증폭기의 특성이 매우 중요하게 된다. 이의 특성은 보다 넓은 동작범위(Dynamic Range)와 자동 이득 제어 영역, 우수한 노이즈 특성이 필요하게 된다. 이러한 특성을 만족하는 자동 이득 제어 증폭기를 구성하기 위한 조건과 이에 의한 회로를 설계하였다.

Abstract

It is AGC(Automatic Gain Control) amplifier to decide characteristics of IF(Intermediate Frequency) processing IC. When demodulated IF signal by PLL type demodulator, the amplitude of input signal should be maintained at a certain amplitude. The AGC amplifier is an important factor to achieve this condition. The AGC amplifier needs the wide dynamic range, the wide AGC range and better noise characteristics. We designed the AGC amplifier to satisfy these characteristics.

1. 서론

TV 및 VTR에 사용하는 IF 증폭기에 입력되는 신호는 대부분 매우 미약한 신호가 입력되나 때로는 매우 큰 신호도 입력된다. 일반적으로 IF 증폭기는 약 50 μ Vrms에서 100 mVrms의 입력 신호를 받아들일 수 있는 동작 범위(Dynamic Range)를 가져야

한다. 약 1mVrms 이상의 큰 신호에서 중요한 IF 증폭기의 소자는 Noise-overload Window이다.^[1] 주어진 각각의 단에서, 너무 큰 이득은 Overload 또는 왜곡을 일으킬 것이다. 반면 너무 큰 이득 감쇄는 현저한 열잡음을 발생시킬 것이다.

대개 10 mVrms의 IF 입력 신호 크기에서 최소 왜곡을 가진 노이즈없는 영상을 얻을 수 있다. 잘못 설계된 IF 증폭기는 부적당한 노이즈-Overload Window를 가질 것이다. 이러한 각각의 입력신호에 대하여 신호의 증폭 혹은 이득 감쇄를 수행할 때에는 증폭기의 동작이 선형적으로 동작을 하여야 한다. 또

*正會員, 三星電子(株) ASIC센터
(ASIC R&D Center, Samsung Elec. Co., LTD)
接受日字 : 1994年 2月 16日

한 각 단에서 이득 변화시에는 증폭기의 출력단에서 DC Bias의 이동이 발생한다.^[2] IC내부에서는 커패시터의 사용이 어렵기 때문에 DC Bias의 이동은 회로의 구성을 어렵게 한다. 따라서, IF 증폭기의 출력 DC Bias의 변동이 없는 회로가 요구되어진다. 결국 IF 증폭기에서 중요하게 취급해야 하는 것이 S/N 비와 동작범위, AGC영역이다. 본 논문은 저잡음 TV 시스템을 구성하기 위해 넓은 AGC 영역을 가진 저잡음 IF 증폭기의 설계에 관한 것이다.

II. IF 시스템

TV의 영상 중간 주파 신호는 AM 변조되어 전송이 된다. 이 AM변조된 영상 중간 주파 신호의 복조에는 여러가지 방법이 있으나 현재 널리 사용되는 복조 방식은 동기 검파(Synchronous Demodulation)이다. 이 방법은 PLL을 이용하며^[5], 입력되는 신호와 똑같은 주파수 및 위상을 갖도록 회로 자체내에 발진기를 두며 그 발진한 신호를 이용해서 입력되는 영상 중간 주파 신호를 복조하는 것이다. 그림-1은 PLL을 이용한 영상 중간 주파 신호의 복조 방식을 보여준다.

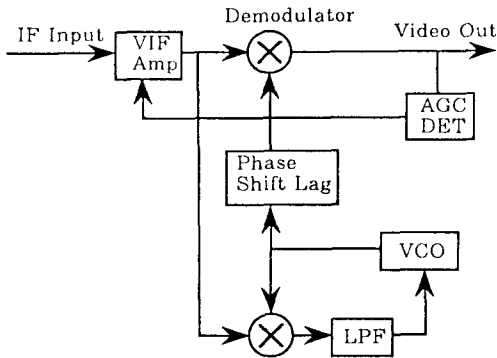


그림 1. PLL을 이용한 AM 복조
Fig. 1. AM Synchronous demodulation using PLL.

입력되는 영상 중간 주파 신호의 크기는 약 50uVrms부터 100mVrms의 크기를 갖는다. 입력신호의 크기가 변하게 되면 복조기를 통하여 복조된 영상 신호의 크기도 변하게 되며 올바른 복조를 행할 수 없게 된다. 그러므로 정확한 복조를 위해서는 복조기에 입력되는 영상 중간 주파 신호의 크기를 일정하게 할 필요가 있다. 이를 위하여 사용되는 것이 그림-1에서 신호의 입력단에 사용된 영상 중간 주파 증폭기(VIF Amp)이다.

대부분의 시스템에서 전체의 성능에 큰 영향을 미

치는 요소는 시스템에 입력되는 신호를 처음으로 받아들이는 입력단이 된다. 입력단에서 신호를 정확하고 왜곡없이 다음 단으로 전달을 하게 되면 그 시스템은 우수한 성능을 나타내게 된다. IF 시스템에서는 영상 중간 주파 증폭기의 성능이 전체 IF 시스템의 성능을 결정짓게 된다.

III. IF IC의 성능

저잡음 TV 시스템의 설계는 튜너와 IF에서의 노이즈의 간섭 영향을 제거하는 설계가 가장 중요하다.^[6,7] 따라서 입력단(First Stage)의 잡음계수(Noise Figure)를 최소화 해야한다. 또 하나는 입력되는 신호의 Dynamic Range가 넓어야 한다. 일반적인 튜너는 Overload 때문에 30 - 33 dB 이상의 이득을 가질 수가 없으며 통상의 잡음계수는 6dB이다. 이러한 점을 고려하여 저잡음 시스템을 달성하는데는 많은 어려움이 있게 된다. 시스템 이득 제어와 이득 분배의 잘못된 선택은 불필요한 노이즈 문제를 일으킬 수 있다. IF 시스템은 그림-2처럼 분배되어, 튜너와 IF 증폭기로 구성된다. IF 증폭기는 4단으로 구성되며 1,2,3 단은 이득 제어되며 4단은 고정된 이득을 가진다.

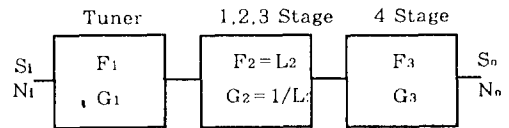


그림 2. IF시스템의 이득 분배
Fig. 2. Gain distribution of IF system.

$$NF_{system} = 10 \log \left[F_1 + \frac{F_2 - 1}{G_1} + \frac{(F_3 - 1)L_2}{G_1} \right] \quad (1)$$

$N_i = kTB$ 는 Source로 부터의 가능한 Power이고, 이득제어 회로 ($F_2 = L_2$)의 잡음계수가 Power 이득의 역수 ($G_2 = 1/L_2$)임을 가정할 수 있다. 연속해서 연결되었을때 전체 잡음계수는 다음과 같이 된다.

$$\begin{aligned} F_{system} &= F_1 + \frac{L_2 - 1}{G_1} + \frac{(F_3 - 1)L_2}{G_1} \\ &= \left(F_1 - \frac{1}{G_1} \right) + \frac{F_3 L_2}{G_1} \end{aligned} \quad (2)$$

잡음계수의 정의로 부터, 출력 S/N 비는 다음과 같다.

$$\frac{S_o}{N_o} = \frac{(S_i / N_i)}{F_{system}} \quad (3)$$

시스템은 식(1)에서 보인 Power 이득과 잡음계수

에 의해 그 특성이 결정된다. 출력 S/N비는 시스템 잡음계수가 증가하지 않는다면 입력 신호의 크기에 따라 개선될 수 있다. 식(1)로부터 매우 높은 이득의 튜너는 IF 잡음계수를 나뉘셈하여 최소 시스템 잡음계수를 가지도록 할 것이다. 실제 IF 잡음계수 대 이득 감소 Curve는 약 1 : 1 기울기이다. 따라서 IF 증폭기의 이득 감소에 비례하여 IF 잡음계수가 증가한다. 일반적인 TV 시스템에서 튜너 이득은 약 30dB이므로 30dB이상의 IF 잡음계수는 시스템 잡음계수를 증가시킨다. 이를 그림 3에 나타내었다. 결국 IF 증폭기의 이득 감소에 따른 IF 잡음계수의 증가 기울기를 줄인다면 전체 잡음계수를 줄일 수 있다.

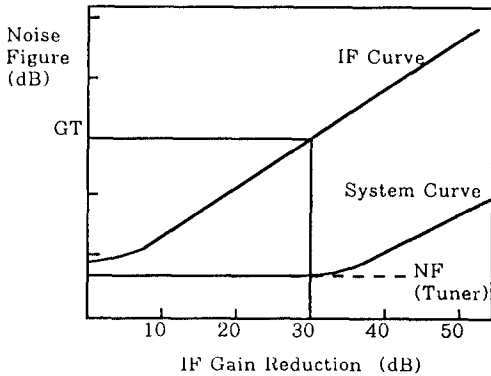


그림 3. IF시스템 잡음계수
Fig. 3. IF System noise figure.

IV. 저잡음 AGC 증폭기의 설계

IF 증폭기의 설계에서 중요한 문제는 노이즈 성능과 시스템 Overload 사이의 관계 즉 Noise-Overload Window이다. 주어진 각각의 단에서 너무 큰 이득은 Overload 또는 왜곡을 일으킬 것이다.

반면 너무 큰 이득 감소는 현저한 열잡음을 일으킬 수 있다. 잘못 설계된 IF 증폭기는 부적당한 Noise-Overload Window을 가질 것이다. 최근 IF 시스템에서는 SAW(Surface Acoustic Wave) 필터와 작은 에미터 폭을 가진 집적회로 트랜지스터의 사용으로 Noise - Overload 문제의 개선이 요구된다.

a) 상업적인 SAW 필터는 비교적 큰 내부 손실과 높은 임피던스를 가진 필터로서 동작한다. 그래서 비교적 높은 노이즈 Source Impedance을 나타낸다. 이것은 Noise Overload Window의 Noise 쪽을 좁게 만든다.

b) 일반적인 Bipolar 차동 증폭기는 고정된

Overload 크기를 가진 전달 특성을 갖는다. 이것은 Noise Overload Window의 Overload 쪽을 제한한다. 최근의 Small Geometry Bipolar 트랜지스터는 큰 값의 베이스 저항 rb을 가진다. 그러므로 rb 값을 작게하여 최적화한 에미터 폭이 넓은 트랜지스터보다는 노이즈가 많다.

c) 대부분의 이득 제어 IF 증폭기는 이득 제어를 가질때 출력 Bias 전압이 변한다. 이것은 종종 IF 증폭기에 직접 연결된 복조기의 입력 Bias 전압의 변화를 가져온다. Bias 변화는 이것을 수용할 만한 복조기 설계, 높은 전원 전압 등의 조건을 요구한다.

Noise Overload Window는 만약 SAW 필터의 출력이 낮은 Impedance, 낮은 Noise Source로 변환될 수 있다면, 확장될수 있다. 이것은 크거나 비싼 추가의 Transformer, 또는 다른 Matching회로, 그리고 기존의 높은 이득 시스템에 추가적인 전압 이득을 요구한다. 다른 방법은 Dynamic Range의 Overload 쪽을 확장하기 위해 일반적인 Bipolar 트랜지스터특성을 수정하는 것이다.

1. 일반적인 AGC 증폭기

그림 4는 현재도 일부 집적회로에 사용되고 있는 다이오드를 이용한 자동 이득 제어(AGC) 증폭기를 보여준다. 여기에 사용되는 다이오드 D1과 D2는 입력되는 이득 제어 전압인 V_{AGC}의 입력 크기에 따라서 다이오드의 내부 저항이 변화하는 특성을 이용한 감쇄기로 동작하게 된다.

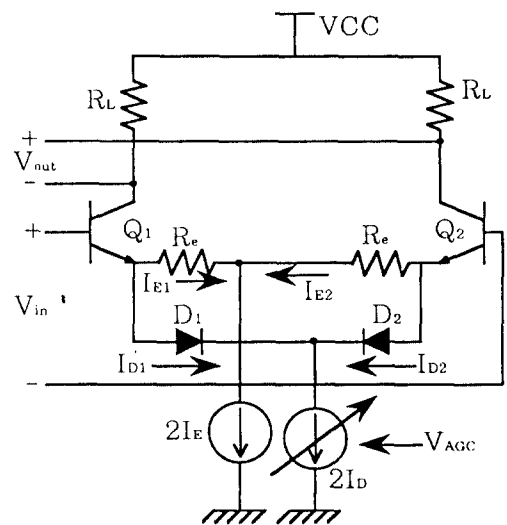


그림 4. Diode를 이용한 AGC 증폭기
Fig. 4. AGC Amplifier using diode.

그림 5은 그림 4에 대한 AC등가 회로를 Half Circuit으로 표현한 것이다. 그림 5을 이용하여 회로의 이득, A_v 를 구하면 다음과 같다.

$$\begin{aligned} A_v &= R_L / R_{eq} \\ R_{eq} &= R_e // r_d \end{aligned} \quad (4)$$

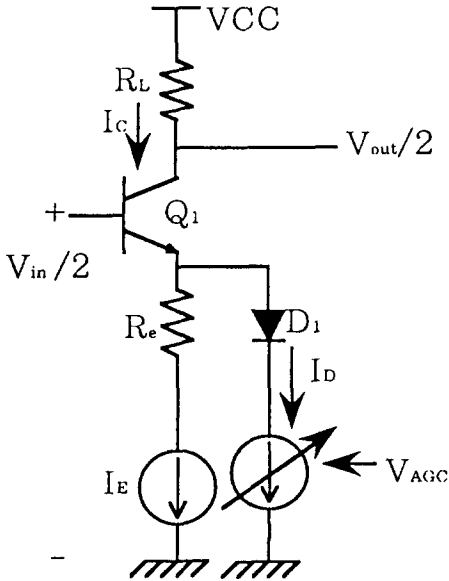


그림 5. Diode를 이용한 AGC Amplifier의 AC 등가회로

Fig.5. AC equivalent circuit of AGC amplifier using diode.

식(4)에서 Diode, D_1 의 Small Signal 등가 저항 r_d 는 Diode에 흐르는 전류 I_D 에 의하여 결정이 된다. R_L 과 R_e 는 일정한 값이므로 이 AGC 증폭기의 이득은 R_{eq} 에 의해서 결정이 된다. 이때 r_d 와 I_D 와의 관계는 다음과 같다.

$$r_d = V_T / I_D \quad (5)$$

식(5)에서 보면 Diode의 Small Signal 등가 저항 r_d 는 전류 I_D 가 증가하면 감소하고, 반대로 I_D 가 감소하면 r_d 는 증가하게 된다. 이러한 r_d 의 변화는 r_d 와 R_e 가 병렬로 연결되어 있으므로 R_{eq} 의 값에 영향을 미치게 된다. 즉 I_D 에 따라 R_{eq} 는 다음과 같은 값을 갖게 된다.

$$\begin{aligned} R_{eq} &= R_e \quad (I_D = 0) \\ R_{eq} &= R_e // r_d \quad (I_D \neq 0) \end{aligned} \quad (6)$$

식(4), (5), (6)을 이용하여 그림 4의 회로를 살펴

보자. I_D 가 증가하면 r_d 는 감소하고, 이는 R_{eq} 의 감소를 가져온다. 결국 이득은 증가하게 된다. 반대로 I_D 가 감소하면 r_d 는 증가하게 되고, R_{eq} 도 증가하므로 이득은 감소하게 된다.

이때 회로에서 받아들일 수 있는 최대 입력신호의 크기는 R_{eq} 의 값에 의존하게 된다. 최대 허용 입력 크기는 R_{eq} 가 최대의 값 $R_{eq} = R_e$ 일때가 된다.

이득 감쇄가 행해질때에 출력단에서 발생하는 DC Bias의 변동을 살펴보자. 그림 5에서 출력단의 DC 전압은 다음과 같다.

$$\begin{aligned} [V_{out} / 2]_{DC} &= V_{cc} - I_C R_L \\ &= V_{cc} - (I_E + I_D) R_L \end{aligned} \quad (7)$$

식(7)를 보면 출력단의 DC Bias전압은 I_D 에 의하여 변화함을 알수있다. 앞에서 언급한 바와 같이 이 증폭기의 출력을 이용하는 다음단에서는 DC Bias를 위하여 Capacitor를 이용하여 DC를 차단해야한다. 그러나 IC에서는 개별 소자를 이용하는 회로와 달리 Capacitor의 이용에 한계가 있다.

이득 감소에 따른 DC Bias의 변동은 연결되어지는 다음단으로의 입력시에 신호의 왜곡이 발생할 가능성이 매우 높아진다. 이 왜곡은 전체 증폭기에서 받아들일 수 있는 신호의 최대 입력 크기(Dynamic Range)^[3]에 큰 영향을 미치게 되어 회로의 특성을 저하시키게 된다.

이 회로에서 사용되는 이득 제어는 Diode의 Small Signal 등가 저항 r_d 를 이용하므로 이득을 감소하려면 r_d 를 증가시켜야 하는데 이는 증폭기의 잡음 특성의 저하를 가져온다. 증폭기에서 노이즈를 발생시키는 Input Noise Voltage Spectral Density는 다음과 같이 표현된다.^[4]

$$\begin{aligned} \overline{V_i^2} &= 4k \cdot T \cdot B \cdot R_{neq} \\ R_{neq} &= r_b + 1 / 2gm + R_e \end{aligned} \quad (8)$$

식(8)에서보면, 노이즈는 온도 T, 대역폭 B, 상수 k, 및 등가 저항 R_{neq} 에 의하여 결정이 된다. 이를 그림 4에 적용하면, 이득 감소가 행해질수록 신호에 포함되는 노이즈성분이 증가함을 알수있다. 결국 이러한 형태의 회로구성은 출력되는 신호의 S/N 비가 작아져서 전체 IF 시스템의 잡음계수의 악화를 가져온다.

예를 들어, 콜렉터 부하 저항이 800Ω , 베이스저항이 280Ω , $R_e=2K\Omega$ 인 경우 입력 차동 증폭기에 흐르는 전류를 $I_{EPP} = 2mA$ 로 하면 $1/gm$ 즉, $r_e = 30\Omega$

이므로 이득은 약 8dB이다. 만약 16 dB AGC 영역을 만들려면, 이 증폭기를 -8dB로 만들기 위해 전류를 감소시키면 $R_e = 2K\Omega$ 으로 된다. 따라서 등가 노이즈 저항은 약 $2.3K\Omega$ 이 되어 S/N 비가 작아진다.

또한 큰 AGC 영역을 얻기 위해서는 더 큰 에미터 저항을 사용하여야 한다. 이것은 S/N이 너무 나빠지므로 결국, 큰 AGC 영역을 얻기는 어렵다. AGC 증폭기의 성능을 좌우하는 중요한 요소로는 Dynamic Range, AGC 영역, 잡음계수를 들 수 있다. 그림 4와 같은 회로는 회로의 구성상 AGC 증폭기의 우수한 성능을 가지기는 어렵다.

2. 개선된 AGC 증폭기

AGC 증폭기의 Dynamic Range, AGC 영역, 잡음계수의 개선을 위해서는 다음의 조건을 만족해야 한다.

- a) Dynamic Range의 개선 : 저항 R_e 와 차동증폭기의 에미터에 흐르는 전류를 조절하여 개선한다.
- b) AGC 영역의 개선 : Diode를 이용할 경우에는 제어 전압에 따른 이득의 변화시에 선형성이 유지되도록 한다. 또한 다이오드에 많은 전류를 흘리는 것에 의해 이득 감소를 실현하는 Forward AGC를 사용한다.

c) 잡음계수의 개선 : 잡음계수를 개선하기 위해서는 식(8)에서와 같이 R_{neq} 가 작은 값을 가지도록 한다.

위의 3가지 조건에서 a)과 c)을 살펴보면 a)의 경우에는 R_e 저항의 증가를 필요로하고, c)의 조건에서는 R_e 저항의 감소를 필요로하게 된다. 이 두가지 조건은 성능 구현에 있어서 타협을 필요로 한다. 이를 얼마나 만족하느냐 하는것이 회로 성능 개선의 열쇠가 된다.

1) Dynamic Range

TV에서 입력되는 IF 신호의 크기는 약 50mVrms 부터 100mVrms의 다양한 크기로 입력된다. 이 신호를 왜곡없이 받아들여, 다음회로로 전달하기 위해서는 AGC 증폭기가 100mVrms 정도의 신호를 받아들일 수 있어야 한다. 즉 요구되는 Dynamic Range는 100mVrms이다. 그림-6은 100mVrms의 Dynamic Range를 위한 회로의 기본 구성을 보여준다.

차동 증폭기의 Dynamic Range는 전류와 에미터 저항에 의하여 결정된다. 베이스 저항과 누수전류를 무시하면 트랜지스터에서의 전압 Offset은 다음과 같다.

$$-V_m + \Phi_1 + R_e \frac{\Delta I}{\alpha_f} - R_e \left(\frac{-\Delta I}{\alpha_f} \right) - \Phi_2 = 0 \quad (9)$$

$$\Phi_2 - \Phi_1 = -V_m + 2R_e \frac{\Delta I}{\alpha_f} \quad (10)$$

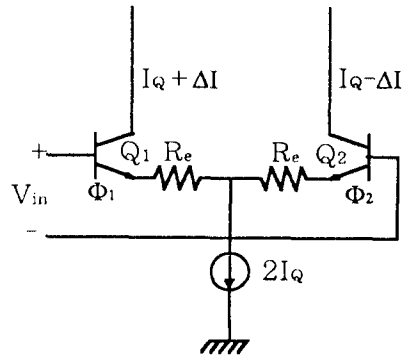


그림 6. 차동증폭기에서의 Dynamic Range
Fig. 6. Improvement of dynamic range in the differential amplifier.

$$\Delta I = \alpha_f \left[\frac{2I_q}{1 + \exp\{(\Phi_2 - \Phi_1) / V_T\}} - I_q \right] \quad (11)$$

식(9)을 변형하면,

$$V_m = \frac{2R_e \Delta I}{\alpha_f} - V_T \ln \left[\frac{I_q - \Delta I / \alpha_f}{I_q + \Delta I / \alpha_f} \right] \quad (12)$$

$\Delta I / \alpha_f$ 가 $\pm I_q$ 에 접근하면 식(12)에서 ln항은 증가하여 V_m 을 $\pm \infty$ 로 접근하게 된다. 이러한 특성은 V_m 이 증가하면 $\Delta I / \alpha_f$ 가 I_q 로 변환되며, 일반적인 Saturation 특성을 가지게 된다. 식(12)을 보면, 최대 출력 전압치 이전에 적용할 수 있는 최대 입력 전압치를 보여준다. 입력 전압은 $(1 - \epsilon)$ 의 계수로 간략화 된다.

$$(V_m)_{max} \approx \frac{2R_e I_q}{1 - \epsilon} \quad (13)$$

식(13)에서 보면 $\epsilon \ll 1$ 이면, Dynamic Range는 $2R_e I_q$ 임을 알 수 있다. $R_e = 75\Omega$, 에미터 전류는 4.3mA 이므로 최대 허용 입력은 약 107 dBu가 된다.

2) 이득 제어와 Range

이득 제어단의 연결에는 2가지의 조건이 맞아야 한다. a) 집적회로 내에서 커패시터를 사용하기가 곤란하므로 제어 단 사이에 DC가 맞아야 한다. b) Dynamic Range의 감소가 없어야 한다.

DC Bias의 직접 연결을 위해서, 이어지는 단은 제어단의 Common Mode Output 변동을 제거해야 하고, 예상되는 차동 출력 Offset의 변화에도 불구하고, 사용가능한 DC 동작점을 유지해야 한다.

이러한 조건은 출력단의 DC Bias의 변화가 없는

AGC 증폭기의 설계와 Current Source를 이용한 Bias 및 DC Feedback을 이용하여 얻을 수 있다. 전류 Source는 Common Mode 이득을 무시할 수 있을 정도의 작은 값으로 감소시키고, DC Feedback은 증폭기 전체의 DC 평형을 유지하게 한다. 두 단 사이의 회로는 작은 값의 부하 저항과 버퍼를 사용하여 대역폭을 넓힌다.

위의 사항을 만족하는 AGC 증폭기를 그림 7에 나타내었다. 이 회로의 AC 등가 Half Circuit을 그림 8에 나타내었다.

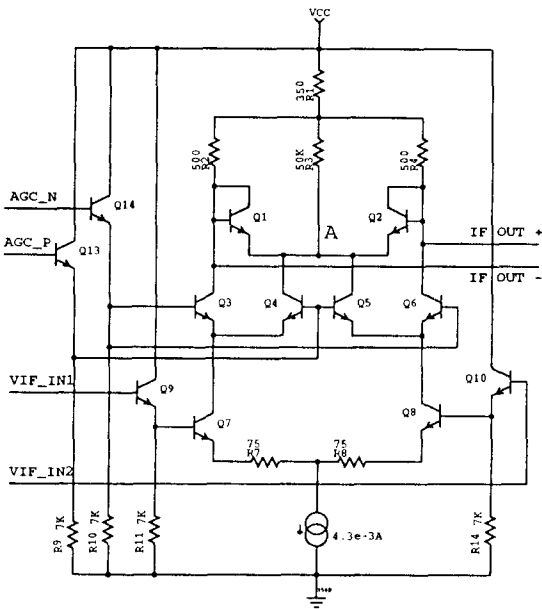


그림 7. IF 증폭기의 입력단에 사용된 AGC 증폭기
Fig. 7. 1st stage AGC amplifier of IF amplifier.

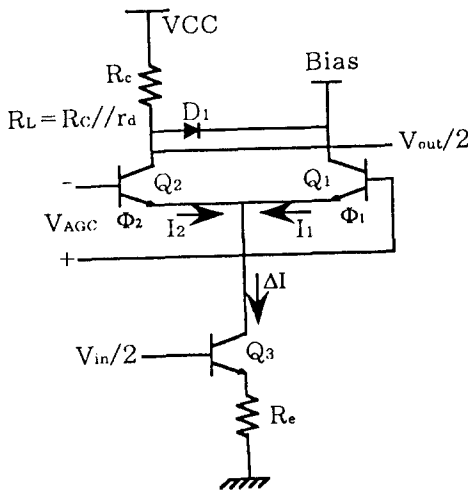


그림 8. AGC amplifier의 half circuit
Fig. 8. AGC amplifier half circuit.

그림 8에서 트랜지스터 Q1과 Q2의 콜렉터에 흐르는 각각의 전류 I_{C1} 를 구하면

$$I_{C1} = \alpha_F I_{E1} = \frac{\alpha_F \Delta I}{1 + \exp(-V_{AGC} / V_T)} \quad (14)$$

$$I_{C2} = \alpha_F I_{E2} = \frac{\alpha_F \Delta I}{1 + \exp(V_{AGC} / V_T)} \quad (15)$$

식(14), (15)를 변형하면

$$\frac{\alpha_F I_{E1}}{\Delta I} = \frac{\alpha_F}{1 + \exp(-V_{AGC} / V_T)} \quad (16)$$

$$\frac{\alpha_F I_{E2}}{\Delta I} = \frac{\alpha_F}{1 + \exp(V_{AGC} / V_T)} \quad (17)$$

이때 $\exp(V_{AGC}/V_T) > 1$ 인 조건 하에서 식(17)에 대한 표현을 dB로 변환하면 식(18)와 같이 된다. 식(18)는 초기 이득 감소후에 dB로 보면 이득은 제어 전압 V_{AGC} 에 선형적임을 알수 있다. 이러한 선형성은 대부분의 이득 제어를 필요로하는 응용회로에서는 반드시 요구되는 사항이다.

$$\begin{aligned} 20 \log \frac{\alpha_F I_{E2}}{\Delta I} &\cong 20 \log \alpha_F \exp(-\frac{V_{AGC}}{V_T}) \\ &= \frac{-8.68}{V_T} \alpha_F V_{AGC} \end{aligned} \quad (18)$$

그림 8의 회로를 이득의 측면에서, 보다 상세히 살펴보자. 회로의 출력 전압

$$\frac{V_o}{2} = \Delta I (R_c // r_d) \quad (19)$$

이고, 이때 r_d 는

$$r_d = \frac{V_T}{I_{C1}} = \frac{V_T}{\alpha_F \Delta I} \left[1 + \exp(-\frac{V_{AGC}}{V_T}) \right] \quad (20)$$

이다. 또한 그림 8의 입력에 대한 전류 변화는 다음과 같이 된다.

$$\frac{\Delta I}{V_{in}/2} = G_m = \frac{1}{R_c + r_c} \quad (21)$$

$$\Delta I = \frac{V_{in}/2}{R_c + r_c} \quad (22)$$

식(22)을 식(19)에 대입하면

$$\frac{V_o}{2} = \frac{V_{in}/2}{R_c + r_c} (R_c // r_d) \quad (23)$$

이므로 회로의 이득은 다음의 식으로 나타낸다.

$$\frac{V_o}{V_m} = \frac{R_c // r_d}{R_c + r_e} \quad (24)$$

식(24)에서 보면 그림 8의 회로는 다이오우드 D_1 의 등가저항 r_d 에 의하여 조절이 됨을 알수 있다. 식(20)에서는 이득의 조절에 사용되는 다이오우드의 저항 r_d 의 사용영역을 알수 있다. 식(20)를 Graph로 표시하면 그림 9과 같다.

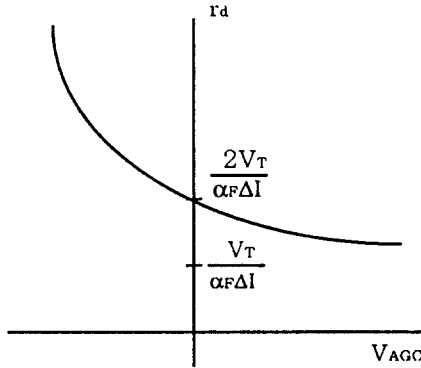


그림 9. V_{AGC} 와 r_d 의 관계
Fig. 9. Dependence of r_d on V_{AGC} .

V_{AGC} 가 증가하는 방향으로 사용하였을때, IF 증폭기의 이득이 감소하므로 Forward AGC로 동작을 하게된다. 그림 4의 회로에서는 Reverse AGC를 이용하였다. 이것은 AGC Range가 매우 좁았다. 일반적으로 그림 4의 방식을 이용한 IF AGC 증폭기의 경우에는 56~60dB의 AGC Range를 가진다. 그러나 Forward AGC와 Diode를 콜렉터에 연결하여 사용하는 그림 8의 구조를 이용한 IF AGC 증폭기에서는 70dB이상의 AGC영역을 얻을 수 있다. 이 새로운 AGC회로는 Noise와 Overload 성능을 개선한다. 또한 출력 Bias 전압을 변화시키지 않는다.

A점은 IF 신호가 차동 입력일때 서로 상쇄되어 AC적으로 GND가 된다. 또한, AGC 제어전압이 변하더라도 500Ω Load 저항에 흐르는 전류는 일정하기 때문에 출력 DC 변동이 없다. IF 입력 차동 증폭기의 에미터 저항값은 AGC 제어가 일어나더라도 항상 일정하게 작은 값을 유지한다. 또한, 콜렉터에는 내부 저항값이 작은 Diode를 사용하며 Forward AGC에 의해 부하저항값을 변경하기 때문에 넓은 AGC Range을 얻을 수 있다. 그림 10은 AGC 제어 전압에 따른 이득 감쇄에 대한 Simulation과 측정값이다.

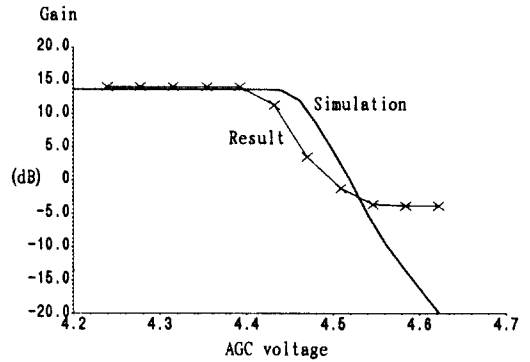


그림 10. 입력단의 AGC제어 전압에 따른 이득 감쇄
Fig. 10. Gain reduction curve of 1st stage.

AGC 제어 전압이 Low 일 경우에는 Q3, Q6 = ON 이고 Q4, Q5 = OFF 이며 Diode에는 전류가 흐르지 않기 때문에 Diode의 Impedance는 부하저항에 비해 높으므로 이때 최대 이득을 얻는다. AGC 제어 전압이 올라갈수록 각각의 Diode에 흐르는 전류는 증가한다. 그래서 Diode의 저항값이 작아져서 Amp의 Load 저항값 = (500 // Diode 내부 저항)이므로 부하저항값이 감소한다. 따라서 이득감소의 효과를 얻는다.

Diode는 Matching 을 고려하여 제조되어야 한다. 최대 이득은 약 14 dB이다. (Re = 75Ω)

베이스 저항 280Ω, 에미터 전류가 4.3mA 이므로 등가 노이즈 저항은 약 590Ω이 되며 AGC 제어 되더라도 등가 노이즈 저항은 변하지 않는다. 따라서 저잡음 증폭기의 설계가 가능하다. 그림 11은 개선된 AGC 증폭기를 사용한 IF 증폭기의 노이즈Simulation의 결과이다.

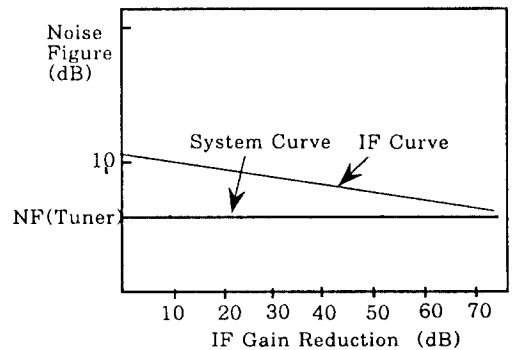


그림 11. 개선된 AGC증폭기의 노이즈 Simulation 결과
Fig. 11. Simulation data of improved AGC IF amp noise figure.

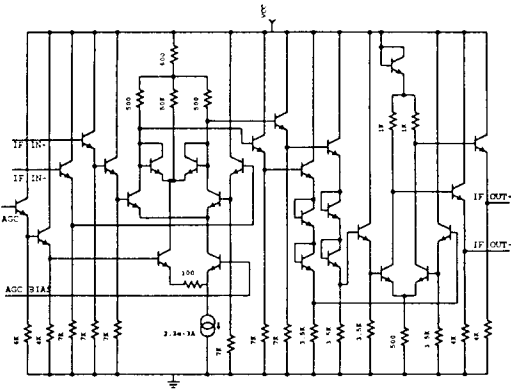


그림 12. 3단 AGC증폭기와 4단 AGC증폭기
Fig. 12. 3rd, 4th stage IF amplifier.

그림 12는 3단 AGC 증폭기와 4단 고정이득 증폭기를 보여준다. 2단 IF 증폭기는 3단과 동일하다. 3단 증폭기의 동작은 다음과 같다. AGC 제어 전압이 Low 일 경우 최대 20 dB의 이득을 가진다(Load 저항은 500Ω).

AGC 제어 전압이 상승하면 콜렉터에 연결된 다이오드에 전류가 증가하여 내부 저항값이 감소하고, 중간 주파 입력 차동 증폭기의 에미터에 흐르는 전류는 감소하여 gm이 감소한다. 이것은 에미터 저항성분을 증가시키게 된다. 따라서, 이 회로는 Forward AGC와 Reverse AGC를 동시에 이용하여 이득감소의 효과를 얻게된다. AGC 제어 전압이 Bias 전압과 같아진 경우에는 이득은 거의 0 dB를 가진다.

4단 IF증폭기는 고정 이득을 가지며 약 30dB의 이득을 가지고 있다. 따라서 전체 IF 증폭기는 최대 84dB의 이득 제어를 가지게 된다. 그림-13은 3단 IF 증폭기의 AGC 제어에 대한 출력 이득의 Simulation 및 결과를 보여준다.

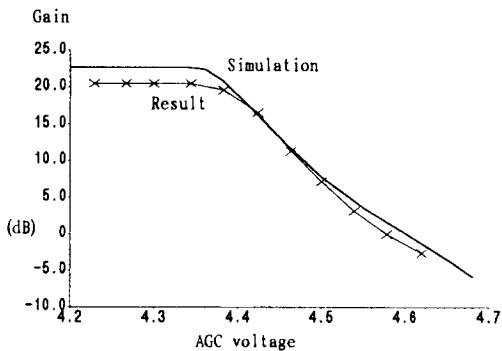


그림 13. 3단 AGC증폭기의 이득 제어
Fig. 13. Gain control range of 3rd stage IF amplifier.

V. 결론

등가 노이즈 저항식에 표현된 것 처럼, Reverse AGC방식을 사용할 경우에 전류가 감소할수록 트랜지스터의 에미터 저항 성분이 증가하여 S/N 비가 나빠진다. 따라서 AGC 제어를 수행하는 에미터 전류가 감소하더라도 에미터 저항 성분이 작고 AGC range가 넓은 IF 증폭기가 요구된다. 새로 설계된 회로의 특징은 다음과 같다.

- 1) 그림 8에 보인 Diode 구성은 증폭기의 DC 출력 전압의 변동을 가져오지 않는다.
- 2) Diode를 IF 증폭기의 콜렉터 회로에 연결시키는 것에 의해, 회로의 노이즈 Source 저항을 작게 가질 수가 있다. IF 증폭기의 노이즈는 Signal이 증가할때, 즉 이득 감쇄시에 감소하게 된다. 이것은 IF System S/N비를 개선한다.
- 3) 입력단의 차동증폭기의 에미터에는 Degeneration 저항을 둘 수 있다. 또한 이 IF 입력단의 차동증폭기는 이득 제어에 의하여 DC Bias전류가 변화하지 않는다. 따라서 입력단은 원하는 Dynamic Range를 가진다.
- 4) 콜렉터의 부하저항을 크게 하면 이득은 증가하나 기생 Capacitance의 영향으로 인해 주파수 특성이 나빠진다. 따라서 Load저항을 일정값 이상으로 크게 할 수 없다. 본 IF 증폭기에서는 500Ω을 사용하였다.
- 5) 노이즈 Voltage는 식(8) 로 표현이 되고, r_b 저항값이 크면 노이즈문제가 발생한다. 또한, TR을 Cascade로 연결시켜 갈때 r_b 가 크면 신호 감쇄가 일어난다. 따라서, IF amp 에서의 AGC영역때문에 r_b 가 작아야 한다. 따라서 트랜지스터의 에미터 쪽을 확장한 3 Base Type을 사용한다. TR의 콜렉터에서 부하 저항과 다이오드를 병렬로 연결할 경우에, AGC 제어를 위해 전류를 최대로 흘리는 경우 다이오드의 내부 등가 저항값은 아주 작게 된다. AGC Range를 크게 하기 위해 작은 에미터 저항을 가진 트랜지스터가 사용되었다.

IF 시스템의 성능은 다음과 같다.

- 1) IF의 입력단에서 받아들일 수있는 최소 입력의 크기인 영상 중간 주파 입력 감도는 50uVrms이하이며 통상의 IF 시스템에 비해 6dB정도의 개선효과가 있다.
- 2) 최대 허용 입력의 크기는 약 200mVrms이며 70dB이상의 넓은 AGC영역을 가진다.

參 考 文 獻

[1] K. Blair Benson, Jerry C. Whitaker,

- Television and Audio Handbook, McGraw-Hill, pp. 9.20-9.26, 1990.
- [2] W. Richard Davis, James E. Solomon, "A High-Performance Monolithic IF Amplifier Incorporating Electronic Gain Control", IEEE Journal of Solid-State Circuits, vol. SC-3, No. 4, pp. 408-416, December 1968.
- [3] Alan B. Grebene, Bipolar and MOS Analog Integrated Circuits, John Wiley & Sons, pp. 443-449, 1984.
- [4] Paul R. Gray, Robert G. Meyer, Analysis and Design of Analog Integrated Circuits, 2nd Ed., John wiley & Sons, pp. 658-659, 1977.
- [5] Floyed M. Gardner, Phaselock Techniques, John wiley & Sons, 2nd Ed., pp. 165 - 197.
- [6] S.James Reid, "An Approach To A Low Noise TV IF System", Application Note AN-765, Motorola Semiconductor Product.
- [7] Martin Giles, "A High Quality TV Video IF Amplifier And Synchronous Detector For Cable Receivers", National Semiconductor Application Note 391.

著者紹介



李興培(正會員)
1965年 9月 15日生. 1988年 2月
한양대학교 전자통신과 졸업(학사). 1988년 1월 ~ 현재 삼성전자 ASIC센터 근무(주임연구원).
주관심 분야는 Bipolar Analog
집적회로 설계 및 BiCMOS 회로

설계등임.



陰斗燦(正會員)
1965年 12月 21日生. 1987年 2
月 연세대학교 전자과 졸업(학사). 1987년 1월 ~ 현재 삼성전자 ASIC 센터 근무(주임연구원).
주관심 분야는 Bipolar Analog
집적회로 설계 및 BiCMOS 회로

설계등임.



金容皙(正會員)
1959年 8月 20日生. 1983年 2月
성균관대학교 전자과 졸업(학사). 1983년 1월 ~ 현재 삼성전자 ASIC센터 근무(선임연구원).
주관심 분야는 BiCMOS 회로 및
MOS Analog 회로 설계등임.



鄭淵徹(正會員)
1952年 4月 15日生. 1976年 2月
한양대학교 전자과 졸업(학사). 1982년 5월 Rhode Island University(석사). 1985년 8월 동대학원에서 박사 학위 취득, 현재 삼성전자 기술총괄 ASIC센터장