

論文94-31B-9-1

# IDDQ 테스트 방식을 이용한 CMOS 논리회로의 고장분석에 관한 연구

(A Study on the Fault Analysis of CMOS Logic Circuit  
using IDDQ Testing Technique)

韓 哲 鵬 \*

(Seok Bung Han)

## 要 約

본 논문에서는 IDDQ 테스트 방식을 사용하여 CMOS IC 내의 고장 및 그 메커니즘을 분석하고, 이 테스트를 통과하지 못한 칩들의 신뢰도를 평가한다. IDDQ 테스트는 초기 테스트, 번-인 및 라이프 테스트 등의 3단계로 수행되며, 각 테스트 단계에서는 IDDQ 테스트를 비롯하여 파라메트릭, 기능 그리고 전달 지연 테스트 등을 행한다. CMOS 칩내의 게이트 옥사이드 단락고장 및 브리징 고장등과 같은 단락형태의 고장은 IDDQ 테스트방식에 의해서만 검출이 가능하며 이에 대한 테스트 패턴의 수는 매우 적다. 첫번째 번-인 후에 몇개의 칩의 IDDQ 값은 초기 테스트시의 값보다 오히려 감소하여 종래의 연구결과와 다르게 나타났다. 차후의 번-인에서는 모든 칩의 IDDQ 값이 안정되었다. 또한 번-인 테스트에 의하여, 테스트 칩에 저항성 단락고장의 존재와 이 고장은 시간이 지남에 따라 점차 악화되어 기능고장에 이르게 됨을 확인한다. 그리고 이러한 고장을 용이하게 테스트할 수 있는 방식도 제안한다.

## Abstract

This paper analyzes the faults and their mechanism of CMOS ICs using IDDQ testing technique and evaluates the reliability of the chips that fail this test. It is implemented by the three testing phases, initial test, burn-in and life test. Each testing phase includes the parametric test, functional test, IDDQ test and propagation delay test.

It is shown that the short faults such as gate-oxide short, bridging can be only detected by IDDQ testing technique and the number of test patterns for this test technique is very few.

After first burn-in, the IDDQ of some test chips is decreased, which is increased in conventional studies and in subsequent burn-in, the IDDQ of all test chips is stabilized.

It is verified that the resistive short faults exist in the test chips and it is deteriorated with time and causes the logic fault. Also, the new testing technique which can easily detect the resistive short fault is proposed.

## 1. 서론

\*正會員, 慶尙大學校 電子工學科

(Dept. of Elec. Eng., Gyeongsang Nat'l Univ.)

接受日字 : 1993年 6月 9日

CMOS 회로는 그 구조적 특성으로 인하여 매우 적은 양의 정적 전원공급 전류(Quiescent Power

Supply Current: 이하 IDDQ라 함)를 가지며 그 크기는 수 nA이다. 그러나, 회로내에 stuck-at 및 다른 형태의 고장들이 존재할 경우 IDDQ 값은 매우 커지게 되어 그 값은 수 mA에 이른다.<sup>1,2</sup> 최근 CMOS 칩의 새로운 테스트 방식으로 각광을 받고 있는 전류 테스트 방식 또는 IDDQ 테스트 방식 (Current testing technique or IDDQ testing technique)은 회로내의 고장 유·무에 따라 크게 변화하는 IDDQ 값을 비교함으로써 그 회로에 존재하는 다양한 형태의 고장을 용이하게 검출할 수 있는 방식이다.<sup>3,4</sup> 여기서 IDDQ는 공급전압원의 전류값 IDD와 정적상태(Quiescent state)의 Q를 나타낸 것이다. 이 방식은 매우 적은 수의 테스트 패턴에 의하여 브리징 고장(bridging fault)등과 같은 칩의 물리적 결함(physical defect)에 의한 고장뿐만 아니라, 게이트 옥사이드 단락고장(gate-oxide short fault)등과 같은 잠재적으로 칩의 신뢰도를 떨어뜨리는 고장등을 용이하게 검출할 수 있다. 또한 칩의 공급전압핀(power supply pin)에서 전류를 측정하여 기준 IDDQ 값과 비교함으로써 고장여부가 결정되므로 그 평가가 매우 간단하고, 테스트 패턴에 의하여 활성화되는 경로상의 모든 다중고장(multiple fault)들이 동시에 검출되는 장점을 가지고 있다. 그러나 근본적으로 IDDQ값이 큰 회로에 대해서는 이 테스트 방식의 적용이 어렵고, 정적상태(quiescent state)하에서 전류값을 측정해야 하므로, 그 테스트 속도(KHz)가 종래의 테스트 방식(MHz)에 비하여 매우 느린 문제점을 갖는다. 이러한 문제를 해결하기 위하여 회로내에 전류 센서(current sensor)를 내재한 Built-in IDDQ 테스트 방식이 제안되었으나, 과다한 하드웨어, 이에 따른 회로성능의 감소 및 회로 분할 문제등의 단점을 갖고 있다.<sup>5,6</sup>

IDDQ 테스트 방식과 더불어 CMOS 칩의 신뢰도를 향상시키기 위한 테스트 방식으로 번-인(burn-in)이 있다.<sup>7</sup> 이 방식은 칩의 사용초기에 발생할 확률이 높은 인펀트 모델리티 고장(infant mortality fault)을 검출하기 위하여 사용되며, 정해진 시간동안 일정한 온도와 전압등으로 칩에 스트레스를 가함으로써 앞으로 발생할 고장들을 미리 노출시켜 production 테스트시에 고장검출이 가능하도록 한다.

한편, CMOS 회로에는 stuck 형태(stuck-at, stuck-on 및 stuck-open)의 고장 이외에도 단락 형태(short type)의 고장들이 존재하며, CMOS 칩의 집적도가 높아질수록 이 고장들의 발생확률은 더욱 증가한다.<sup>8,9</sup> CMOS 회로의 단락고장으로는 칩내부의 논리 게이트간의 단락으로 인한 브리징 고장 및

논리 게이트내에 존재하는 고장등이 있다. 이러한 단락 형태의 고장들은 일반적으로 회로의 논리 동작에 영향을 줄 뿐만 아니라, 회로의 전력소비도 증가시키고 동작속도 및 잡음여유를 감소시키므로 CMOS 칩의 테스트시에 반드시 검출되어야 한다.<sup>10,11</sup> 이들은 IDDQ 값을 증가시키는 공통적인 특징을 가지므로 이를 검출하기 위해서는 IDDQ 테스트 방식의 사용이 필수적이다. 그리고 CMOS 칩에서 발생 빈도가 매우 높은 단락 형태의 고장으로 게이트 옥사이드 단락고장이 있다. 이 고장은 칩의 제조과정이나 그 외의 원인으로 인하여 MOS 트랜지스터의 게이트 옥사이드층이 파괴되어 게이트와 소오스 혹은 게이트와 드레인 단자가 단락된 것으로, 이 단락된 부분에 일정한 저항값이 존재하는 저항성 단락고장(resistive short fault)에 대한 연구가 활발히 진행되고 있다.<sup>12,13</sup> 저항성 단락고장은 회로의 논리 동작에는 영향을 미치지 않으나 동작속도 및 잡음여유를 감소시킨다. 또한 시간이 지남에 따라서 그 상태가 더욱 악화되어 결국 논리 고장(logic fault)에 이르게 되므로, CMOS 칩의 신뢰도에 큰 영향을 미치게 되며 주위의 온도 및 환경 조건에 의하여 발생하는 인터미턴트 고장(intermittent fault)의 원인이 되기도 한다.<sup>14</sup> CMOS 논리회로의 고장분석에 관한 기존의 논문<sup>15</sup>에서는 각 테스트 패턴에 대한 IDDQ 값을 비교, 분석함으로써 CMOS가 IDDQ 테스트 방식으로 테스트가 가능함을 보였다. 그러나 구체적인 고장모델에 대한 분석 및 IDDQ 테스트 결과 나타나는 IDDQ 값에 의한 고장 원인 분석이 고려되지 못하고 있다. 또한, 공급전압의 변화에 따른 IDDQ 값의 변화에 대한 고장분석 및 CMOS 칩의 신뢰도 평가도 시도되지 않고 있다.

본 논문에서는 IDDQ 테스트 방식을 사용하여 CMOS 칩들을 테스트하고, 그 결과 데이터에 의하여 CMOS 칩내에 존재하는 새로운 형태의 고장과 그 메카니즘을 분석하며, IDDQ 테스트를 통과하지 못한 칩들의 신뢰도를 평가한다. 이 테스트는 초기 테스트, 번-인 및 라이프 테스트 등의 3 단계로 수행되며, 각 테스트 단계에서는 IDDQ 테스트를 비롯하여 파라메트릭(parametric), 기능(functional), 전달 지연(propagation delay) 테스트 등을 행한다. 테스트 칩에 가능한 모든 테스트 패턴을 인가한 후, 각 전압에 대한 IDDQ 값을 측정하여 IDDQ 고장에 대한 메카니즘을 분석한다. 특히, 공급전압 VDD=5.0V 및 VDD=2.0V 에서 기능 테스트 그리고 전달지연 테스트를 행함으로써 저항성 단락고장에 대한 존재를 확인하고, 이를 용이하게 테스트할 수 있는 새로

운 테스트방식을 제시한다.

## II. 실험 방법

본 실험에서 사용한 테스트칩들은 NSC 74AC138 이고 미국 National Semiconductor Co.에서 제조되었으며, 이 칩들에 대한 모든 테스트는 Digital Testing Service Inc.에서 수행되었다. 이 테스트 칩에 대한 논리도를 그림 1에 나타내었다.

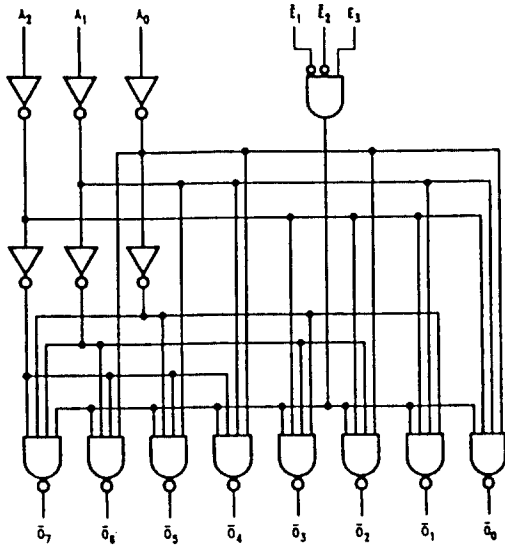


그림 1. NSC 74AC138의 논리도  
Fig. 1. Logic diagram of NSC 74AC138.

본 실험은 크게 3단계로 나누어 실시되며, 초기 테스트, 번-인 그리고 라이프 테스트 단계로 구성된다. 각각의 테스트 단계에서는 모든 테스트칩들에 대한 파라메트릭, 기능, IDDQ 그리고 전달지연 테스트를 이행한다.

### 1. 테스트칩의 준비

테스트칩은 그림 1에 나타난 바와 같이 스티틱(static) CMOS 3비트 디코더(3 bit decoder)회로를 이행하는 NSC74AC138이고, 각각 3개의 입력 및 인에이블 신호와 8개의 출력을 갖는다. 또한 이 칩은 16핀 세라믹 DIP 패키지(16 pin ceramic DIP package)형태로 완성공정(mature process)에 의하여 제조되었다. 이 테스트칩에 대하여 National Semiconductor Co.에서 다음과 같은 예비 테스트(pre-test)가 수행되었다.

먼저 칩들이 패키지 되기 전에 웨이퍼 레벨 테스트

(wafer level test)를 행하였다. 이 테스트시, 총 160개의 테스트칩들이 IDDQ 테스트를 포함하여 AC 및 기능 테스트를 통과하였다. 이때 기능 테스트는 VDD=6.0V 와 VDD=2.0V 에서 수행되었으며, 테스트칩들이 이 두 전압사이에서 정상적인 기능을 하도록 보증하기 위한 것이다. 그리고 IDDQ 테스트는 각 기능 테스트 패턴(functional test pattern)을 칩에 인가한 후 IDDQ 값을 측정함에 의하여 이행되었다.

다음으로 모든 테스트칩들이 패키지 된 후 production 테스트를 행하였다. 이때 모든 테스트칩들이 파라메트릭 및 기능 테스트를 통과하였다. 그러나 전체 칩 중 93%인 149개의 칩들이 IDDQ 테스트를 통과하지 못하였다.

본 실험에서는 패키지 된 후의 칩들을 테스트칩으로 사용하였다.

### 2. 실험 단계

본 실험은 크게 3단계로 나누어 수행한다.

먼저, 모든 테스트칩에 대하여 초기 테스트(initial test)를 행한다. 이 테스트의 결과데이터와 National Semiconductor Co.에서 테스트한 데이터를 비교하고, 다음 단계 실험의 테스트 데이터 분석에 대한 기준 데이터를 얻는다.

다음으로, 번-인 테스트를 수행한다. 이 테스트는 칩의 사용초기에 발생할 확률이 높은 고장(infant mortality fault)을 미리 검출하기 위한 수단으로 사용되며, 높은 온도와 스트레스 전압을 가함으로써 이러한 고장을 미리 노출시킨다. 이러한 인펀트 모델러티 고장들은 주로 제조공정이나 패키징 과정에서 발생한다. 본 실험에서는 각각 48, 48 그리고 72시간씩 총 168시간 동안 3번의 번-인 과정을 반복하여 실시하였다.

마지막 단계로 노말 라이프 고장(normal life fault)을 검출하기 위한 라이프 테스트(life test)를 행한다. 이들은 오랜기간이 지난 후에 나타나는 고장으로서 제조공정이나 설계 미숙으로 인하여 타이밍 문제(timing problem), 파라미터 변동(parameter drift) 등의 고장형태로 나타난다. 이 경우에도 테스트칩에 적당한 온도와 스트레스를 가함으로써 이러한 고장들을 미리 노출시켜 고장검출을 가능하도록 한다. 본 실험에서는 각각 500시간씩 2회 실시하였다.

### 3. 각 실험단계에서 적용된 테스트

2절에서 기술된 각 단계의 테스트 동안 다음의 테스트 기법들이 사용되었다.

### 1) 파라메트릭 테스트

이 테스트는 입,출력핀에 대한 연속 테스트(continuity test)와 초과 IDDQ 테스트(excessive IDDQ test)로 구성된다. 연속 테스트는 칩의 입,출력 보호회로(input/output protection circuit)를 구성하는 다이오드의 존재를 확인하며, 초과 IDDQ 테스트는 한 입력패턴을 인가한 후, 테스트칩의 IDDQ 값이 미리 설정된 값  $IDDQ=5mA$ 보다 크지를 비교한다. 전체 160개의 테스트칩 중 11개가 이 테스트를 통과하지 못하여 본 실험에서 제외되었다.

### 2) 기능 테스트

공급전압  $VDD=5.0V$  및  $VDD=2.0V$  에서, 각 테스트칩에 가능한 모든 입력 테스트 패턴(64개)을 인가하고 출력에서 논리값을 관찰함으로써 칩의 논리고장(logic fault) 유.무를 판단하였다.

### 3) IDDQ 테스트

모든 가능한 입력 테스트 패턴을 테스트칩에 인가하고 각각의 테스트 패턴에 대한 IDDQ 값을 측정한다.

또한 공급전압에 대한 IDDQ 값의 변화를 관찰하기 위하여  $VDD=4.0V$ ,  $4.5V$ ,  $5.0V$ ,  $5.5V$  그리고  $6.0V$ 의 각각에 대하여 IDDQ 테스트를 행하였다. 테스트칩이 이 테스트를 통과하는지의 여부는 공급전압  $VDD=5.5V$ 에서  $IDDQ=8.0\mu A$  값을 기준으로 정하고 모든 입력 테스트 패턴에 대한 최대 IDDQ 값이 이 기준값보다 적은 경우, 그 칩은 이 테스트에 통과하는 것으로 판정하였다. 이 기준값은 테스트칩의 데이터 북(data book)을 참고로 하여 실내온도에서의 허용된 최대 IDDQ 값을 사용하였다.

### 4) 전달지연 테스트

전달지연 테스트 패턴은 그 회로내에 존재하는 모든 단일 경로들을 활성화 하도록 생성되었으며, 모두 232개의 패턴으로 구성되었다. 각 테스트 패턴에 대하여 입력으로부터 출력까지의 가장 긴 전달지연 시간을 측정하였다. 이때 이 테스트도 공급전압  $VDD=5.0V$  및  $2.0V$  에서 각각 수행되었다. 이 테스트에 대한 테스트칩의 통과여부도 데이터 북에서 최대 전달 지연값을 기준으로 정하였다.

### 4. 테스트 환경, 번-인 및 라이프 테스트 조건

본 실험에서는 Schlumberger Sentry 21 테스터를 사용하였다. 이 테스터는 IDDQ 측정시, 1%의 분해도(resolution)를 가지며, 전달지연 테스트의 측정오차는  $\pm 1ns$ 이다. 각 칩에 대한 테스트는 약 1분 이 소요되었다.

번-인 및 라이프 테스트의 스트레스 온도(stress

temperature)는 모두  $125^{\circ}C$ 로 하고 번-인의 총 테스트 시간은 168 시간이다. 이 번인 조건은 일반 상업용 IC에 대하여 공통적으로 사용된다. 이 테스트를 수행하는 동안 가능한 모든 회로 노드들이 토글(toggle) 될 수 있도록 테스트 패턴을 인가하였다. 즉, 동적 번-인(dynamic burn-in)을 수행하였다. 또한 입력패턴 인가시, 공급전압은  $VDD=5.5V$ , 입력전압  $V_{IH}=5.0V$  로 하였다.

이상의 조건들은 매우 신중한 조건으로서, 번-인 및 라이프 테스트 과정에서 테스트칩이 과도한 전압이나 온도에 파괴되지 않도록 그 칩의 최대 규정값보다 낮은 값을 사용하였다.

## III. 실험 결과

### 1. 초기 테스트 결과

초기 테스트에서 모두 160개의 칩이 테스트되었으나, 이들 중 11개의 칩이 파라메트릭 테스트를 통과하지 못하여 차후의 테스트에서 제외되었다. 제외된 칩들은 입력 및 출력 보호회로를 구성하는 다이오드가 단락 또는 오픈되거나 허용치 이상의 IDDQ 값을 나타내었다. 나머지 149개의 칩들 중, 한개의 칩(칩번호 146)이 공급전압  $VDD=2.0V$ 에서 기능 및 전달지연 테스트를 통과하지 못하였다. 그러나  $VDD=5.0V$ 에서는 이들 테스트를 통과하였다. 다른 하나의 칩(칩번호 103)은 공급전압  $VDD=2.0V$ 에서 전달지연 테스트를 통과하지 못하였고, 다른 테스트는 모두 통과하였다. 이 두칩은  $VDD=2.0V$ 에서 기능 테스트 혹은 전달지연 테스트만으로도 고장검출이 가능하므로 IDDQ 테스트는 행하지 않았다. 이외의 147개의 칩들은  $VDD=2.0V$  및  $5.0V$ 에서 기능 및 전달지연 테스트를 통과하였으나, 전체 칩중 93%인 136개의 칩이 IDDQ 테스트를 통과하지 못하였다.

각 테스트칩의 IDDQ 값은 매우 넓은 범위로 변화하는 것으로 관찰되었다.

그림 2는 다른 공급전압에 대한 각 칩의 IDDQ 값을 나타낸다. 여기서 각 선은 독립된 칩을 나타낸다. 각 테스트칩의 IDDQ 값은 매우 넓은 범위로 변화한다. 예를 들어,  $VDD=5.5V$ 인 경우, 모든 칩들의 IDDQ 값은 수십 nA에서 수 mA에까지 이른다.

그림 2에 나타난 것과 같이 각 칩의 IDDQ 값은 공급전압에 대하여 매우 큰 영향을 받으며 다음의 3가지 형태로 구분된다. 테스트칩의 IDDQ 값이 공급전압에 따라 선형적으로 변화하는 형태와 지수함수적으로 증가하는 형태가 있다. 다음으로  $VDD=5.0V$ 와  $VDD=5.5V$  사이에서 IDDQ 값이 급격하게 증가

하고 그 외의 공급전압에서는 선형적으로 증가하는 테스트칩들이 존재하였다.

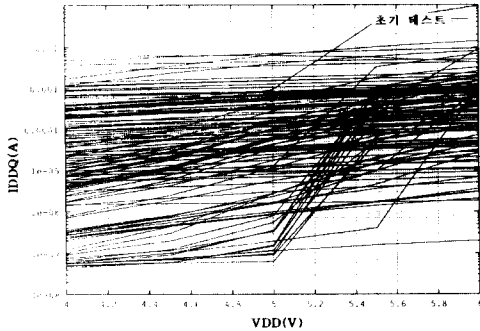


그림 2. 공급전압에 따른 각 칩의 최대 IDDQ  
Fig. 2. Maximum IDDQ for each chip at different VDD.

또한 테스트 패턴에 따른 IDDQ 값을 관찰한 결과, IDDQ 테스트를 통과하지 못하는 칩들 중 64%가 그 칩에 인가된 모든 테스트 패턴에 대하여 24%는 한 패턴을 제외한 모든 패턴에 대한 IDDQ 고장을 나타내었다. 그러므로 모든 IDDQ 고장을 나타내는 칩들 중 88%가 오직 임의의 두 테스트 패턴에 의하여 고장검출이 가능함을 보인다.

2. 첫번째 번-인 후의 테스트 결과 (48시간)

총 149개의 칩이 번-인 되었다. 초기 테스트시, VDD=2.0V에서 기능 및 전달 지연 테스트를 통과하지 못하였던 두개의 칩(칩번호 146, 103)은 이 단계에서도 같은 테스트를 통과하지 못하였다. 그러나 전

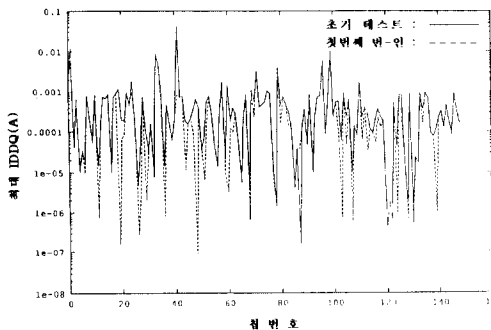


그림 3. 초기 테스트 및 첫번째 번-인 후의 모든 칩에 대한 최대 IDDQ (VDD=5.5V)  
Fig. 3. Maximum IDDQ for all chips after initial test and first burn-in (VDD=5.5V).

달지연 테스트를 통과하지 못하는 테스트 패턴들이 더욱 증가하였다. 나머지 칩들은 기능 및 전달지연 테스트를 모두 통과하였으나, 각 칩에 대한 최대 전달지연 시간은 약간씩 증가하였다.

초기 테스트시에 관찰되었던, 모든 타입의 IDDQ 값이 그대로 관찰되었다. 그러나, 몇개의 칩들의 IDDQ 값이 번-인 후에 오히려 감소하였다. 그림 3은 모든 칩에 대한 초기 테스트 및 번-인 후의 IDDQ 값을 나타낸다.

종래의 연구<sup>[2,3]</sup>에서는 일반적으로 번-인 후의 IDDQ 값이 증가 하는 것으로 보고되었다.

3. 두번째 번-인 후의 테스트 결과 (48시간)

이 테스트에서 한개의 칩(칩번호 93)이 번 아웃(burn out)되어 모든 테스트를 통과하지 못하였다. 이 칩의 모든 출력은 1을 나타내고 입력핀과 GND 사이에 존재하는 다이오드가 오픈상태임이 관찰되었다.

두개의 칩(칩번호 146, 103)은 여전히 VDD=2.0V에서 기능 및 전달 지연 테스트를 통과하지 못하였다.

모든 칩에 대한 최대 전달 지연은 거의 변화가 없었다. 몇개의 칩에 대한 IDDQ 값이 약간 변화한 것을 제외하고 다른 칩의 IDDQ 값은 변화가 없었다. 따라서 이 테스트 단계에서 IDDQ 값이 안정됨을 나타내고 있다.

그림 4는 모든 칩에 대한 첫번째 번-인 후와 두번째 번-인 후의 IDDQ 값을 나타낸다.

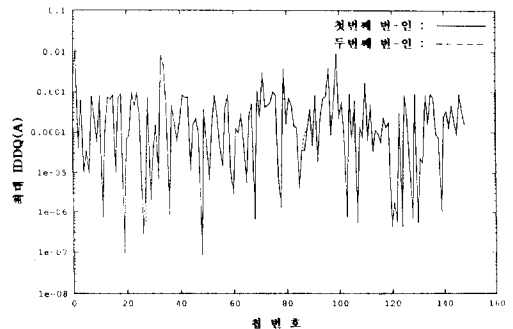


그림 4. 첫번째 및 두번째 번-인 후의 모든 칩에 대한 최대 IDDQ (VDD=5.5V)  
Fig. 4. Maximum IDDQ for all chips after first and second burn-in (VDD=5.5V).

4. 세번째 번-인 후의 테스트 결과 (72시간)

초기 테스트시, 공급전압 VDD=2.0V 에서의 기능 및 전달 지연 테스트를 통과하지 못했던 칩(칩번호

146)이 세번째 번-인 후에 VDD=5.0V 에서 연속 테스트 및 기능 테스트를 통과하지 못하였다. 이 칩의 입력핀이 VDD와 GND에 동시에 단락되었음이 확인되었다. 그리고 이 핀은 stuck-at-1 형태의 고장을 나타내었다. 즉 처음에는 고장을 나타내지 않던 칩이 번-인에 의하여 그 고장이 더욱 악화되어 결국 논리고장으로 나타나는 것을 보여주었다. 모든 칩에 대한 최대 전달 지연은 거의 변화가 없었고, IDDQ 값도 이전 결과와 일치하였다. 모든 칩에 대한 두번째 번-인 및 세번째 번-인 후의 IDDQ 값을 그림 5에 나타내었다.

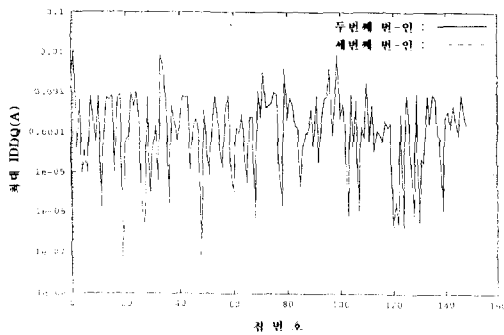


그림 5. 두번째 및 세번째 번-인 후의 모든 칩에 대한 최대 IDDQ (VDD=5.5V)

Fig. 5. Maximum IDDQ for all chips after second and third burn-in (VDD=5.5V).

#### 5. 첫번째 및 두번째 라이프 테스트 후의 결과 (각 500시간)

모든 칩의 최대 전달 지연은 거의 변화가 없었고, 그 외의 모든 측정값이 이전의 테스트와 거의 일치하였다. 그러므로 두번째 번-인 후의 IDDQ 값들이 계속 안정된 상태로 유지됨을 알 수 있었다.

### IV. 결과분석 및 검토

모든 초기 테스트, 번-인 및 라이프 테스트에 대한 IDDQ 테스트 결과를 표 1에 나타내었다.

표 1에 나타난 바와 같이, 공급전압 VDD=5.0V의 경우, 각 테스트 단계에서 두개의 칩(칩번호 146, 103)을 제외한 모든 테스트칩들이 기능 및 전달 지연 테스트를 통과하였다. 그러나 이 칩들 중 83%-93%의 칩들이 IDDQ 테스트를 통과하지 못하였다. 그러므로 이 칩들내에는 IDDQ 테스트 방식에 의해서만 검출되는 단락 형태의 고장이 존재함을 알 수 있으며, 이 고장은 정상적인 논리동작을 이행하나 과도한

IDDQ로 인하여 동작속도 및 잡음여유를 감소시키고 시간이 지남에 따라 악화되어 결국 기능고장을 유발하는 원인이 되므로, 칩의 신뢰도를 떨어뜨리는 영향을 미치게 된다. 따라서 CMOS 칩의 테스트시, 기능 테스트 뿐만 아니라 IDDQ 테스트도 반드시 병행되어야 하며, 이 경우 종래의 테스트 방식에서 불가능하였던 단락형태의 고장들까지도 검출이 가능해지므로 고장 검출율이 매우 커지게 된다.

표 1. 모든 테스트에 단계에 대한 IDDQ 테스트 결과

Table 1. IDDQ test results for all test runs.

	초기 테스트	첫번째 번-인	두번째 번-인	세번째 번-인	라이프 테스트
모든 테스트 패턴을 통과	11	25	22	21	21
64개 테스트 패턴을 통과 못함	86	81	80	81	81
63개 테스트 패턴을 통과 못함	33	26	27	27	27
62개 이하의 테스트 패턴을 통과 못함	17	15	17	17	17
총 계	147	147	146	146	146

또한 이 칩들이 웨이퍼 레벨 테스트에서는 IDDQ 테스트를 모두 통과하였으나 패키지 된 후의 production 테스트에서는 이 테스트를 통과하지 못한 점으로 미루어 보아, 이 칩에 존재하는 단락형태의 IDDQ 고장들은 공정상의 잘못으로 인한 고장들이 아닌 그 이후의 일련의 패키지 과정 등에서 발생된 고장으로 추측되며 칩의 입,출력 보호회로내에 존재하는 고장일 가능성이 매우 높은 것을 알 수 있다.

다음으로 각 테스트칩의 테스트 패턴에 따른 IDDQ 테스트 결과를 분석하면 다음과 같다.

IDDQ 테스트를 통과하지 못한 칩들 중 약 86% 이상의 칩들이 오직 임의의 두 테스트 패턴을 인가함에 의하여 고장검출이 가능함을 보인다. 이는 입력 테스트 패턴에 의하여 VDD로부터 GND까지의 단락회로가 형성되어 나타나는 트랜지스터 내의 고장 형태가 아닌 다른 IDDQ 고장이 존재함을 보여준다. 그러므로 이 고장은 칩의 논리회로 부분에서 나타나는 고장이라기 보다는 입력 출력 보호회로내의 고장일 확률이 매우 높다. 그리고 매우 적은 수의 테스트 패턴에 의하여 이러한 고장을 효과적으로 검출할 수 있다는 것이 입증되었다.

한편, 각 테스트 칩에 대한 IDDQ 값은 매우 넓은 범위에 고루 분포되어 있어 이러한 고장을 나타내는 고장 메카니즘은 다양한 고장 형태로 설명되어야 한

다. 공급전압에 따른 IDDQ 값의 분포는 선형적, 지수함수적 그리고 특정 전압범위에서의 현격한 증가 등으로 나타났다. 몇개의 테스트칩들이 VDD=5.0V 와 VDD=5.5V에서 급격한 IDDQ 값의 증가를 나타내었다. 이러한 고장은 이 전압 범위에서 문턱 전류 (threshold current) 값을 가지며, 공급전압, 전류 및 온도 등과 같은 외부조건에 변화에 의하여 고장이 발생하는 인터미턴트 고장의 주요한 원인이 된다.

초기 테스트시에 IDDQ 테스트를 통과하지 못하였던 칩들이 첫번째 번-인 후에 이 테스트를 통과함을 관찰하였으며, 이는 번-인 후에 IDDQ 값이 오히려 감소됨을 나타낸다. 이 결과는 기존의 연구결과들과 서로 상반되는 것으로서 이 테스트칩내에 번-인 등과 같은 스트레스를 받을 경우, IDDQ가 감소되는 새로운 고장형태가 존재함을 알 수 있다.

첫번째 번-인 후의 IDDQ 값은 초기 테스트시의 값에 비해 많은 차이를 보인 반면, 그 후의 테스트들에서는 거의 변화가 없이 안정된 값을 나타내었다. 그러므로 첫번째 번-인의 과정이 전체 테스트 과정에서 가장 중요도가 높다는 것이 관찰되었으며, 이때 IDDQ 값을 변화시키는 인턴트 모델리티 고장의 대부분이 노출된다는 결론을 얻을 수 있다.

초기 테스트시, VDD=5.0V에서는 기능 및 전달 지연 테스트를 통과하였으나, VDD=2.0V에서 이 테스트를 통과하지 못한 칩(칩번호 146)이 세번째 번-인(총 168시간)후의 테스트 결과, VDD=5.0V에서도 연속, 기능 그리고 전달지연 테스트를 통과하지 못하는 것이 관찰되었다. 그러므로 이 칩에는 초기에는 정상동작을 이행하다가 시간이 지남에 따라 논리고장으로 나타나는 저항성 단락고장이 존재함을 알 수 있다. 이 저항성 단락고장의 저항성분은 시간에 따라 그 값이 감소하여 결국 stuck 형태의 고장을 나타내므로 CMOS 칩의 신뢰도에 큰 영향을 미치게 된다. 그러므로 본 실험에서 입증된 바와 같이, 저항성 단락고장은 공급전압 VDD=2.0V 인 경우에 초기 테스트 단계에서 기능 및 지연 테스트에 의하여 검출이 가능하므로 별도의 번-인이나 IDDQ 테스트를 행하지 않아도 고장검출을 용이하게 할 수 있다. 이는 저항성 단락고장이 공급전압이 낮을수록 그 고장효과가 더욱 잘 나타나는 성질을 이용한 것이다.

## V. 결론

본 논문에서는 IDDQ 테스트 방식에 의하여 스텝 CMOS 칩을 테스트하고 그 데이터를 분석하여 CMOS 회로내에 존재하는 새로운 형태의 고장과 그

메카니즘을 제시하였다. 그리고 CMOS 칩의 신뢰도를 향상시키기 위한 테스트 방식을 제안하고 실험을 통하여 그 적용 가능성을 입증하였다.

테스트 실험 결과, CMOS 칩내에 IDDQ 테스트에 의해서만 검출되는 고장이 존재함을 확인하였다. 그러므로 CMOS 칩의 테스트시, 기능 테스트뿐만 아니라 IDDQ 테스트도 반드시 병행하여야 하고 이 경우 고장 검출율이 매우 커짐을 알 수 있었다. 또한 IDDQ 고장들의 대부분이 칩의 패키지 후에 나타난 것으로 보아, EOS/ESD (Electrical Overstress/Electrostatic Discharge) 현상이 이러한 고장의 원인이 되며, 이들은 입력 및 출력 보호회로내에 존재할 가능성이 매우 큰 것으로 생각된다.

다음으로 IDDQ 고장을 나타내는 칩들의 약 86% 이상이 임의의 두 테스트 패턴에 의해 검출이 가능함을 보이므로, 매우 적은 수의 테스트 패턴에 의하여 이 칩들을 용이하게 테스트할 수 있음을 알 수 있다.

공급전압에 따른 IDDQ 값의 분포는 선형, 지수함수적으로 나타나고, 특히 특정 전압범위에서 현격한 증가를 나타내는 칩들이 존재하였는데 이는 공급전압의 변화에 따른 인터미턴트 고장의 원인이 될 수 있음을 나타내고 있다.

그리고 초기 테스트에서보다 첫번째 번-인 후에 IDDQ 값이 감소하는 현상을 나타내는 칩에는 이제까지 고려되지 않았던 새로운 형태의 고장이 존재할 가능성을 제시하여 주었고, 첫번째 번-인 후에 모든 IDDQ 값은 매우 안정된 값을 나타내어, 전체 테스트 과정에서 이 첫번째 번-인이 매우 중요한 역할을 한다는 것이 입증되었다.

또한 CMOS 칩의 신뢰도에 큰 영향을 미치는 저항성 단락고장이 낮은 공급전압에서 기능 및 지연 테스트만으로 용이하게 검출될 수 있음이 확인되어, 이러한 형태의 고장 테스트에 대한 새로운 테스트 방식으로 제시되고 본 실험을 통하여 그 유효성이 입증되었다. IDDQ 테스트 및 번-인 테스트 방식에 의해서만 검출이 가능하였던 고장들이, 이 새로운 테스트 방식에 의하여 테스트가 가능해진다. 이 테스트 방식은 오직 공급전압만을 낮추고 기존의 테스트 방식을 그대로 사용할 수 있으므로 특별한 추가 회로설계나 테스트 패턴 생성 노력이 요구되지 않는다. 그러므로 이 방식이 CMOS 칩의 신뢰도를 높이기 위한 테스트 방식중의 하나로 사용될 수 있을 것으로 예상된다.

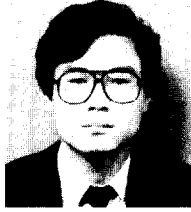
앞으로 본 연구결과를 바탕으로 각 IDDQ 고장의 고장 메카니즘을 자세히 분석하고, 이 고장을 용이하게 테스트할 수 있는 테스트 기법에 관한 연구가 이루어질 것이다.

## 參考文獻

- [1] Favalli, M., P.Olivo, M.Damiani, and B.Ricco, "Novel Design for Testability Schemes for CMOS IC's," *IEEE Journal of Solid-State Circuits*, Vol.25, No.5, pp.1239-1246, Oct. 1990.
- [2] Rochit Rajsuman, *Digital Hardware Testing: Transistor-Level Fault Modeling and Testing*, Artech House, 1992.
- [3] C.F.Hawkins, J.M.Soden, R.R.Fritze-meier, and L.K.Horning, "Quiescent Power Supply Current measurement for CMOS IC Defect Detection," *IEEE Trans. on Industrial Electronics*, Vol. 36, No.2, pp.211-218, May, 1989.
- [4] W.Maly and P.Nigh, "Built-In Current Testing -- Feasibility Study," *Proc. 1988 International Conference on Computer-Aided Design*, pp.340-343, 1988.
- [5] YuKiya Miura and Kozo Kinoshita, "Circuit Design for Built-In Current Testing", *Proc. 1992 International Test Conference*, pp.873-881, 1992.
- [6] Tung-Li Shen, James C.Daly and Jien-Chang Lo, "On-Chip Current Sensing Curcuit for CMOS VLSI", *IEEE VLSI Test Symposium*, pp.309-314, 1992.
- [7] C.F.Hawkins and J.M.Soden, "Electrical Characteristics and Testing Considerations for Gate Oxide Shorts in CMOS ICs," *Proc. 1985 International Test Conference*, pp.544-555, 1985.
- [8] R.Rajsuman, Y.K.Malaiya, and A.P. Jayasumana, "On Accuracy of Switch-level Modeling of Bridging Faults in Complex Gates," *Proc. 1987 Design Automation Conference*, pp.244-250, 1987.
- [9] J.Segura, A.Rubio, and J.Figuera, "Analysis and Modeling of MOS Devices with Gate Oxide Short Failures," *Proc. 1991 International Symp. on Circuits and Systems*, pp. 2164-2167, 1991.
- [10] J.M.Soden and C.F.Hawkins, "Test Considerations for Gate Oxide Shorts in CMOS ICs," *IEEE Design & Test*, pp. 56-64, Aug. 1986.
- [11] H.Hao and E.J.McCluskey, "Resistive Shorts' Within CMOS Circuits," *Proc. 1991 International Test Conference*, pp. 292-301., 1991.
- [12] H.Hao and E.J.McCluskey, "On the Modeling and Testing of Gate Oxide Shorts in CMOS Logic Gates," *Proc. 1991 IEEE International Workshop on Defect and Fault Tolerance in VLSI Systems*, pp.161-174, Hidden Valley, PA, Nov. 1991.
- [13] Cortes, M.L., and E.J.McCluskey, "An experiment of Intermittent-Failure Mechanisms," *Proc. 1986 International Test Conference*, pp.435-442, Washington, DC, 1986.
- [14] Hnatek, E.R., *Integrated Circuit Quality and Reliability*, Marcel Dekker, New York, 1987.
- [15] 한석봉, 김영일, 이건기, 이문수, "전류 테스트 방법을 사용한 CMOS IC의 고장 분석", *대한전자공학회 하계종합학술대회 논문집*, 제16권 제1호, pp.484-488, 1993년 7월



## 著者紹介



韓 哲 鵬(正會員)

1958年 12月 8日生. 1982年 2月 한양대학교 전자공학과 공학사. 1984年 2月 한양대학교 대학원 전자공학과 공학석사. 1988年 2月 한양대학교 대학원 전자공학과 공학박사. 1988年 3月 ~ 1990年 2月 경상대학교 전자공학과 전임강사. 1990年 3月 ~ 1994年 2月 경상대학교 전자공학과 조교수. 1994年 3月 ~ 현재 경상대학교 전자공학과 부교수. 1992年 1月 ~ 1993年 1月 미국 Stanford 대학교 전기 및 컴퓨터공학과 교환교수(Center of Reliable Computing 에서 연구). 주관심 분야는 VLSI 설계 (CMOS 및 BiCMOS), VLSI테스팅, CMOS 칩의 Reliability Testing, Design for Testability, Fault Tolerance Computing System, VLSI/CAD, ASIC 설계 등임.