

## Bird's Beak 및 소자특성 개선을 위한 새로운 Isolation 기술에 대한 연구

### (A Study on the New Isolation Technology to Improve the Bird's Beak and the Device Characteristics)

南明熙\*, 金賢哲\*, 金鐵城\*

(Myung Hee Nam, Hyun Chul Kim and Chul Sung Kim)

#### 要約

산화 마스크로써 silicon nitride 필름과 silicon nitride 와 실리콘 기판 사이에 pad oxide 를 사용하는 Local oxidation of silicon(LOCOS) 은 공정의 단순성 때문에 집적회로에서 가장 많이 사용되는 isolation 기술이다. 그러나 커다란 bird's beak 길이 때문에 소자의 크기가 줄어들어 따라 어려움이 있게 된다. 여러 진보된 isolation 기술이 bird's beak 길이의 감소를 위하여 제안 되어져 왔다. 본 연구에서는 polybuffered oxide 와 sidewall 로써 silicon nitride 를 사용함으로써 bird's beak 길이의 감소를 보였다. 또한 새로운 LOCOS 공정에 대한 기생 Al-gate MOSFET 의 전기적인 특성을 조사 함으로써 isolation 기술의 타당성을 보였다.

#### Abstract

The local oxidation of silicon(LOCOS) technology, which uses a silicon nitride film as an oxidation mask and a pad oxide between the silicon nitride and the silicon substrate, has been widely used in integrated circuits for process simplicity. But, due to long bird's beak length, there are difficulties in scabilities. Many advanced isolation techniques have been suggested for the reduction of bird's beak length. In this paper, we presented reduced bird's beak length using the polybuffered oxide and the silicon nitride as the sidewall. Also, investigating the electrical behavior of the parasitic Al-gate MOSFET on LOCOS, we proved the validity for new isolation process.

#### 1. 서론

소자 isolation 은 집적회로 공정에 있어서 중요한 관심의 대상중의 하나이다. 집적회로의 집적도를 높

이려는 측면에서 소자 isolation 은 매우 중요한 문제가 된다. 또한, isolation 지역에서는 필드 oxide 아래의 증가된 도핑농도와 두꺼운 oxide 로 인한 작은 전류를 나타내어야 하며, 쉽게 turn-on 되어서는 안된다. Silicon nitride( $Si_3N_4$ ) 와 실리콘 기판사이에 버퍼층으로써 얇은 oxide 층을 가진 LOCOS(Local Oxidation of Silicon) 는 집적회로에서 가장 널리 사용되는 소자 isolation 중의 하나이다. 그러나, 일

\*正會員, 仁荷大學校 電子工學科  
(Dept. of Elec. Eng., InHa Univ.)  
接受日字 : 1994年 5月 4日

반적인 LOCOS 공정은 커다란 bird's beak 길이와 실제 소자 영역으로의 channel-stop 의 측면확산으로 인하여 실제영역에서 면적의 손실을 가져오므로 소규모 회로에서 사용시 어려움이 있게 된다.<sup>[11]</sup> 그러므로 LOCOS 는 bird's beak 길이를 줄이고 소자공정을 위한 충분한 영역을 확보하기 위하여 필드 oxide 두께가 줄어 들어야 한다. 그러나 필드 oxide 두께의 감소는 상호연결 정전용량의 증가 때문에 회로의 성능을 악화시킨다. 더하여 필드 oxide 아래의 실리콘 표면으로의 누설전류의 증가를 가져온다. 가령 channel-stop 양의 증가로 누설전류는 감소되지만 channel-stop 의 측면확산의 증가로 channel 폭이 감소하게 되며, 이에 따른 전류이득의 감소를 나타내므로 이들간의 적절한 최적화가 필요하다.

위와 같은 문제점들을 개선하기 위하여 PBL(Polybuffered LOCOS), SWAMI, SILO 등과 같은 여러가지 isolation 기술이 연구되어져 왔다. PBL 의 경우 pad oxide 층이 polybuffered pad(poly/oxide) 층으로 대체되어 pad oxide 층의 두께가 감소되어 bird's beak 길이를 줄일 수 있고, 또한 silicon nitride 에 의한 실리콘 기판의 stress 를 줄이는 효과를 가져온다.<sup>[12][13]</sup> SWAMI 의 경우 silicon nitride 층의 강한 sealing 능력으로 bird's beak 길이를 줄이는 효과를 가져온다.<sup>[14][15][16]</sup> SILO 의 경우에는 기판위에 pad oxide 층을 증착하기 전에 바로 silicon nitride 층의 증착으로 인한 bird's beak 길이의 감소를 가져온다.<sup>[17]</sup> 위와 같은 배경을 통하여 poly 와 silicon nitride 의 적절한 사용이 bird's beak 길이를 줄여 집적도를 높이는데 좋은 효과를 나타낼 것임을 예측할 수 있다.

본 연구에서는 위의 장점들을 활용하여 silicon nitride 와 기판 사이에 순수한 pad oxide 층 대신 polybuffered pad(poly/oxide) 층을 사용하고 silicon nitride 의 sealing 능력을 이용하기 위하여 sidewall mask 로써 silicon nitride 를 사용하여 bird's beak 길이를 감소시켰다. 또한, 기판의 에칭 길이의 변화와 얇은 두번째 pad oxide 두께 등을 변화시키면서 bird's beak 길이의 변화를 조사하였다. 그리고, 2차원 공정 시뮬레이터(TSUPREM4) 를 통한 모의실험 결과를 semi-recessed LOCOS, polybuffered LOCOS, SWAMI 와 비교, 분석하였다. 또한, 본 isolation 에 대한 가생 Al-gate MOSFET 를 모의실험 하여 문턱전압, sub-threshold slope 과 같은 전기적인 특성을<sup>[18]</sup> 2차원 소자 시뮬레이터(MEDICI)로 비교, 분석 하여 새로 제안된 isolation 기술의 우수성을 입증하였다.

## II. 공 정

### 1. 공정의 진행

그림 1에 모의실험상의 공정 진행과정을 나타내었다. 공정진행 흐름은 얇은 thermal oxide 를 pad oxide 층으로써 p-type 실리콘 기판위에 성장시킨다. 그 후에 polysilicon 을 pad oxide 층 위에 증착한다. 그리고 산화 마스크로써 두꺼운 silicon nitride 층을 증착한 후(그림 1(a)) photolithographic 과정에 의하여 실제영역을 정의한 후 silicon nitride 와 poly 를 에칭한다. 그 후 얇은 pad oxide 층을 제거한 후(그림 1(b)) groove 를 형성하기 위하여 실리콘 기판을 에칭한다.(그림 1(c)) 필드 지역의 문턱전압을 높이기 위하여 boron channel-stop 을 이온주입한다.(그림 1(d)) 그 후 다시 얇은 pad oxide 층을 성장시킨다.(그림 1(e)) Sidewall 을 형성하기 위하여 두번째 silicon nitride 층을 증착한다. Silicon nitride 증착 후 에칭에 의하여 silicon nitride sidewall 을 형성한다(그림 1(f)) 그 후에 약 0.6 [um] 의 필드 oxide 를 성장 시키기 위한 필드 oxidation 이 실행된다.

그림 1(a)에서 pad oxide 층은 실리콘 기판과 silicon nitride 층 간의 stress 의 이행을 완충시키는 역할을 하므로 본 연구에서는 stress 를 최소화하는 관점에서 poly 를 사용하였으며, 또한 poly 사용으로 인한 얇은 pad oxide 때문에 얇은 bird's beak 길이를 나타내므로 집적도 측면에서 유리한 특성을 나타낸다. 그림 1(c)에서 실리콘 기판의 에칭은 field oxidation 시 측면보다는 groove 아래부분에서 중점적으로 oxidation 이 발생하여 bird's beak 길이를 줄이기 위해서 응용 하였으며, 약 0.1 [um] 의 cavity 를 형성한다. 그림 1(d)에서 channel-stop 으로서 이온주입된 boron 은 필드 oxidation 동안 segregation 과 oxidation-enhanced diffusion (OED) 을 경험하므로 비교적 높은 양이 요구된다. 그러나 boron 의 실제영역으로의 측면확산으로 인하여 실제영역의 문턱전압을 높이는 (narrow-width effect) 결과를 가져올 수도 있으므로 주의가 요구된다. 그림 1(f)에서 sidewall 로써 증착된 두번째 silicon nitride 층은 필드 oxide 성장시 oxide 층이 sidewall 에 의하여 들려 올려지는 정도가 감소되므로 bird's beak 길이를 줄이는데 중요한 역할을 한다.

최종적인 모의실험상의 공정결과를 그림 2(d)에 나타내었다. 위의 결과를 비교, 분석하기 위하여 semi-recessed LOCOS, polybuffered LOCOS, SWAMI 를 모의실험 하였다.(그림 2(a), (b), (c))

또한, isolation 지역에 대한 기생 Al-gate MOSFET 를 일반적인 MOSFET 공정과 동일하게 공정하여 필드 트랜지스터의 전기적인 특성을 조사하였다.

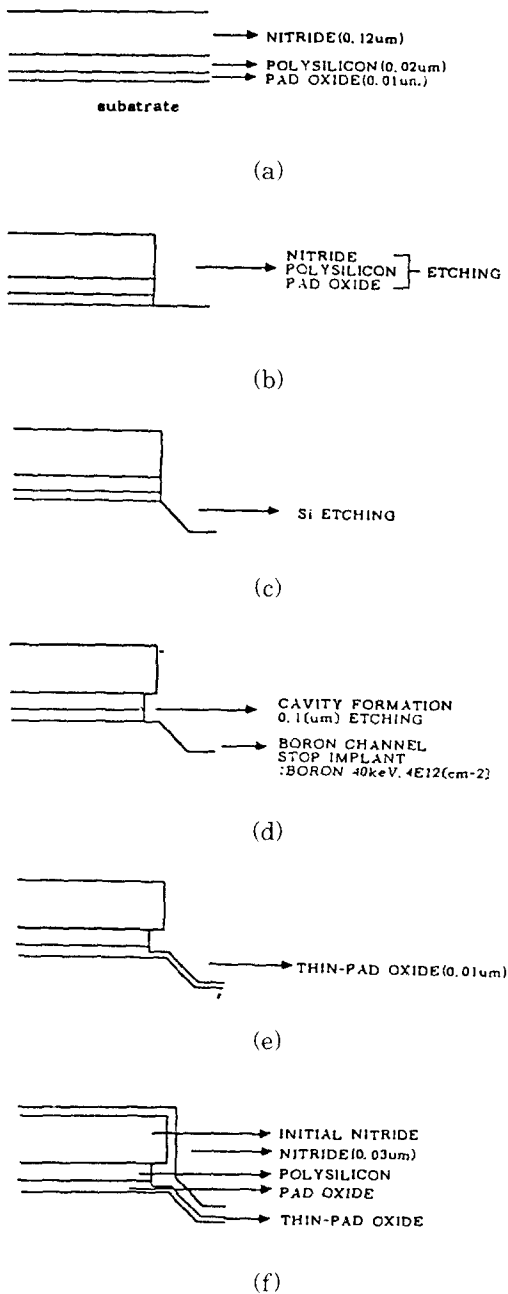


그림 1. 공정 흐름도  
Fig. 1. Process flow.

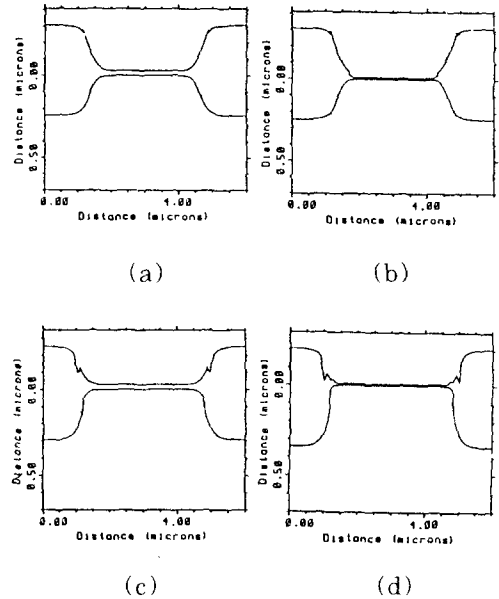


그림 2. 모의실험 결과 (a) semi-recessed (b) polybuffered (c) SWAMI (d) 본 연구  
Fig. 2. Simulation results.

### 2. 공정의 타당성 검토 및 고찰

본 연구의 결과는 실제 실험상의 결과가 아닌 모의 실험상의 결과이므로 공정의 불확실성이 존재하게 된다. 모의실험만으로 공정의 타당성을 검증하기는 부족하지만 2-D process simulation 을 통한 결과의 불확실성을 최대한 줄이기 위하여 세부적인 공정에 대하여 지금까지 수행된 여러 실험논문을 참조하였다. 그림 1의 공정과정에서 (a), (b)는 일반적인 LOCOS 공정에서 공통으로 들어가는 초기적인 공정단계이며, (c)의 경우 Si 에칭은 기판의 방향성과 에칭을 및 에칭 각도에 따라 달라지지만 C. Clayes의 실험논문<sup>15)</sup>과 Si 에칭이 유사하게 되도록 모의실험 하였다. (d), (e)의 그림에서 cavity 형성과 얇은 pad oxide 성장은 S.S. Roth의 실험논문<sup>16)</sup>을 참조하였다. 실험 논문에서 cavity 형성은 HF 용액을 사용하여 형성하였으며, 본 연구에서도 cavity 형성을 실험상의 결과와 유사한 모양이 되도록 모의실험 하여 진행하였다.

### III. 결과 및 분석

#### 1. 공정의 변화에 따른 특성

##### 1) Si 에칭 깊이 변화

그림 3에 2차원 공정 시뮬레이터(TSUPREM4)

의 결과로부터 bird's beak 길이와 비율을 측정하는 방법을 나타내었다.

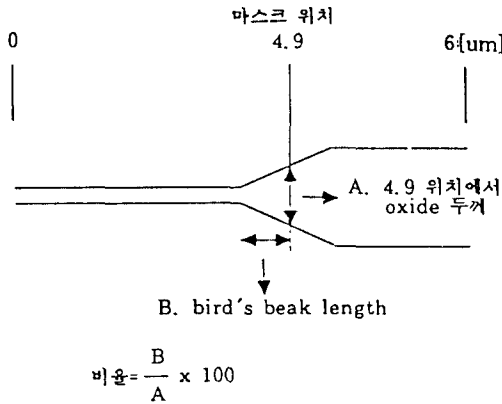


그림 3. Bird's beak 길이 측정방법  
 Fig. 3. The monitoring method of bird's beak length.

그림 1의 (c)의 공정과정에서 Si 에칭 깊이를 변화시키면서(0.05, 0.1, 0.15, 0.2 [um]) bird's beak 길이의 변화를 알아보았다. Si 에칭 깊이는 에칭되기 전의 Si 표면과 에칭된 Si 표면까지의 수직거리를 나타낸다.

표 1. Si 에칭 깊이에 따른 bird's beak 길이와 비율

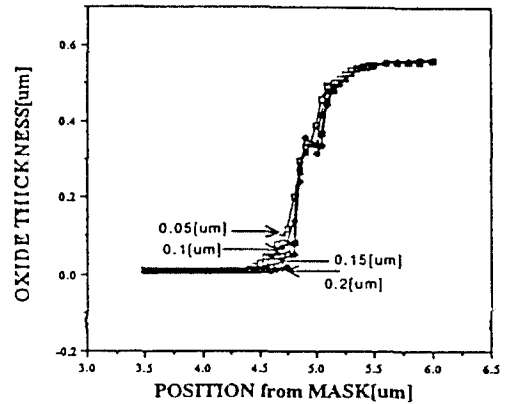
Table 1. The bird's beak length and the rate for Si etching depth.

Si 에칭 깊이	bird's beak 발생부분	bird's beak length	oxide 두께	비율
0.05	4.28	0.62	0.4926	1.259
0.1	4.36	0.54	0.4783	1.129
0.15	4.40	0.50	0.4552	1.098
0.20	4.50	0.40	0.4442	0.900

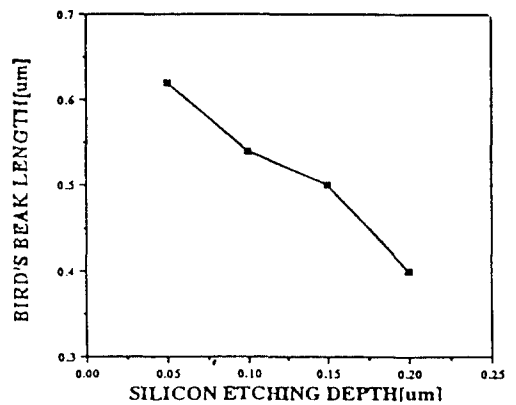
마스크 위치: 4.9, 얇은 pad oxide 두께: 0.02 [um] 단위: [um]

그림 4는 얇은 pad oxide 두께가 0.02 [um] 일 때, 위의 변화에 따른 결과를 나타낸 것이다. 모든 bird's beak 길이는 마스크 위치(여기에서 4.9 [um])로부터 계산되었다. 또한 bird's beak 길이와 함께 4.9 [um] 위치에서 oxide 두께에 따른 상대적인 bird's beak 길이를 비율로 나타내었다. 그림 4.(a)는 각 위치에서 oxide의 두께를 나타낸 것이

다. 그림에서 알 수 있듯이 에칭 깊이가 커짐에 따라 oxide 두께가 증가하는 부분(silicon nitride가 들리는 부분)이 마스크 위치로부터 가까움을 알 수 있다. 즉, bird's beak 길이가 짧음을 나타낸다. 그림 4(b)는 bird's beak 길이를 그래프화 한 것이다. Si 에칭 깊이가 0.2 [um] 일 때 bird's beak 길이가 가장 짧음을 알 수 있다. 표 1은 Si 에칭 깊이에 따른 여러 값을 나타낸다.



(a)



(b)

그림 4. (a) Si 에칭 깊이에 따른 oxide 두께  
 (b) Si 에칭 깊이에 따른 bird's beak 길이

Fig. 4. (a) The oxide thickness for Si etching depth  
 (b) The bird's beak length for Si etching depth.

그림 5는 제시한 다른 LOCOS 공정들과 결과를 비교한 것이다(Si 에칭 깊이 0.05 [um]). 여러 공정들과 비교해 볼 때 본 연구에서 제시한 공정의 bird's beak 길이가 감소 되었음을 알 수 있다. SWAMI 공정과도 비교할 만하다. 표 2에 비교한 결과를 나타내었다.

표 2. 다른 공정들과의 Bird's beak 길이의 비교

Table 2. The comparison of bird's beak length with other processes.

공정	bird's beak 발생부분	bird's beak length	oxide 두께	비율
semi-recessed	3.95	0.95	0.5063	1.876
polybuffered	4.05	0.85	0.5028	1.691
SWAMI	4.25	0.65	0.4907	1.325
본 연구	4.28	0.62	0.4926	1.259

마스크 위치:4.9 얇은 pad oxide 두께 0.02 [um] 단위[um]

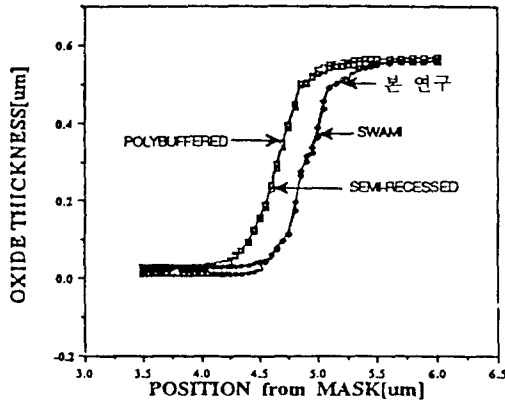


그림 5. Si 에칭 깊이에 따른 oxide 두께(다른 공정들과의 비교)

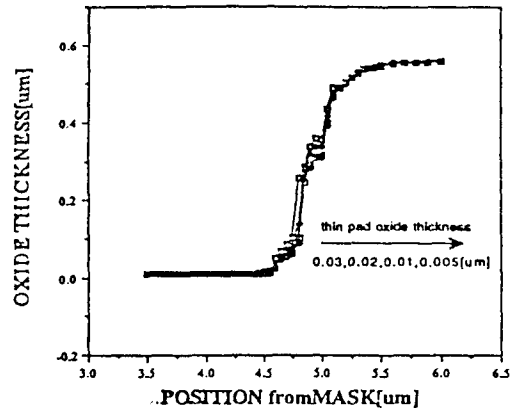
Fig. 5. The oxide thickness for Si etching depth. (the comparison with other processes)

2) 얇은 pad oxide 두께 변화

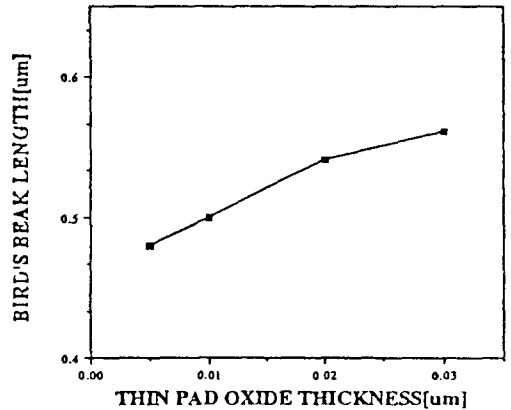
그림 1의 (e)의 공정과정에서 얇은 pad oxide 두께를 변화시키면서(0.005, 0.01, 0.02, 0.03 [um]) bird's beak 길이의 변화를 알아보았다.

그림 6은 Si 에칭 깊이가 0.1 [um] 일 때의 결과를 나타낸 것이다. 그림 6(a)의 그림은 얇은 pad oxide 두께의 변화에 따라 oxide 가 성장하기 시작하

는 위치를 알아보기 위한 것이다. 그림에서 알 수 있듯이 pad oxide 두께가 얇을수록 oxide 두께가 증가하는 부분이 마스크 위치로 부터 가까움을 알 수 있다. 즉, 얇은 pad oxide 두께가 얇을 수록 bird's beak 길이가 감소함을 알 수 있다. 또한, Si 에칭 깊이가 변화에도 같은 경향을 나타내었다. 그림 6(b)의 그림은 bird's beak 길이를 그래프화 한 것이다. 표 3은 얇은 pad oxide 두께에 따른 여러 값을 나타낸다.



(a)



(b)

그림 6. (a) 얇은 pad oxide 두께에 따른 oxide 두께 (b) 얇은 pad oxide 두께에 따른 bird's beak 길이

Fig. 6. (a) The oxide thickness for thin pad oxide thickness (b) The bird's beak length for thin pad oxide thickness.

표 3. 얇은 pad oxide 두께에 따른 bird's beak 길이

Table 3. The bird's beak length for thin pad oxide thickness.

oxide 두께	bird's beak 발생부분	bird's beak length	oxide 두께	비율
0.005	4.42	0.48	0.4653	1.053
0.01	4.40	0.50	0.4701	1.064
0.02	4.36	0.54	0.4783	1.129
0.03	4.34	0.56	0.4893	1.143

마스크 위치:4.9, Si 에칭 깊이:0.1 [um] 단위:um

3) Si 기판에서의 stress 분포

그림 7은 여러 LOCOS 공정들과 본 연구에서 Si 기판에서의 stress 를 비교한 것이다. Si 에칭과 silicon nitride 층으로 인하여 비교적 stress 는 높지만 일반적으로 stress 가 크게 나타나는 SWAMI 공정과 비교할 때 커다란 차이는 보이지 않는다. 그림 8은 Si 에칭시 Si 기판과의 각도 변화(시계방향)

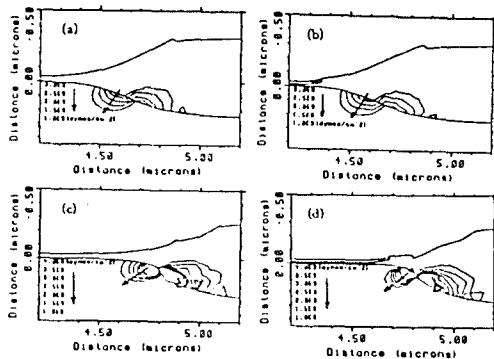
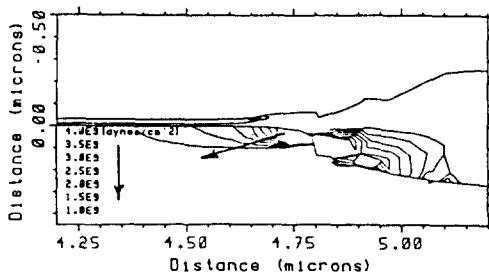


그림 7. Stress 분포 (a) semi-recessed (b) polybuffered(c) SWAMI (d) 본 연구 (크기:1.0E9-4.0E9[dynes/cm<sup>2</sup>])

Fig. 7. Stress contour.

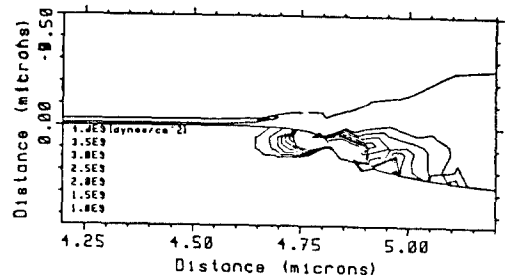


(a)

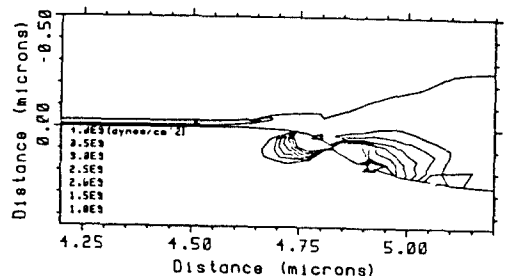
에 따른 stress 분포를 알아본 것이다 (Si 에칭 깊이:0.05 [um], 얇은 pad oxide 두께:0.01 [um]). 그림에서 알 수 있듯이 각도가 커질 수록 stress 의 분포가 넓게 나타남을 알 수 있다.

2. 기생 Al-gate MOSFET 의 전기적인 특성 조사

Isolation 지역에 대한 전기적인 특성을 알아보기 위하여 일반적인 Al-gate MOSFET 를 모의실험 하였다. Isolation 지역에서 문턱전압은 필드 oxide 두께에 크게 의존할 것임을 예측할 수 있다. 또한 channel-stop 이온주입량의 분포에 따라서도 영향을 받을 것이다. 그림 9는 그림 1의 (d)의 공정과정에서 boron channel-stop 이온주입량을 변화시키면서 이에 따른 문턱전압과 subthreshold slope 을 알아보기 위하여 gate 전압-drain 전류(Vgs-Ids) 를 나타낸 것이다(Si 에칭 깊이:0.05 [um], 필드 oxide 두께:0.55 [um], 채널길이:2 [um]). 예상 하였던 결과로 이온주입량이 증가할 수록 공핍영역 전하량의 증가로 인한 문턱전압의 증가를 볼 수 있다. 표 4에



(b)



(c)

그림 8. Si 에칭 각도에 따른 stress 분포 (a) 90° (b) 60° (c) 30°

Fig. 8. The stress contour for Si etching angle.

결과를 나타내었다.

표 4. Channel-stop 이온주입량에 따른 문턱 전압과 subthreshold slope

Table 4. The threshold voltage and the subthreshold slope for channel-stop implantation doses.

channel-stop implant boron energy:40 [keV] doses[cm <sup>-2</sup> ]	문턱전압 [V]	subthreshold slope [mV/decade]
4E12	13.0	949
5E12	14.8	1051
6E12	16.3	1193
7E12	18.0	1258

필드 oxide 두께:0.55 (um)

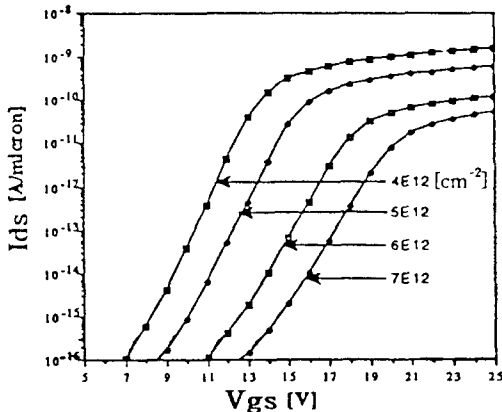


그림 9. Channel-stop 이온주입량에 따른 Ids-Vgs 곡선

Fig. 9. The Ids-Vgs curve for channel-stop ion implantation doses.

표 5. 다른 공정들과의 문턱전압과 subthreshold slope 비교

Table 5. The omparision of threshold voltage and subthreshold slope with other processes.

	semi recessed	polybuffered	SWAMI	본 연구
문턱전압[V]	14.90	14.87	15.81	16.30
slope[mV/decade]	733.9	743.8	1076	1193

그림 10은 제시한 여러 LOCOS 공정과 본 연구가 제시한 공정에 대하여 문턱전압과 subthreshold

slope 을 나타낸 것이다. 표 5는 비교된 결과를 나타낸다. 그림 10과 표 5에서 알 수 있듯이 문턱전압은 semi-recessed 와 polybuffered LOCOS 보다는 약간의 증가를 나타내었으며, SWAMI 와는 거의 비슷한 결과를 나타내었다. Subthreshold slope 또한 필드 쪽에서 유리한 값을 나타내었다. 위와 같은 결과는 모든 공정에 대하여 oxide 두께는 모두 0.55 [um] 이므로 channel-stop 이온주입량의 분포에 영향을 받은 것임을 알 수 있다. 즉, 본 연구가 제시한 공정이 실제영역으로의 boron channel-stop 의 확산의 감소를 가져오며, 다른 isolation 공정과 비교할 때 실제영역의 확보에서 유리한 결과를 나타낸다.

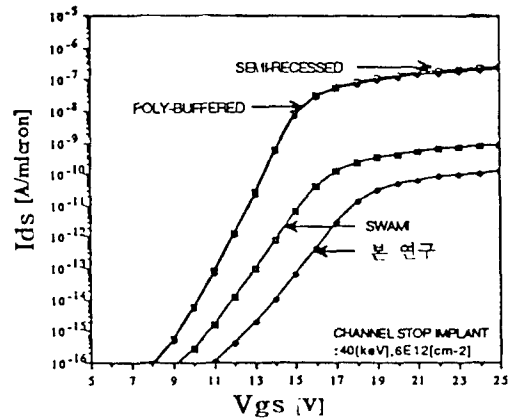


그림 10. Ids-Vgs 곡선(다른 공정들과의 비교)

Fig. 10. Ids-Vgs curve. (the comparison with other processes)

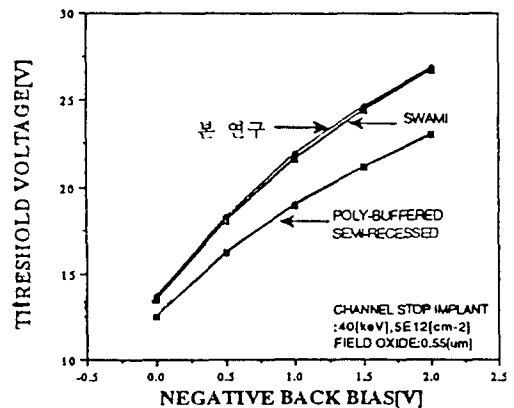


그림 11. 기판 바이어스에 따른 문턱전압

Fig. 11. The threshold voltage for substrate bias.

그림 11은 기판 바이어스 변화에 따른 문턱전압을 조사한 것이다. Al-gate NMOSFET 이므로 기판바이어스의 증가는 공핍영역 전하량을 더욱 증가시켜 이로 인한 문턱전압의 증가를 가져온다. 또한 제시한 공정과 다른 공정들을 비교해 볼 때 유사한 경향을 보임을 알 수 있다.

IV. 결 론

본 연구는 소자의 집적도 측면에서 bird's beak 길이를 줄이기 위하여 pad oxide 층으로 polybuffered pad 층을 사용하고, 또한 silicon nitride 의 sealing 능력을 이용하였다. 또한 공정결과와의 타당성을 보이기 위하여 semi-recessed LOCOS, polybuffered LOCOS, SWAMI 와 결과를 비교하였다. 비교는 2차원 공정 시뮬레이터 (TSUPREM4), 2차원 소자 시뮬레이터(MEDICI) 로 이루어 졌다.

결과에서 알 수 있듯이 다른 공정들과 비교할 때 bird's beak 길이의 감소를 나타내었다.(그림 5) 또한 Si 에칭 깊이(그림 4)와 얇은 pad oxide 두께 변화(그림 6)에 따른 특성으로는 Si 에칭 깊이가 크고 얇은 pad oxide 두께가 작을 수록 bird's beak 길이는 감소됨을 볼 수 있다. Stress 분포는 Si 에칭으로 인하여 커다란 값을 나타내지만 일반적으로 stress 가 큰 SWAMI 공정과 유사한 결과를 얻었다.(그림 7)

Isolation 지역에서의 문턱전압, subthreshold slope 과 같은 전기적인 특성 결과는 다른 공정들과 비교할 만하며 약간의 개선을 보였다.(그림 10)

결론적으로 본 연구에서 제안된 isolation 기술은 기존의 공정기술에 비해 복잡하지 않으며, bird's beak 길이의 감소와 전기적인 특성을 개선할 수 있어 소자의 집적도를 높이는 데 유용하게 이용 가능하리라 생각된다.

\* 본 연구는 1993년도 인하대학교 산업과학기술 연구소 연구비 지원의 일환으로 수행되었습니다.

參 考 文 獻

[ 1 ] J.A.Appels, E.Kooi, M.M. Paffen, J. J.H.Schatorj, and W.H.C.G Verkuylen, "Local oxidation of silicon and its application in semiconductor device technology." Philips Res.Rep., vol. 25,

no.2, pp.118-132, 1970.  
 [ 2 ] R.L.Guldi, B.Mckee, G.M.Damminga, C.Y.Young, and M.A.Beals, "Characterization of polybuffered LOCOS in manufacturing environment." *J.Electrochem.Soc.*, vol.136, no.12, p3815, 1989.  
 [ 3 ] M.Ghezso, E.Kaminsky, Y.Nissan-Cohen, P.Frank, and R.Saia, "LOCOS:Advanced device isolation for a 0.8 um CMOS/bulk process technology." *J.Electrochem.Soc.*, vol.136, no.7, p.1992, 1989.  
 [ 4 ] K.Y.Chiu, "The sloped-wall SWAMI - A defect free zero bird's beak local oxidation process for scaled VLSI technology." *IEEE Trans.Electron Devices*, vol.ED-30, no.11, pp.1506-1510, 1983.  
 [ 5 ] C.Claeys, J.Vanhellemont, T.Cavioni, and F.Gualandris, "Structural and electrical characterization of SWAMI techniques for submicron technologies." *J.Electrochem.Soc.*, vol.136, no.9, pp.2619-2624, 1989.  
 [ 6 ] K.Y.Chiu, J.L.Moll, and J.Manoliu, "A bird's beak free local oxidation technology feasible for VLSI circuits fabrication." *IEEE Trans.Electron Devices*, vol.ED-29, pp.536-540, 1982  
 [ 7 ] J.Hui, T.Chiu, S.Wong, and W.G.Oldham, " Sealed-interface local oxidation technology." *IEEE Trans.Electron Devices*, vol.ED-29, pp.554-561, 1982.  
 [ 8 ] J.-L.COPPEE, and FERNAND VAN DE WIELE "Experimental study of the electrical performance of isolation structure." *IEEE Electron Device Letters*, vol.9, no.10, pp.536-538, 1988.  
 [ 9 ] S.S.Roth, W.Ray, C.Mazure, "Poly-silicon Encapsulated Local Oxidation." *IEEE Electron Device Letters*, vol.12, no.3, pp.92-94, 1991.  
 [10] J.M.SUNG, C.Y.LU, J.M.SUNG, C.Y.LU, L.B.FRITZINGER, "Reverse



L-Shaped Sealed Poly-Buffered LOCOS  
Technology", IEEE Electron Device

Letters, vol.11, no.11, pp.549-551.  
1990.

---

著 者 紹 介

---



南 明 熙(正會員)

1971年 3月 17日生. 1993年 인하  
대학교 전자공학과 졸업(공학학  
사). 현재 인하대학교 대학원 전자  
공학과 석사과정

金 賢 鐵(正會員) 第 29卷 A編 第 8號 參照

현재 인하대학교 대학원 전자공학  
과 박사과정

•

金 鐵 城(正會員) 第 31卷 A編 第 8號 參照

1979年 ~ 현재 인하대학교 전자공  
학과 교수