

論文94-31A-12-13

SOI PN 다이오드의 항복전압과 최적 수평길이에 관한 연구

(On the Breakdown Voltage and Optimum Drift Region Length of Silicon-On-Insulator PN Diodes)

韓 承 煉*, 懇 鎮 哲**, 崔 然 益***, 鄭 相 九***

(Seung-Youp Han, Jin-Cheol Shin, Yearn-Ik Choi and Sang-Koo Chung)

要 約

SOI(Silicon-On-Insulator) pn 다이오드의 최적 수평길이(L_{dr})와 항복전압에 대한 해석적인 표현식을 n 드리프트 영역의 농도 및 두께, 매몰 산화막 두께의 함수로 유도하였다. 최적 L_{dr} 은 n'n' 접합의 수직 방향 전계에 의한 항복전압과 n'n'p' 접합의 수평방향 전계에 의한 항복전압이 같다는 조건으로부터 유도하였다. 해석적 표현식의 결과는 PISCESII를 사용한 시뮬레이션 결과와 잘 일치하였다.

Abstract

Analytical expressions for the breakdown voltage and the optimum drift region length(L_{dr}) of SOI(Silicon-On-Insulator) pn diodes are derived in terms of the doping concentration and the thickness of the n drift region and the buried oxide thickness. The optimum L_{dr} is obtained from the condition that the breakdown voltage of the vertical electric field of n'n junction equals to that of the lateral electric field of n'n'p' junction. Analytical results agree reasonably with the numerical simulations using PISCESII.

I. 서 론

SOI(Silicon-On-Insulator) pn 다이오드¹는 절연 격리(dielectric isolation)가 용이하기 때문에 주로 200V 이상의 고전압 소자의 제작에 사용되고 있

*準會員, ***正會員, 亞洲大學校 電子工學科
(Dept. of Elec. Eng., Ajou Univ.)

**正會員, 韓國電子
(Korea Electronic Company)

* 본 연구는 한국전력공사의 지원(1993년도 대학
기초연구지원사업)에 의하여 수행되었음.

接受日字 : 1994年 4月 19日

으며 근래에 들어 SDB(Silicon Direct Bonded)^[2] wafer 제조기술이 발전함에 따라 이를 이용한 SOI 소자의 연구가 활발하다.^[3] 그럼 1은 SOI pn 다이오드의 단면도로서 p 또는 n형 기판 위에 SiO₂가 형성되어 있고, 그 위에 n층이 direct bonding 기술에 의해 제작되어 드리프트 영역을 형성한다. SOI pn 다이오드의 경우 대부분 RESURF (REduced SURface Field) 원리^[4]를 이용함에 따라 표면전계가 임계값(E_c)이 되기 전에 드리프트 영역층이 완전 공핍되어 표면전계를 낮추고, 매몰 산화막층에 많은 전계가 걸리게 하여 항복전압을 높이게 된다. 이 경우 항복전압에 영향을 미치는 주요 변수는^[5] 드리프트 영역층의 농도(N_{dr}) 및 두께(d_{dr}), 매몰 산화막 두께

(t_{ox}), n⁺와 p⁺ 사이의 거리(L_{dr}) 그리고 n⁺n⁻ 접합에서 매몰 산화막까지의 거리(d_1)이다.

J. A. Appels 등은 L_{dr} 이 충분히 크다는 가정하에 RESURF pn 다이오드의 N_{dr} , d_{dr} 및 이론적인 항복전압을 제시한 바 있다.^[4] 그러나 L_{dr} 는 항복전압의 저하를 가져오지 않는 한 작으면 작을수록 chip size가 작아져서 경제적이므로 대단히 중요함에도 불구하고 지금까지 최적 L_{dr} 의 결정에 대한 연구가 발표된 바 없었으며, 더욱이 SOI pn 다이오드에서의 이에 관한 연구는 알려진 바 없다.

본 논문에서는 SOI pn 다이오드의 수직방향 및 수평방향 전계에 의한 항복전압을 유도하고, 이를 두개의 항복전압이 같은 값을 갖는 조건으로부터 L_{dr} 에 대한 최적치를 결정하였으며, 이 최적 L_{dr} 에 대한 해석식의 결과를 PISCESII를 이용한 시뮬레이션과 비교하여 검증하였다.

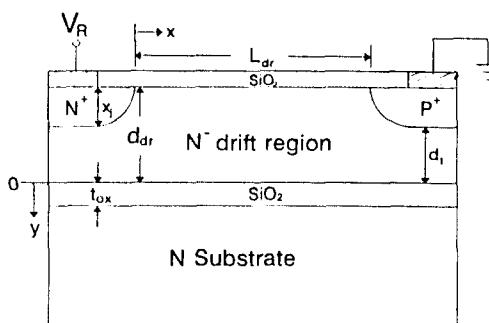


그림 1. SOI 수평형 pn 다이오드의 단면도

Fig. 1. Cross-section of the SOI lateral pn diode.

Ⅱ. SOI PN 다이오드의 항복전압

SOI 다이오드에 RESURF 원리를 적용하기 위해 얇은 드리프트 영역층을 사용하여 pn 다이오드를 구현하는 경우, 얇은 드리프트 영역층이 완전히 공핍이 되면 매몰 산화막 층에 점차적으로 전계가 걸리게 되며, 이 매몰산화막 층으로 인해 보다 높은 항복전압을 얻을 수 있게 된다.

1. 수직방향 전계에 의한 항복전압

n⁺n⁻ 접합의 수직방향, 즉 y방향으로 n⁺ 드리프트 영역층과 매몰산화막에 나타나는 전하와 전계분포를 그림 2에 나타냈다. n⁺ 및 n⁻ 드리프트 영역층의 공간전하인 양전하(+)와 같은 크기의 음전하(-)가 매몰

산화막과 기판의 경계면에 생기는데 이 음전하는 기판이 n층인 경우에는 자유전자로 구성된다. 따라서 전계분포는 MOS 구조에서의 그것과 같이 다음 식으로 주어진다.

$$E(y) = \begin{cases} \frac{qN_{dr}}{\epsilon_o \epsilon_{si}} (y_n + y), & -d_1 \leq y \leq 0 \\ \frac{\epsilon_{si}}{\epsilon_{ox}} E(0), & 0 \leq y \leq t_{ox} \end{cases} \quad (1)$$

여기서 q는 전하, N_{dr} 은 드리프트 영역층의 농도, ϵ_{si} 및 ϵ_{ox} 는 각각 Si 및 산화막의 비유전율, ϵ_o 는 진공의 유전상수, t_{ox} 는 매몰 산화막층의 두께이며 y_n 은 MOS 구조에서 n⁻ 드리프트 영역층의 공핍층 폭이다. n⁺에 인가된 역방향 전압 V_R 은 매몰산화막과 드리프트 영역층에 걸리는 전압의 합이므로

$$V_R = \frac{d_1}{2} [E(0) + E(-d_1)] + \left(\frac{\epsilon_{si}}{\epsilon_{ox}} \right) E(0) t_{ox} \quad (2)$$

로 주어진다.

매몰 산화막층의 전계는 $E_{ox} = (\epsilon_{si} / \epsilon_{ox}) E(0)$ 로서 높은 전계값을 갖게되며, 이때 매몰 산화막에 인가되는 전압은 식 (2)의 마지막 항으로 매몰 산화막 두께 t_{ox} 에 비례하여 증가한다. SOI pn 다이오드에서의 드리프트 영역층이 완전 공핍되는 조건, 즉 RESURF 조건^[4]은

$$N_{dr} \times d_{dr} < \left(\frac{\epsilon_o \epsilon_{si}}{q} \right) \frac{E_{cr}}{\left[1 + 2 \left(\frac{\epsilon_{si}}{\epsilon_{ox}} \right) \frac{t_{ox}}{y_{Bn}} \right]^2} \quad (3)$$

을 만족하고, 항복시 임계 전압값 $E_{cr} = 4010 N_{dr}^{1/8}$ 으로 주어진다. 따라서 소자의 항복전압은 식 (3)을 만족하는 매몰산화막 두께 t_{ox} 에 비례하게 된다.

한편 항복조건은

$$\alpha \int_0^{d_1} |E|^7 dy = 1 \quad (4)$$

을 만족해야 하므로^[7] 식 (1)로 주어진 전계 $E(y)$ 를 이에 대입하면

$$\left(\frac{y_{Bn}}{y_o} \right)^8 \left\{ 1 - \left(1 - \frac{d_1}{y_{Bn}} \right)^8 \right\} = 1 \quad (5)$$

및

$$y_o = \left\{ \frac{\alpha}{8} \left(\frac{qN_{dr}}{\epsilon_o \epsilon_{si}} \right)^7 \right\}^{1/8} \quad (6)$$

의 관계식을 얻을 수 있으며, 여기서 $\alpha = 1.8 \times 10^{-15}$ 이다.

항복시 형성되는 공핍층 폭, y_{Bn} 에 대한 해석적 해를 구하기 위하여 $u = d_1/y_{Bn}$ 및 $z = y_{Bn}/y_{vo}$ 라 놓으면 식 (5)는

$$u = z - (z^8 - 1)^{\frac{1}{8}} \quad (7)$$

로 주어진다. 이 식에서 $u \geq 0.1$ 일 때 $z \approx 1$ 임을 알 수 있다. 드리프트 영역층의 농도 $N_{dr} = 3 \times 10^{15} \text{ cm}^{-3}$ 일 때 식 (6)에 의하여 얻어지는 y_v 는 약 $7.5 \mu\text{m}$ 이다. 따라서 $d_1 = 3 \mu\text{m}$ 이면 $u = 0.4$ 로써 위에서 $z \approx 1$, 즉 $y_{Bn} \approx y_v$ 을 만족하게 된다. 일반적인 경우, 항복시의 공핍층 폭 y_{Bn} 은 드리프트 영역층의 농도 N_{dr} 에 따라 식 (6)에 의하여 결정되는 y_v 와 두께 d_1 이 결정되면 식 (7)에 의하여 쉽게 결정된다.

이때의 항복시 전계값들, 즉

$$E(0) = \frac{qN_{dr}}{\epsilon_s \epsilon_{st}} y_{Bn}$$

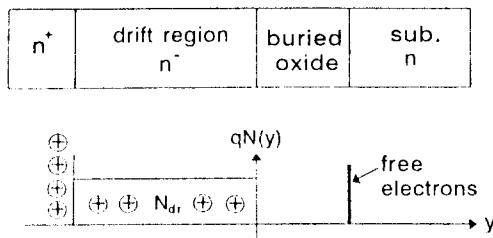


그림 2. 항복전압을 구하기 위한 수직방향의 전하 및 전계 분포

Fig. 2. Lateral charge and electric field distribution for the calculation of the breakdown voltage.

및

$$E(-d_1) = \frac{qN_{dr}}{\epsilon_s \epsilon_{st}} (y_{Bn} - d_1)$$

를 식 (2)에 대입하면 수직방향 전계에 의한 SOI pn 다이오드의 항복전압식은 다음과 같이 얻을 수 있다.

$$BV_{VF} = \frac{qN_{dr}}{\epsilon_s \epsilon_{st}} \left\{ \left(d_1 + t_{ox} \frac{\epsilon_{st}}{\epsilon_{ox}} \right) y_{Bn} - \frac{d_1^2}{2} \right\} \quad (8)$$

2. 수평방향 전계에 의한 항복전압

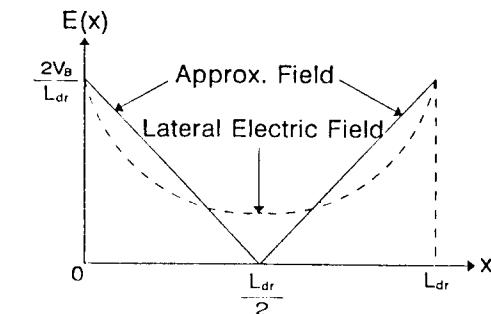
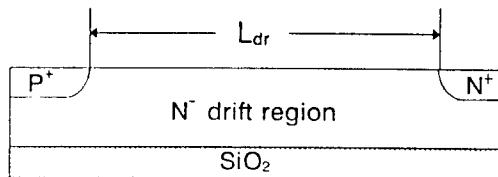


그림 3. 수평방향 전계분포의 직선근사

Fig. 3. Straight-line approximation for lateral electric field.

그림 3에 SOI pn 다이오드의 드리프트 영역층 표면에서의 전계분포를 점선으로 나타냈다. 이 표면전계의 분포식을 정확하게 구하는 것은 매우 어렵기 때문에 여기서는 일차적으로 가장 간단한 직선근사 방법을 사용하여 표면전계를 직선으로 근사 시켰으며, 이를 실선으로 나타냈다. 따라서, 근사시킨 전계의 식은

$$E(x) = \begin{cases} \frac{2V_B}{L_{dr}} \left(1 - \frac{2}{L_{dr}} x \right) & \text{for } 0 \leq x \leq \frac{L_{dr}}{2} \\ \frac{2V_B}{L_{dr}} \left(\frac{2}{L_{dr}} x - 1 \right) & \text{for } \frac{L_{dr}}{2} \leq x \leq L_{dr} \end{cases} \quad (9)$$

으로 주어진다. 표면에서의 항복은 식 (4)의 항복 조건으로부터

$$2\alpha \left\{ \int_0^{L_{dr}/2} \left\{ \frac{2V_B}{L_{dr}} \left(1 - \frac{2}{L_{dr}} x \right) \right\}^2 dx \right\} = 1 \quad (10)$$

을 얻을 수 있고 표면에서의 수평방향 전계에 의한

항복전압 BV_{LF} 는 식 (10)으로부터

$$BV_{LF} = 6.19 \times 10^4 L_{dr}^{-6} \quad (11)$$

이 된다.

그림 4에 식 (11)로부터 BV_{LF} 를 L_{dr} 의 변화에 따라 계산하여 얻은 결과를 나타냈다. 수평방향 전계에 의한 항복전압은 L_{dr} 만의 함수이며, L_{dr} 의 증가에 따라 BV_{LF} 역시 증가하는 것을 알 수 있다. 이것은 표면전계를 면적대비로 근사화 하였기 때문이다. 드리프트 영역층의 농도 $N_{dr} = 3 \times 10^{15} \text{ cm}^{-3}$, 두께 $d_{dr} = 4 \mu\text{m}$, $d_1 = 3 \mu\text{m}$, 기판농도 $N_{sub} = 1 \times 10^{16} \text{ cm}^{-3}$, $t_{ox} = 1 \mu\text{m}$ 일 때의 식 (8)에서 계산된 수직방향 전계에 의한 항복전압 값을 함께 표시하였다. 이 경우, 최적 수평길이는 두 그래프가 만나는 점임을 알 수 있다.

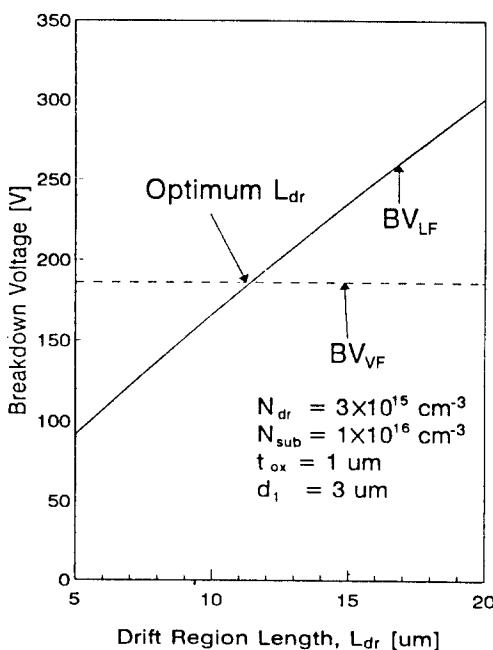


그림 4. 수직방향 및 수평방향에 의한 항복전압의 해석식 결과

Fig. 4. Analytic results of breakdown voltage as a function lateral and vertical electric field.

3. 최적 수평길이의 결정

RESURF 원리를 이용한 SOI 수평형 pn 다이오드의 최적 L_{dr} 조건은 수직방향 전계에 의한 항복전압과 수평방향 전계에 의한 항복전압이 같을 때이다. 항복전압을 유지하는 최소의 L_{dr} 의 결과는 식 (9)와

(11)로부터

$$L_{dr} = \left(\frac{BV_{VF} \times 10^{-4}}{6.19} \right)^{7/6} \quad [\mu\text{m}] \quad (12)$$

를 얻을 수 있다. SOI의 경우 최적 수평길이는 수직 방향 전계에 의한 항복전압 BV_{VF} 의 $7/6$ 제곱에 비례함을 알 수 있다.

III. 시뮬레이션 결과 및 고찰

SOI pn 다이오드의 최적 L_{dr} 과 항복전압에 대한 해석적인 결과를 확인하기 위하여 PISCESII를 이용하여 시뮬레이션을 수행하였다. 시뮬레이션에 사용된 소자의 매몰산화막 두께와 n 기판 농도는 각각 $t_{ox} = 1 \mu\text{m}$, $N_{sub} = 1 \times 10^{16} \text{ cm}^{-3}$ 로 고정하고, $N_{dr} = 1 \times 10^{15} \text{ cm}^{-3}$ 및 $d_1 = 9 \mu\text{m}$, $N_{dr} = 3 \times 10^{15} \text{ cm}^{-3}$ 및 $d_1 = 3 \mu\text{m}$, $N_{dr} = 5 \times 10^{15} \text{ cm}^{-3}$ 및 $d_1 = 2 \mu\text{m}$ 로 했을 때, L_{dr} 를 $5 \mu\text{m}$ 에서 $20 \mu\text{m}$ 까지 변화시키면서 항복전압을 조사하였다. 이때 N_{dr} 및 d_{dr} 값은 식 (3)의 RESURF 조건을 만족해야 한다.

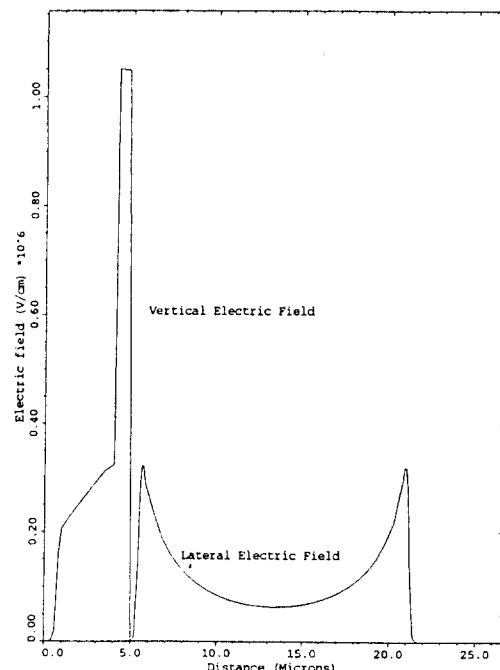


그림 5. 수평방향 전계분포 및 수직방향 전계분포의 시뮬레이션 결과

Fig. 5. Simulation results for the surface and vertical electric field.

예를 들면 $N_{dr} = 1 \times 10^{15} \text{ cm}^{-3}$ 일 때 $y_{th} = 20 \mu\text{m}$ 이 되고, 따라서 식 (3)은 $N_{dr} \times d_{dr} < 1.7 \times 10^{12} \text{ cm}^2$ 가 되므로 $d_{dr} = 10 \mu\text{m} < 17 \mu\text{m}$ 을 만족 한다. 그럼 5에 $N_{dr} = 3 \times 10^{15} \text{ cm}^{-3}$, $d_1 = 3 \mu\text{m}$ 및 $L_{dr} = 15 \mu\text{m}$ 일 때의 SOI 수평형 pn 다이오드 시뮬레이션 결과로서 항복시 나타나는 수평방향 전계분포와 수직방향 전계분포를 함께 나타냈으며, 수평방향 전계에 의한 전압과 수직방향 전계의 의한 전압이 각각 인가전압 190V에 가깝다.

이 결과는 그림 2 및 3에서 보여준 수직방향 전계분포 및 수평방향 전계분포와 잘 일치하고 있음을 알 수 있다.

그림 6은 그림 5에서와 같은 조건에서 항복시 등전위선과 전류 흐름을 나타낸 것으로, 위의 수평방향 전계분포와 수직방향 전계분포가 타당하며, 수직방향으로의 전류흐름 방향이 항복적분경로임을 나타내고 있다. 또 기판과 매몰 산화막층의 경계면은 전위가 0이 되는 면이며 따라서 기판의 농도는 항복전압에 거의 영향을 주지 못함을 알 수 있다.

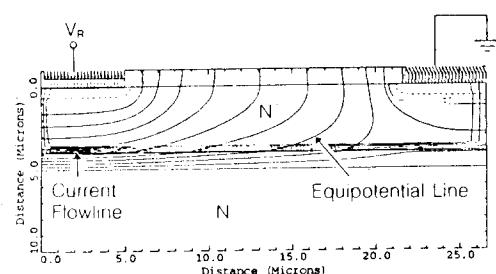


그림 6. 항복시 등전위선과 전류 흐름의 시뮬레이션 결과

Fig. 6. Simulated equipotential line and current flowline at breakdown.

그림 7은 $t_{ox} = 1 \mu\text{m}$ 일 때 L_{dr} 의 변화에 대한 항복전압 결과를 나타낸 것으로 실선은 PISCES 결과이며, 점선은 식 (11)과 (12)로부터 얻어진 결과이다. $N_{dr} = 3 \times 10^{15} \text{ cm}^{-3}$, $d_1 = 3 \mu\text{m}$ 의 경우 최적 수평길이는 12 μm 로 나타났으며, 최적 L_{dr} 이 12 μm 이상일 경우에도 항복전압은 190V 정도로 큰 변화가 없고, 반면 L_{dr} 이 12 μm 보다 적을 경우에는 항복전압이 감소하는 것을 볼 수 있다. 또한 $N_{dr} = 1 \times 10^{15} \text{ cm}^{-3}$, $d_1 = 9 \mu\text{m}$ 일 경우 최적 L_{dr} 은 19 μm , 이때 항복전압은 303V였으며, $N_{dr} = 5 \times 10^{15} \text{ cm}^{-3}$, $d_1 = 2 \mu\text{m}$ 일 때의 최적 L_{dr} 은 9 μm , 항복전압은 172V였다.

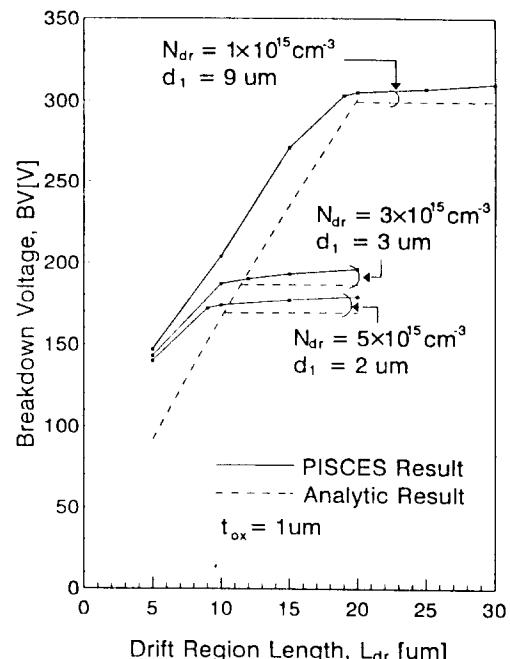


그림 7. 수평길이 변화에 따른 항복전압의 시뮬레이션 및 해석식 결과

Fig. 7. Simulated and analytic breakdown voltage as a function of drift region length.

식 (8) 및 (12)에 의하여 얻어진 이론적인 결과와 시뮬레이션 결과를 비교하여 표 1에 나타냈는데, 최적 수평길이 및 최대 항복전압에 대한 두 결과가 잘 일치함을 알 수 있다. 따라서 최대 항복전압은 일차원의 수직방향 전계에 의한 식 (8)에 의하여, 또 이때 최적 수평길이는 식 (12)에 의하여 결정됨을 알 수 있다. 드리프트 영역의 수평길이가 최적 수평길이보다 작을 경우에는 시뮬레이션에 의한 항복전압이 수평전계에 의한 값보다 크며, 이것은 항복경로가 그림 6에 나타낸 최적 수평길이의 수직방향이나 소자의 표면을 따르는 수평방향이 아니고 n'n 접합의 edge쪽에서부터 시작함을 나타낸다.

한편 항복전압을 시뮬레이션 결과의 값 $B_{1c} = 190\text{V}$ 로 택할 경우에는 식 (12)에 의하여 주어지는 $L_{dr} = 11.6 \mu\text{m}$ 로 PISCES II 결과와 거의 일치한다. 그러나 이론과 시뮬레이션 결과가 정확하게 일치하지 않는 것은 시뮬레이션 결과에 의한 항복전압이 식 (8)에 의하여 결정되는 값보다 큰 값으로 주어지기 때문이다. 이는 식 (8)에서는 고려하지 않은 n+ 내부의 전계 영향 등에 의한 것으로 생각된다.

표 1. 최적 드리프트 영역 길이와 항복전압에 대한 해석식 결과와 시뮬레이션 결과의 비교

Table 1. Comparison between analytic results and simulations for breakdown voltage and optimum drift region length.

$N_d (\text{cm}^{-3})$	$d_s (\mu\text{m})$	$L_{dr} (\mu\text{m})$		$BV_{br} (\text{V})$	
		해석식	시뮬레이션	해석식	시뮬레이션
1×10^{15}	9	20	19	290	302
3×10^{15}	3	11	12	186	190
5×10^{15}	2	10	9	169	172

IV. 결 론

SOI pn 다이오드의 항복전압을 수직전계에 의한 항복조건으로부터 드리프트 영역층의 농도와 두께 및 매몰산화막 두께의 함수로 유도하고, 표면의 수평전계 분포를 직선근사함으로써 얻은 항복전압과 수직전계에 의한 항복전압이 같은 값을 갖는 조건으로부터 최적 수평길이 L_{dr} 을 결정하는 해석적 표현식을 처음으로 유도하였다. 이를 해석식에 의한 SOI pn 다이오드 소자의 항복전압 및 최적 수평길이를 PISCESII 시뮬레이션에 의한 값들과 비교한 결과 잘 일치하였다.

본 연구에서 유도한 항복전압과 L_{dr} 에 대한 해석적인 식은 RESURF 및 SOI 구조를 갖는 pn 다이오드의 최적 설계에 응용될 수 있으리라 기대된다.

参考文献

- [1] S. Merchant et al., "Realization of high breakdown voltage in thin SOI device," *Proc. ISPSD* 91, pp. 31~35, 1991.
- [2] F. Sugimoto and Y. Arimoto, "Low-temperature SOI wafer bonding," *Proc. ISPSD*, pp. 240~241, 1992.
- [3] A. Nakagawa et al., "500V three phase inverter ICs based on a new dielectronic isolation technique," *Proc. ISPSD*, pp. 328~332, 1992.
- [4] A. Appels, et al., "Thin layer high voltage device (RESURF Device)," *Philips J. Res.*, vol. 35, no. 1, pp. 1~13, 1980.
- [5] Y. S. Huang and B. J. Baliga, "Extension of RESURF principle to dielectric isolated power devices" *Proc. ISPSD*, pp. 27~30, 1991.
- [6] B. J. Baliga, *Modern Power Device*, Wiley, New York, p. 69, 1987.
- [7] W. Fulop, "Calculation of avalanche breakdown of silicon pn junction," *Solid State Electronics*, vol. 10, pp. 39~43, 1967.

著者紹介

韓承燁(準會員)

1963年 6月 5日生. 1990年 2月
아주대 공대 전자공학과 졸업.
1992年 2月 아주대 대학원 전자
공학과 석사. 1993年 3月 ~ 현재
아주대 대학원 전자공학과 박사과
정. 주관심 분야는 TFT LCD 및
전력반도체 소자 등임.

崔然益(正會員) 第 31 卷 A 篇 第 1 號 參照

현재 아주대 공대 전자공학과 교수

慎鎮哲(正會員)

1968年 5月 13日生. 1991年 2月 한양대학교 전자공
학과 졸업. 1994年 2月 아주대 대학원 전자공학과 석
사. 1994年 3月 ~ 현재 한국전자 근무. 주관심 분야
는 전력반도체 소자 및 공정 시뮬레이션 등임.

鄭相九(正會員) 第 29 卷 第 12 號 參照

현재 아주대 공대 전자공학과 교수