

論文94-31A-12-11

PSG막의 급속열처리 방법을 이용한 LDD-nMOSFET의 구조 제작에 관한 연구

(A Study on the Structure Fabrication of LDD-nMOSFET using Rapid Thermal Annealing Method of PSG Film)

柳 章 烈 * , 洪 凤 植 **

(Jang Ryeol Ryu and Bong Sik Hong)

要 約

고밀도 접적을 필요로 하는 $0.5 \mu\text{m}$ 이하의 게이트 길이를 갖는 MOSFET 등 반도체 소자를 개발하기 위하여는 고 농도 불순물의 얇은 접합층에서의 활성화 기술이 핵심이 되어야 할 것이다. 얇은 접합 기술의 일반적 방법은 이온주입 기술을 이용하지만, 이는 shadowing 효과의 발생과 결합제거 및 불순물의 전기적 활성화를 위하여 적절한 고온 열처리 공정이 필요하다. 이 열공정은 불순물 재분포화에 따라 깊은 접합이 발생할 수 있어 얇은 접합 형성을 어렵게 한다. 따라서 불순물 재분포화를 최소화하기 위하여 열적부담(온도x시간)을 줄일 수 있는 급속열처리(RTA) 공정이 관심의 대상이 되고 있다. 본 연구에서는 소자 제조 공정 중 하나인 PSG막을 이용하여 그 성장막 내 인(P) 분포와 RTA의 시간 및 온도를 변수로 한 실리콘 내 확산 특성을 조사하였다. SIMS, ASR 및 4-point probe 측정 결과에서 n'에 필요한 면저항(sheet resistance)이 $100 \Omega/\square$ 이하의 값과 $0.2 \mu\text{m}$ 이하의 접합깊이가 얻어졌다. 표면농도의 값도 다양한 조건에서 $1 \times 10^{17} \text{ atoms/cm}^2 \sim 1 \times 10^{19} \text{ atoms/cm}^2$ 범위의 값이 얻어져 n-영역 및 n+영역에의 충분한 적용 가능성이 기대되었으며, 여기서 얻은 적절한 범위의 값을 이용하여 LDD-nMOSFET를 제작하여 그 전기적 특성을 고찰하였다. n-영역의 접합깊이는 $0.06 \mu\text{m}$ 이며 표면농도는 $2.5 \times 10^{17} \text{ atom/cm}^2$, $4 \times 10^{17} \text{ atoms/cm}^2$ 및 $8 \times 10^{17} \text{ atoms/cm}^2$ 의 조건을 적용하였다. 특성 개선의 결과가 얻어져 전계 감소에 의한 고온 전자의 억제가 이루어지고 있음을 확인하였다.

Abstract

To develop VLSI of higher packing density with $0.5 \mu\text{m}$ gate length or less, semiconductor devices require shallow junction with higher doping concentration. The most common method to form the shallow junction is ion implantation, but in order to remove the implantation induced defect and activate the implanted impurities electrically, ion - implanted Si should be annealed at high temperature. In this annealing, impurities are diffused out and redistributed, creating deep PN junction. These make it more difficult to form the shallow junction. Accordingly, to minimize impurity redistribution, the thermal-budget should be kept minimum, that is, RTA needs to be used. This paper reports results of the diffusion characteristics of PSG film by varying Phosphorus weight %, times and temperatures of RTA. From the SIMS, ASR, 4-point probe analysis, it was found that low sheet resistance below $100 \Omega/\square$ and shallow junction depths below $0.2 \mu\text{m}$ can be obtained and the surface concentrations are measured by SIMS analysis was shown to range from $2.5 \times 10^{17} \text{ atoms/cm}^2 \sim 3 \times 10^{19} \text{ atoms/cm}^2$. By depending on the RTA process of PSG film on Si, LDD-structured nMOSFET was fabricated. The junction depths and the concentration of n- region were about $0.06 \mu\text{m}$, $2.5 \times 10^{17} \text{ atom/cm}^2$, $4 \times 10^{17} \text{ atoms/cm}^2$ and $8 \times 10^{17} \text{ atoms/cm}^2$, respectively. As for the electrical characteristics of nMOS with phosphorus junction for n region formed by RTA, it was found that the characteristics of device were improved. It was shown that the results were mainly due to the reduction of electric field which decreases hot carriers.

*正會員, 天安工業專門大學 電子科

(Dept. of Elec. Eng., Cheonan Nat. Jun. Tech. College)

**正會員, 忠南大學校 電子工學科

(Dept. of Elec. Eng., Chungnam Nat. Univ.)
接受日字 : 1994年 4月 4日

I. 서 론

sub-half micron급의 실효 게이트 길이를 갖는 MOS소자는 2차원의 물리적 현상으로 소자의 특성에 악 영향을 미쳐 항복전압 및 문턱전압의 천이는 물론, 드레인 영역의 전계 증대에 따른 신뢰성의 감소가 예측된다.^[2] 이의 대책으로 드레인 구조개선^[5] 및 0.2μm이하의 얇은 소오스/드레인 접합이 필요한데, 현재 얇은접합의 일반적 방법은 이온주입(ion implantation)기술로서 접합깊이는 주입에너지와 열공정(thermal annealing)에 의해 좌우된다. 즉, 이온주입시 발생하는 결함제거와 주입된 불순물의 전기적 활성화를 위하여 적절한 온도의 열공정이 수반되어야 한다. 게이트 실효길이가 점점 축소됨에 따라 보다 높은 농도의 불순물 및 낮은 결합밀도가 요구되어 더 많은 열공정을 필요로 하고 이는 결국 보다 많은 확산과 깊은접합이 초래되어 얇은접합 형성을 어렵게 한다. 더우기 이온주입은 채널링(channeling) 현상제거를 위하여 약간 경사진 상태(보통 7°정도)에서 이온이 입사되므로 shadowing 효과가 발생하여 소자의 특성에 악 영향을 미칠 수 있고, 특히 인(P)의 경우 이 채널링 효과와 보다 낮은 주입에너지의 한계 때문에 극미세 소자에 적합한 고 농도 불순물의 얇은 접합 형성을 어렵게 한다. 이러한 단점을 해결하기 위한 방안으로 열적부담(thermal budget:온도x시간)을 줄이는 공정기술인 급속열처리(rapid thermal processing)공정이 관심이 되어왔다.^{[6][10][12][13]} 최근 인을 이용한 접합 형성과 급속 열처리 방법을 적용한 얇은접합 형성에 관한 보고가 있는데, 1983년 S.M.Hu 등^[11]은 실리콘 내 인 확산 모델을 제시한바 있으며, 1991년 이 모델을 바탕으로 한 고체 소오스(P_2O_5)의 2단계 급속 열처리 방법을 이용한 인의 확산 특성 연구가 보고^[4]되어 있으나, 이 방법은 불순물 농도 및 접합깊이의 다양한 변화가 어려워 LDD구조를 갖는 소자제작에의 적용은 한계가 있을 것으로 생각된다.

본 연구에서는 이온주입 방식을 채택하는 경우 공정과정에서 발생가능한 shadowing 효과를 제거하면서 얇은접합 형성의 한 방안으로 CMOS 소자 제작공정 중 하나인 실리콘 기판 위의 PSG (Phosphosilicate Glass)막의 급속열처리 방법을 이용한 LDD-nMOSFET를 제시하였다. 이의 특성 고찰을 위하여 실리콘 내 인(Phosphorus)의 도핑(doping) 농도를 다양하게 변화하여 증착한 후, 여러가지 짧은 시간 및 온도를 변수로 하여 급속열처리 공정을 수행하였다. 여기서 농도분포(concentration profile),

접합깊이, 면저항 등을 SIMS, ASR, 4-point probe 등을 이용하여 측정 조사하였다. 인(P)의 농도 무게함량 (weight%)은 5wt.%에서 14wt.%까지, 온도는 각 무게함량에 대하여 1000°C, 1050°C 및 1100°C 사이에서, 시간은 8sec 내지 14sec에서 변화시켜 실험하였다. 표면농도와 접합깊이, 면저항(sheet resistance) 등의 결과에서 PSG막의 급속열처리 공정 수행으로 LDD-MOSFET등 소자의 n⁺, n⁻ 영역에 얇은 접합화의 충분한 적용 가능성 여부가 조사되었으며, 여기서 얇은 결과 중 n⁻ 영역에서 요구되고 있는 농도와 접합깊이 등의 적절한 값을 적용하여 LDD-nMOSFET구조를 형성하였으며, 그 전기적 특성 고찰을 통하여 고 집적 소자에의 응용 가능성을 연구하였다.

II. 이 론

1. 실리콘으로의 인 확산 모델

인의 확산 모델은 확산작용에 크게 영향을 미칠 수 있는 접결합, 즉 공공(空孔:vacancy) 혹은 원자간 결합(interstitial)의 두가지 군으로 분류할 수 있다. 초기 모델의 대부분은 인 확산이 공공 결합 메카니즘에 지배를 받는다는 가정을 기초로 하였다. 이 모델 중 가장 잘 알려져 있는 것은 "Fair-Tsai 모델"로서 이는 고 농도 인 확산에 대한 정량적 모델을 나타낸 것이다.^[9] Fair-Tsai 모델은 실리콘 격자의 공공과 인 이온과의 상호작용에 기초하고 있다. 이들 공공의 전하상태가 이들 상호작용의 성질(확산계수)에 크게 영향을 미치게된다. 이 전하상태는 적어도 4가지 상태로 존재한다. 즉, V⁺, V^x, V 및 V²⁻의 상태이며, 각각 정전하(positive charge), 중성전하(neutral charge), 부전하(negative charge), 이중 부전하(double negative charge)의 공공을 의미한다. 이들 공공의 존재는 격자의 (格子歪:lattice distortion)를 생성시킬 수 있으며, 금지대내 공공의 에너지 준위를 형성하게 된다. 전하를 띤 공공의 농도는 다음과 같이 전자농도의 합수로 표현할 수 있다.^[15]

$$\begin{aligned} \{V^+\} &= \{V^x\}(p/n_i) \\ \{V^-\} &= \{V^x\}(n/n_i) \\ \{V^{2-}\} &= \{V^x\}(n/n_i)^2 \end{aligned} \quad (1)$$

여기서 {} 표시는 공공의 농도를 나타내며, n, p는 전자 및 정공의 농도이고 n_i는 진성전자 농도 (intrinsic electron concentration)이다. 불순물

농도가 높은 경우 이를 공공의 농도는 불순물 농도와 밀접한 관계를 갖는다. 각 공공의 종류에 따른 전체 확산계수 D 는¹⁷

$$D = D_i^* + D_i^*(p/n_i) + D_i(n/n_i) + D_i^2(n/n_i)^2 \quad (2)$$

로 주어진다. 여기서 D_i^* 는 중성 공공에 기인한 진성확산계수(intrinsic diffusivity), D_i^*, D_i, D_i^2 는 각각 정전하, 부전하, 2중부전하의 공공에 기인한 진성확산계수이다. 높은 농도의 인(P)화산인 경우 p 는 무시할 수 있으므로 식(2)의 제2항을 제거하면, 인의 전체 확산계수 D_p 는 다음과 같이 표현할 수 있다.

$$D_p = D_i^* + D_i(n/n_i) + D_i^2(n/n_i)^2 \quad (3)$$

Fair-Tsai모델은 본질적으로 Yohida모델(PV쌍분해)^[7]과 Schwettman-Kendall모델((PV) 방전)^[14]의 조합에 의한 것이다. 농도가 높은 경우 P^-V^2 의 상호작용과 밀접한 관계가 있는 것이 짐작하게 되어 결국, 식(3)은

$$D_p = D_i^2(n/n_i)^2 \quad (4)$$

로 감소하는 근사식으로 표현할 수 있다. 천이영역 근처에서의 전자농도는

감소하고 페르미 준위가 V 에 접근할 때 P^-V^2 쌍은 다음과 같이 분리된다.

$$P^-V^2 \rightarrow P^-V^- + e \quad (5)$$

P^-V 쌍의 결합에너지가 낮기 때문에 P^- 와 V 의 분해는 더욱 가속화될 수 있다. 많은 공공들이 이러한 공정으로 분리되어 농도가 낮은 Tail영역으로 빠르게 이동한다. 이 영역에서의 확산계수 D_i 는¹⁸ 다음과 같다.

$$D_i = D_i'' + D_i''\{V\} / \{V^-\}, \quad (6)$$

2. 고온전자의 발생

짧은 채널을 갖는 MOSFET에서 채널중의 전계는 드레인 근처의 공핍층 영역에 집중되어 강전계를 형성한다. 즉, 드레인 근처의 전압은 스케일링 나운

(scaling down)되지 않는 경우 $10^5 V/cm$ 이상의 강전계가 형성되며, 이 영역에 주입된 캐리어(carriers)들은 큰 가속 에너지로 고온전자(hot carrier)를 발생시켜 소자의 신뢰성을 현저히 저하시

키는 문제를 야기한다. 드레인 전계 영역에 주입된 전자는 충돌전리(impact ionization)에 의하여 전자-정공 쌍을 발생시키고 발생된 전자-정공쌍 중 정공은 기판전류로, 전자는 대부분 드레인 전류로 형성되나, 다시 그 일부가 게이트 산화막으로 주입된다. 게이트 산화막에 주입된 전자 중 일부는 Si/SiO_2 계면 혹은 SiO_2 내의 포획중심에 포획되며, 포획되지 않는 전자는 그대로 게이트로 이동하여 게이트 전류로 관측된다. 이들은 MOSFET의 문턱전압 저하 및 트랜스컨더턴스 g_m 을 열화시켜 전류 구동력을 떨어뜨린다. 채널 내에서 발생한 고온전자는 채널 중에 갖혀 있는 것이 아니라 밖으로 뛰쳐나간다. 이때는 두 가지 메카니즘에 의하여 작용하는데, 하나는 충돌전리 과정에 의한 기판전류(substrate current)이고, 다른 하나는 산화막으로의 캐리어 주입이 그것이다. 금지대 폭 EG 보다 충분히 큰 에너지를 얻은 전자는 충돌전리 작용으로 전자-정공쌍이 발생되며, 이 중 정공이 공핍층내 전계에 의해 기판측으로 주입되어 기판전류를 형성한다. 충돌전리 조건 $qE \gg E_c$ 에서 기판전류 I_{SUB} 는

$$I_{SUB} = C_1 I_D \exp[-\epsilon E_G / qEl] \quad (7)$$

로 알려져 있다.¹⁹ 여기서 1은 평균자유행정, C_1 은 정수, $\epsilon = 1 \sim 1.5$ 이다.

또한 고온전자 분포 중 보다 높은 에너지를 얻은 전자는 실리콘과 산화막의 장벽에너지 Φ (약 3.2eV)를 넘어 산화막으로 주입된다. 이 장벽 에너지보다 높은 에너지를 얻은 전자는 게이트 주입전류 I_{INJ} 을 형성한다. 이 I_{INJ} 는²⁰

$$I_{INJ} = C_2 I_D \exp[-\Phi / qEl] \quad (8)$$

이고, 이때 게이트 전류 I_G 는 V_{GS} 값에 따라 지수함수적으로 감소하여 관측할 수 없게 된다. 따라서 I_G 는

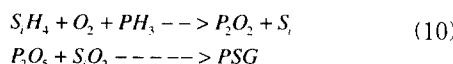
$$I_G = \eta I_{INJ} \quad \eta = 1 : V_{GS} \gg V_{DS} \\ \eta = 0 : V_{GS} \ll V_{DS} \quad (9)$$

로 나타낼 수 있다. 산화막으로 주입된 캐리어들은 그 일부가 포획되기도 하고 표면준위를 생성하기도 한다. 그 결과 문턱전압의 천이, 트랜스컨더턴스의 저하, subthreshold 영역에서의 누설전류 증대등으로 인하여 소자 특성을 열화시키므로 LDD등 여러가지 드레인 구조를 변경한 소자들이 연구되고 있다.

III. 실험 방법

1. PSG막의 금속열처리 공정

실험에 사용된 웨이퍼는 5~10Ω-cm, P형 (100) 방향의 4인치 실리콘 웨이퍼를 사용하였으며, 우선 웨이퍼들을 10:1HF 및 H_2SO_4 에 의해 깨끗이 세척한 후, PSG막을 2000Å~4000Å 정도 성장시켰으며. 성장과정에서 PSG막내 인(P)의 농도 무게 함량 (weight%)을 5wt.%~14wt.%로 변화시켜 도핑하였다. 여기서 인의 무게 함량은 PSG막, 즉 ($P_2O_5+SiO_2$) 전체 무게 함량에서 인이 차지하는 무게 함량의 비율을 의미하며 다음 식으로 나타냈다.



$$\frac{(P)wt\%}{(P_2O_5 + S_iO_2)wt\%} = x \text{ weight \%} \quad (11)$$

인이 도핑된 PSG막 위에 도핑되지 않는 CVD막 (undoped CVD film)을 1000Å 정도 성장시킨 다음, 금속열처리(RTA)공정을 수행하였다. 금속열처리 공정의 변수로는 위에서 언급한 농도 무게함량과 온도 및 시간으로 하였으며, 온도는 1000°C, 1050°C, 및 1100°C로 열처리 시간은 각각의 온도 및 인의 농도 무게함량에 대하여 8sec, 10sec, 11sec, 및 14sec로 변화시켜 실험하였다. 시료 제작 구조의 단면도와 제작 공정의 흐름도를 그림 1에서 나타내었다.

한편 인의 금속열처리 확산 공정은 2단계 어닐링 (annealing)방법을 채택하였다. 그림 2에서 보여 주는 바와 같이 N_2 분위기에서 650°C정도의 온도로 180sec동안 초기가열(initial heating)한 다음, 750°C의 전차가열(pre-heat)과 1000°C~1100°C 사이의 온도에서 원하는 시간만큼 어닐링하는 2단계 가열 영역으로 나누어 수행하는 방법을 채택하였다. 금속열처리는 N_2 분위기에서 짧은시간 동안 1000°C~1100°C의 고온으로 처리되므로 웨이퍼 상의 온도 균일성 (temperature uniformity)이 가장 중요한 요소가 되고 있다.

이 때문에 그 가열율(heating rate)과 냉각율 (cooling rate)이 250°C/sec~300°C/sec로 높아 RTP 챔버 내의 중심부분과 가장자리 부분의 온도 차가 현저하다. 이 온도 차에 의하여 생기는 열적인 스트레스(thermal stress)로 인하여 웨이퍼 내 결정면의 이동(shifting of crystal plane) 즉, slip line이 발생할 수 있으며, 웨이퍼 중심부분과 가장자리 부분의 온도 기울기로 웨이퍼 안쪽은 압축성 스트레

스(compressive stress), 바깥 쪽은 장력 스트레스 (tensile stress)가 발생하여 확산 특성의 저하로 인한 웨이퍼 전체의 치명적 손상이 예측되어 금속열처리 전에 750°C정도에서 25sec동안 전차가열 단계를 삽입하여 열처리하였다.¹¹⁾ 인의 확산계수는 활성화 에너지에 지수함수적으로 변화하는데, 750°C와 1000°C 사이의 온도 차에서는 많은 값의 차이가 있으므로 이 기간 중 인의 실리콘 내 확산은 무시될 수 있을 것이다.^{[15]-[16]} 다만, PSG막내 인 원자를 PSG/Silicon 계면 근처로 이동시켜 금속열처리 기간 동안 실리콘 속으로의 침투를 보다 용이하게 할 수 있을 것으로 생각된다.

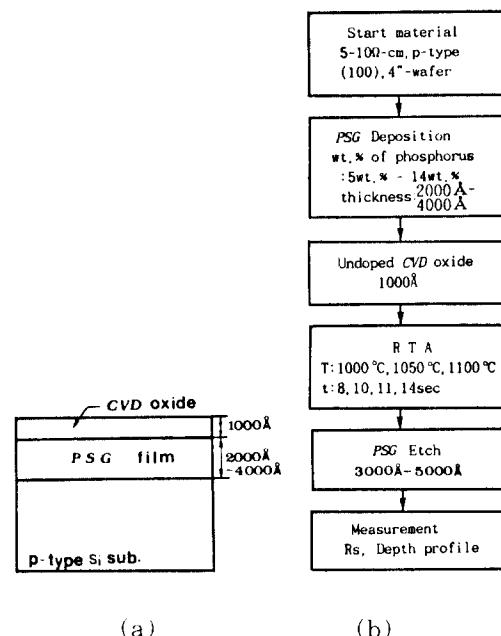


그림 1. (a) 시료단면과(b) 시료제작공정 흐름
Fig. 1. (a)cross section and (b)flowline of fabrication process for sample.

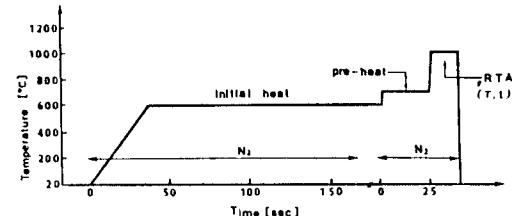


그림 2. PSG막의 금속열처리 공정에 대한 온도 분포
Fig. 2. Temperature profile performed in RTA process for PSG film.

2. PSG막을 이용한 LDD-nMOSFET구조 제작
집적회로 제작의 보호막으로 사용되고 있는 PSG 막을 이용하여 LDD구조의 소자를 제작하였다. 실험에 사용된 기판은 $5\sim10\Omega\text{-cm}$, (100)방향의 P형 (Boron doped type) 4인치 웨이퍼를 이용하였으며, 준비과정에서 생길 수 있는 모든 이물질을 화학적 세정작업에 의하여 세척하였다. PSG막을 이용한 LDD 구조의 소자 제작공정의 단면과 주요 공정 흐름도를 그림 3에서 나타내었다. 제작과정은 게이트를 정의한 후, LDD영역 및 소오스/드레인 영역의 게이트 산화막을 RIE 및 Wet etch방법으로 모두 제거(bared silicon)한 후, $2000\text{\AA} \sim 4000\text{\AA}$ 정도의 PSG막을 성장시켜 금속열처리 공정 수행으로 인(phosphorus)의 확산에 의한 n 영역을 형성한 다음, 건식및 습식 식각 방법으로 성장시킨 PSG막을 모두 제거한다. 그리고 다시 APCVD방법으로 CVD산화막을 성장하여 측벽폭(sidewall spacer)을 만들어 n⁺ 영역을 형성한다.

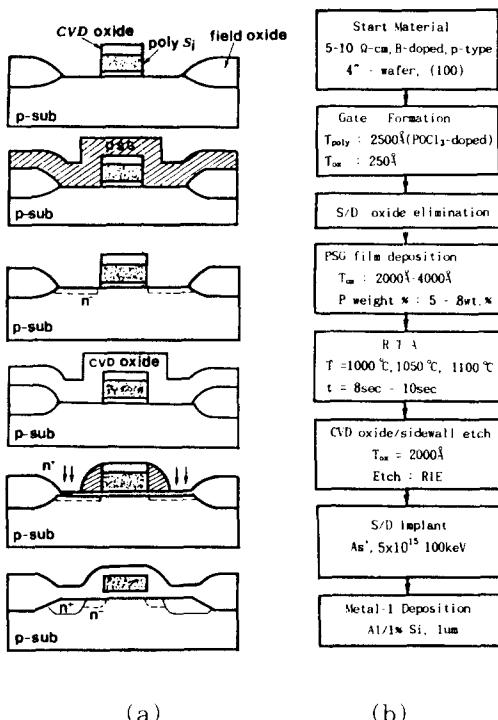


그림 3. PSG막의 금속열처리를 이용한 LDD-nMOSFET의 (a) 단면과 (b)제조공정
Fig. 3. (a)Cross section and (b)Fabrication process of LDD-nMOSFET using RTA of PSG film.

IV. 실험결과 및 고찰

1. 면저항(sheet resistance)

P형 Si 기판위에 PSG막을 성장시키면서 인(P)의 무게함량을 변화시켜 도핑한 후, 금속열처리(RTA)과정으로 인의 확산을 수행하였다. 인의 확산을 위한 열처리 과정은 그림 2에서와 같이 180sec 동안 650 °C정도로 초기 가열한 다음, 시간과 온도를 변수로 하여 열처리하였다. 그림 4에서는 PSG막 중 인이 차지하는 무게함량에 대한 면저항(sheet resistance)값

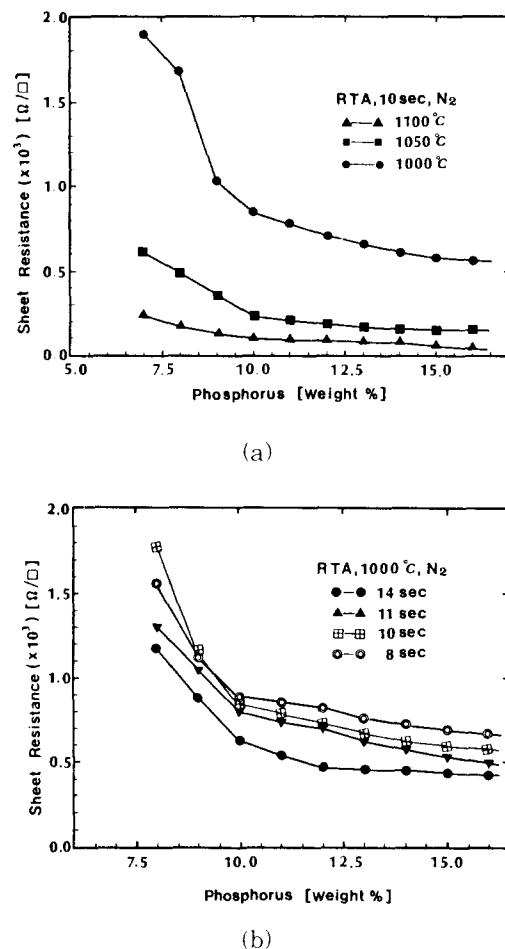


그림 4. 인의 무게함량과 금속열처리 온도에 따른 면저항의 변화.

Fig. 4. Variation of sheet resistance with weight% of phosphorus and the RTA temperature : (a)RTA:T=1000 °C, 1050°C, 1100°C, t=10sec (b)RTA : T = 1000°C, t=8sec ~ 14sec.

을 나타내었으며, 면저항의 측정은 PSG막을 에칭하고 4-point probe장비를 이용하여 측정하였다. 그림 4(a)는 N₂ 분위기에서 10sec로 시간을 고정시키고 웨이퍼 가열 온도를 1000°C, 1050°C, 및 1100°C로 하여 열처리하였을 때의 면저항 결과를 보여주고 있으며, 그림 4(b)는 온도를 1000°C로 고정하고 금속열처리 시간을 8sec, 10sec, 11sec 및 14sec로 변화시킨 경우의 면저항 결과를 보여주고 있다. 1100°C, 10sec의 경우, 인의 무게함량이 8wt.%이하에서 169.3Ω/□이상이고, 14wt.%이상에서 79.2Ω/□이하의 값을 나타내었다. 1050°C, 10sec의 경우 8wt.% 이하에서 488Ω/□이상의 값을, 14wt.%이상에서 178.7Ω/□이하의 값을 보여주고 있다. 14wt.%, 10sec의 경우, 1100°C의 79.2Ω/□, 1050°C의 178.7Ω/□, 1000°C의 609Ω/□값을 나타내어 R_s 변화율은 5.3Ω/□/°C을 보여주었다. 한편, N₂분위기에서 온도를 1000°C로 고정하고 RTA시간을 변화시킨 경우, 14wt.%, 8sec의 723Ω/□에서 14sec의 466Ω/□값으로 -42.8Ω/□/sec의 변화율을 보여주고 있어 인의 무게함량이 많을 수록, 온도가 높을 수록 면저항 값은 낮게 나타났으며, 10wt.% 이상의 무게함량에서는 면저항이 일정 값을 유지하려는 경향을 보여 주었다.

2. 농도분포 및 접합깊이

농도 분포의 측정에서 전기적으로 활성화된 도핑 분포도는 ASR방법으로, 화학적 도핑 분포도는 SIMS 방법에 의하여 측정하였다. 우선 ASR 측정방법에 의한 인 확산층의 접합깊이는 인의 무게함량이 12wt.%, 온도1000°C에서 8sec의 0.035μm, 10sec의 0.045μm, 12sec의 0.048μm, 14sec의 0.05μm로 변화되고 있으며, 이를 그림 5에서 나타내었다.

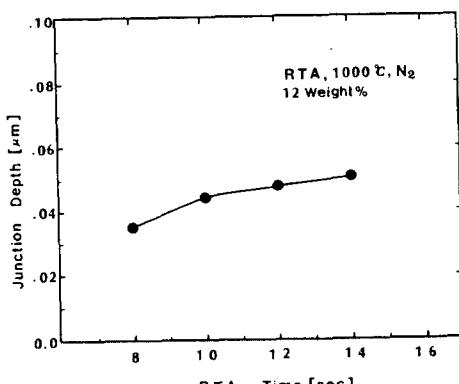


그림 5. 금속열처리후의 접합깊이 (ASR측정)

Fig. 5. Junction depths of ASR measurement after RTA.

ASR측정결과에 의한 표면의 도핑 농도는 그림 6에서 나타낸 바와 같이 인 무게 함량 10wt%, 웨이퍼 가열 온도 1000°C에서 8sec의 4.3×10^{18} atoms cm⁻³, 10sec의 6×10^{18} atoms cm⁻³, 14sec의 1.0×10^{19} atoms cm⁻³의 도핑농도를 나타내었으며, 그 변화율은 0.095×10^{19} atoms cm⁻³/sec을 보여주고 있어 다소 완만한 증가율을 보여주고있다.

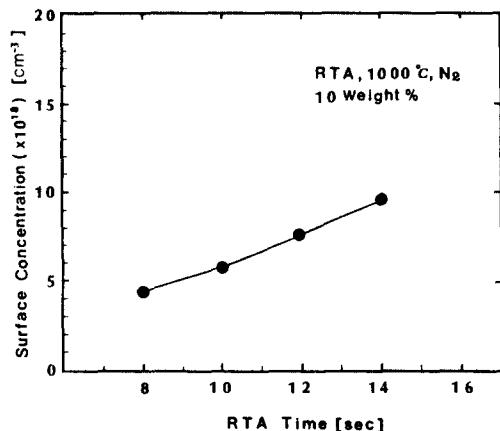


그림 6. PSG막에서 금속열처리 시간 대 인의 표면농도 (ASR측정)

Fig. 6. RTA time of PSG film vs. Surface concentration of phosphorus, measured by ASR. (1000°C, 10wt.%)

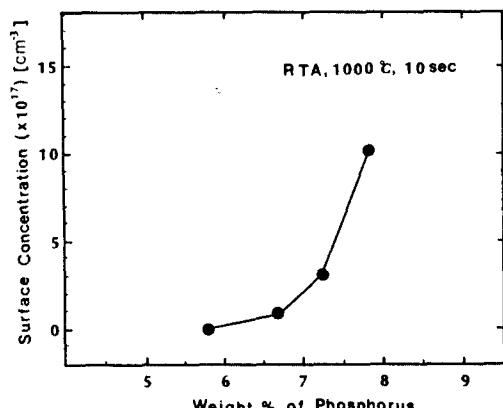


그림 7. PSG막에서 인의 무게함량 대 표면농도 (ASR측정)

Fig. 7. Phosphorus weight% in PSG vs. the surface concentration of phosphorus, measured by ASR. RTA conditions were 1000°C, 10sec.

또한 그림 7에서와 같이 열처리온도 1000°C, 열처리시간 10sec의 RTA 조건에서 인의 무게함량을 5.8wt.%, 6.67wt.%, 및 7.80wt.%로 각각 변화시킨 후의 ASR 측정에서 표면농도는 2.5×10^{15} atoms cm⁻², 1×10^{15} atoms cm⁻², 1.2×10^{15} atoms cm⁻²을 각각 보여 주어 표면농도 분포가 인의 무게함량에 의존하고 있음을 보여주었다.

그림 8에서는 SIMS 측정에 의한 도핑 depth profile을 보여 주고 있는데, 이는 인의 도핑 무게 함량이 8wt.%, 10wt.%, 14wt.%이고 열처리 온도 및 시간이 1100°C, 10sec의 경우 급속열처리 후의 결과로 8wt%(A_1)의 1.4×10^{20} atoms cm⁻³의 표면 근처의 최대 농도와 0.18μm의 접합깊이로 나타났다. 10wt%(A_6)에서 2.5×10^{19} atoms cm⁻³, 0.24 μm와 14wt%(A_{12})의 3×10^{19} atoms cm⁻³, 0.26μm를 각각 보여주고 있으며, 인의 무게함량이 8wt.%에서 14wt.%의 변화 범위에서 농도 변화율은 2.7×10^{19} atoms cm⁻³/wt.%이며, 접합깊이의 변화율은 0.013 μm/wt.%을 보였다.

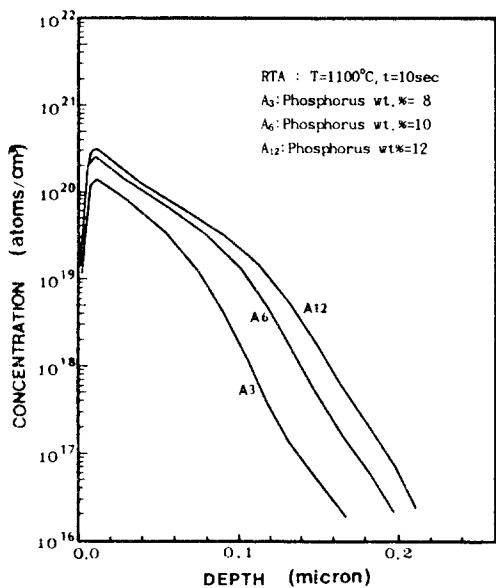


그림 8. PSG막내 인의 무게함량에 따른 인의 분포(SIMS측정)

Fig. 8. SIMS depth profile of the phosphorus atoms with the phosphorus weight % in PSG.

그림 9에서도 SIMS 측정에 의한 표면 도핑 분포를 각각 보여주고 있는데, 급속열처리 조건이 T=1000

°C, t=10sec에서 인의 무게함량이 8wt.%, 10wt.%, 및 12wt.%로 변화시켰을 때 표면농도 분포의 결과를 나타내었다. 이 결과에서 인의 무게함량에 따른 표면농도 변화는 8wt%(A_1)의 1.6×10^{19} atoms cm⁻³에서 10wt%(A_4)의 3.5×10^{19} atoms cm⁻³, 및 12wt%(A_7)의 4.0×10^{19} atoms cm⁻³로 나타나 그 변화율은 0.6×10^{19} atoms cm⁻³/wt.%를 보였으며, 접합깊이는 8wt.%에서 0.1μm, 10wt.%에서 0.124 μm, 12wt.%에서 0.128μm로 변화되었다. 이 결과는 그림 8의 2.7×10^{19} atoms cm⁻³/wt.% 및 0.013μm보다 다소 떨어지고 있는데, 이는 인 확산에 온도의 영향이 미치고 있음을 보여주는 것으로 생각된다. 한편 그림 10에서 보여주는 바와같이 인의 무게함량 8wt.%에서 열처리 시간 t=10sec로 고정한후, 온도를 T=1000°C에서 T=1100°C로 변화시킨 경우 표면농도 변화는 1.6×10^{19} atoms cm⁻³에서 1.4×10^{20} atoms cm⁻³로 증가하여 0.124×10^{19} atoms cm⁻³/°C의 변화율을 보여주고 있으며, 접합깊이는 1000°C의 0.11 m, 1100°C의 0.2μm로 나타났다. 또한 T=1000 °C, t=8sec에서 5wt.%, 6wt.% 및 7wt.%로 변화시킨 경우를 그림 11에서 나타냈으며, 여기서 표면농도는 LDD 영역에 적합한 농도인 10^{17} atoms cm⁻³ 부근

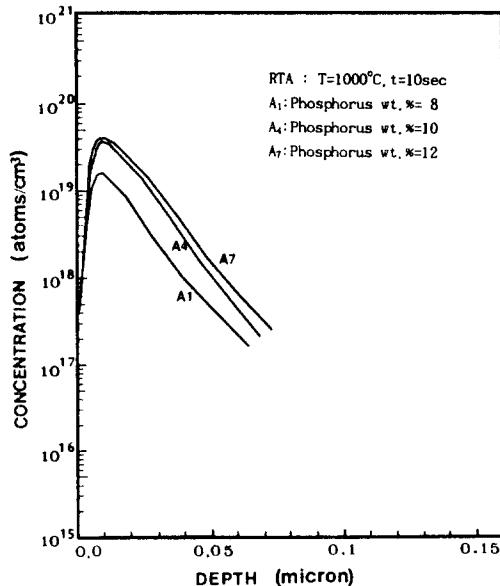


그림 9. PSG막내 인의 무게함량에 따른 인의 분포 (SIMS측정)

Fig. 9. SIMS depth profiles of the phosphorus atoms with phosphorus wt.% in PSG film.

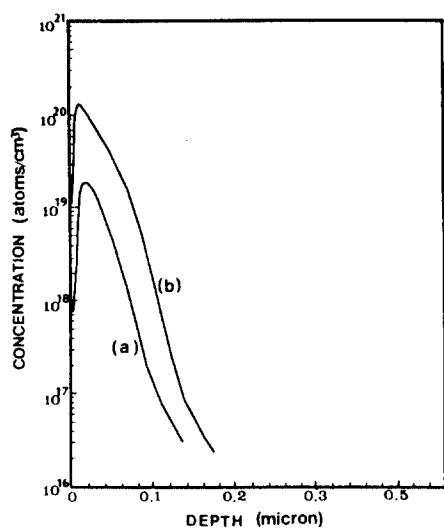
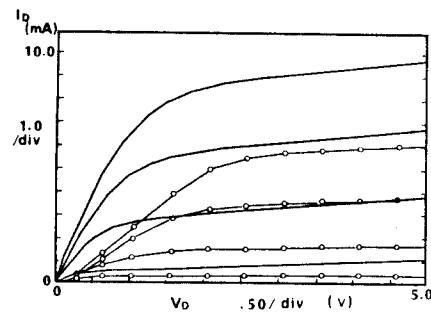
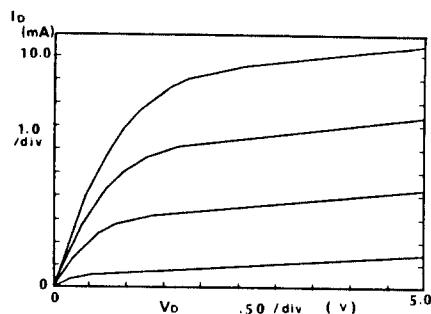


그림 10. PSG막의 금속열처리온도에 따른 인의 분포(a)1000°C and (b)1100°C

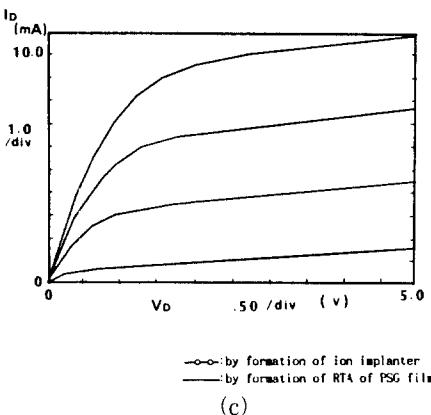
Fig. 10. SIMS depth profiles of the phosphorus atoms with the RTA temperature of PSG film (a)1000°C and (b)1100°C.



(a)



(b)



—○—: by formation of ion implanter
—■—: by formation of RTA of PSG film

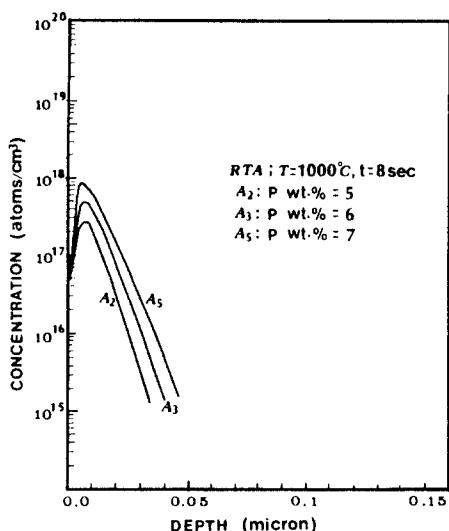


그림 11. PSG막의 금속열처리후의 인의 분포(SIMS측정)

Fig. 11. Doping profiles by the SIMS measurement after RTA of PSG film.

그림 12. n-영역에 대한 인의 무게함량에 따른 V_D - I_D 특성 비교 (a)5wt.% (b) 6wt.% (c)7wt.%, W/L=20/0.8μm, tox=230 Å, V_G = 1, 2, 3, 4 Volts

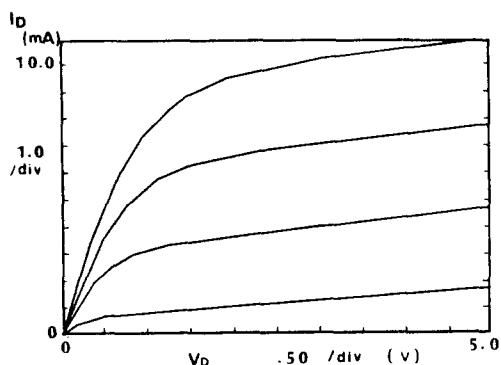
Fig. 12. Comparison of V_D - I_D curves with phosphorus weight% of PSG film for the n- region, W/L=20/0.8μm, tox=230 Å, V_G =1, 2, 3, 4 Volts, (a)5wt.% ,(b)6wt.% ,(c)7wt.%.

의 결과를 보여주고 있다. 그림 9와 그림 10의 결과에서 wt.%에 따른 농도 변화율은 0.6×10^{19} $2.7 \times 10^{19} \text{ cm}^{-3}/\text{wt.\%}$ 이고, 온도에 따른 농도 변화율은 $0.124 \times 10^{19} \text{ atoms cm}^{-3}/\text{^\circ C}$ 로 나타나 표면농도 크기에 인의 무게함량의 영향이 다소 우세하게 나타났다.

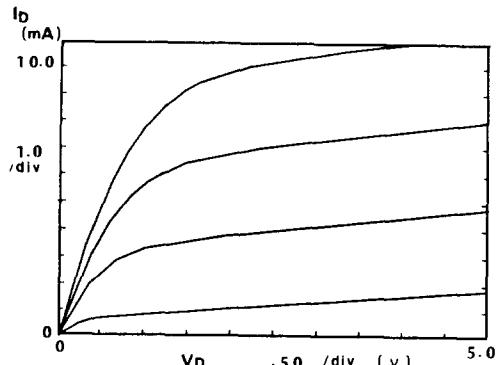
3. LDD-nMOSFET의 전기적 특성결과

그림 12에서는 N_2 분위기에서 2000Å의 PSG막을

성장하면서 PSG막내 인(P)의 도핑 무게함량을 5wt.\%, 6wt.\%, 및 7wt.\%로, RTA조건을 1000 $^\circ \text{C}$, 8sec로 한 경우와 이온주입기를 이용하여 제작된 소자의 특성곡선을 나타낸 것이다. 이 결과에서 무게 함량이 많을 수록 드레인 전류 값이 크게 개선되고 있음을 보여주고 있다. 또한 이 결과는 그림 14에서의 subthreshold영역에서의 punch-through현상에 기인한 누설전류의 변동이 없는 상황의 결과이므로



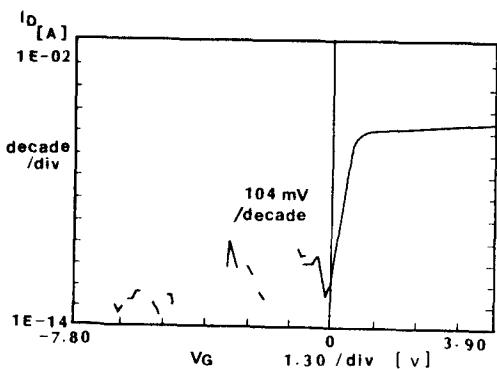
(a)



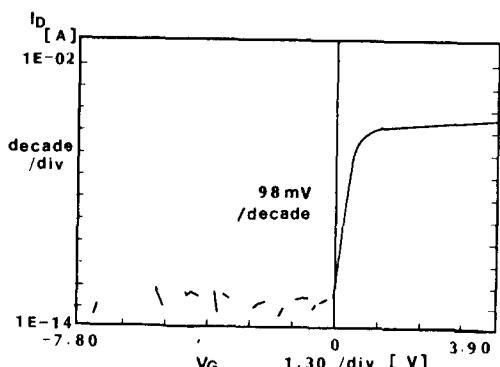
(b)

그림 13. n-영역에 대한 급속열처리 온도에 따른 V_D - I_D 특성 비교 (a)1000°C (b)1100°C W/L=20/0.8 μm , $t_{ox}=230\text{\AA}$, $V_g=1, 2, 3, 4\text{Volts}$, 9wt. %

Fig. 13. Comparison of V_D - I_D curves with the RTA temperature for the nregion formed by PSG film, phosphorus wt.\% = 9, W/L=20/0.8 μm , $t_{ox}=230\text{\AA}$, $V_g=1, 2, 3, 4\text{Volts}$, (a)1000°C and (b)1100°C.



(a)



(b)

그림 14. (a)이온주입기와 (b)PSG막의 급속열처리 방법으로 제작된 소자의 V_G - I_D 특성

Fig. 14. Subthreshold characteristics of V_G - I_D curves for the LDD-nMOS with n- region formed by (a)ion implanter (b)RTA of PSG film.

LDD영역의 전계완화에 의한 고온전자 발생이 크게 둔화되는 것으로 생각된다. 그럼 13에서는 RTA 온도를 1000°C에서 1100°C로 변화 시켰을 경우의 특성곡선을 나타낸 것으로 높은 온도로 제작된 소자의 드레인 전류가 높게 나타났다. 한편 앞에서 언급한 그림 14에서는 소자의 subthreshold 영역에서의 punch-through현상에 기인한 누설전류의 발생 여부를 확인하기 위한 $V_G - I_D$ 특성곡선을 보여주고 있는데, 그림 14(a)는 이온주입기를 이용한 LDD-nMOSFET의 결과를, 그림 14(b)에서는 PSG막의 급속열처리 방법을 이용한 경우의 누설전류 특성을 비교한 것으로 $-V_G$ 영역에서는 누설전류의 검출이 발견되지 않았으며, $V_G = 0V$ 이상에서 드레인 전류의 급격한 증가를 보여주고 있다. 이 곡선의 기울기가 큰 것일 수록 양호한 특성을 나타내는 것이며, 그림 14(a)의 경우 104mV/decade를, 그림 14(b)는 98mV/decade의 값을 나타내어 그림 14(b)의 경우가 6% 정도의 다소 개선된 특성을 보여주고 있다. 따라서 RTA를 이용하여 제작된 소자의 전기적 특성이 개선되고 있음을 확인되었다.

V. 결 론

IC 제조공정과정 중 하나인 PSG막 공정의 급속열처리 기술을 이용하여 다양한 무게함량과 급속열처리 조건인 시간, 온도에 따른 얇은접합과 표면의 고농도 불순물 및 적절한 면저항(sheet resistance)값을 얻기 위한 평가 방법은 SIMS, ASR, 4-point probe 상비를 이용하여 측정하였다. 여기서 ASR 측정방법은 전기적 자유 캐리어의 농도 측정이며, SIMS는 n형 Si의 경우 도우너(donor)불순물의 화학적 농도를 측정하는 것으로 분석방법의 차이로 측정결과가 다소 차이가 있을 수 있으나, 그 경향을 분석하는데는 큰 무리가 없을 것으로 생각된다.

측정결과 고집적회로에 필요한 n'영역의 면저항 R_s 는 100 Ω/\square 이하의 값을 얻을 수 있었으며, 온도 1000°C~1100°C와 PSG막내 인의 무게함량 5wt.% ~ 14wt.% 사이에서 $2.5 \times 10^{17} \text{ atoms cm}^{-3}$ ~ $3 \times 10^{19} \text{ atoms cm}^{-3}$ 범위의 다양한 값이 얻어져 LDD등의 소자에 적용 가능함이 조사되었다. 또한 얇은접합 형성에서도 모두 0.2μm근처 이하의 값을 보여 짧은채널을 갖는 소자 제작에 적용 가능할 것으로 기대되었다. 인의 표면농도에 민감한 요소는 인의 무게함량, 열처리 온도 및 열처리 시간 순으로 나타나 n 및 n'의 농도 설정을 위하여 적절한 무게함량, 온도

및 시간을 선택해야 할 것으로 생각되며, 여기서 얻은 접합깊이 0.06μm, 농도 $2.5 \times 10^{17} \text{ atoms cm}^{-3}$, $4 \times 10^{17} \text{ atoms cm}^{-3}$ 및 $8 \times 10^{17} \text{ atoms cm}^{-3}$ 을 LDD영역에 적용하여 소자를 제작하였다. 특성 측정결과 이온주입기를 이용한 소자의 특성에 비하여 누설전류의 변동없이 2.2% ~ 4.1%의 드레인 전류 증가가 나타나 PSG막을 이용한 급속열처리 공정의 소자 특성이 개선되고 있음을 보여 주었으며, 향후 n'영역에 적용 가능한 공정개발을 통한 초고집적 소자에의 응용이 기대된다.

参考文獻

- [1] B.J.Cho, C.K.Kim, "Modeling of Rapid Thermal Diffusion of Phosphorus into Silicon and its Application to VLSI Fabrication," Dr.-Thesis, KAIST, 1991.
- [2] C.Hu, S.C.Tam, "Hot-Electron Induced MOSFET Degradation," IEEE Transon Elec. Dev., vol. ED-32, No. 2, pp375-385, 1985.
- [3] F.N.Schwettmann and D.L.Kendall, "Carrier profile change for phosphorus-diffused layers on low-temperature heat treatment," Applphys. Lett., vol. 19, No. 7, p218, 1971.
- [4] F.N.Schwettmann and D.L.Kendall, "On the nature of the kink in the carrier profile for phosphorus-diffused layers in silicon," Applphys. Lett., vol. 21, No. 1, p2, 1972.
- [5] H.Mikoshiba, T.Horiuchi and K.Hamano, "Comparison of drain structure in n-channel MOSFETs," IEEE Trans. Elec. Dev. vol. ED-33, No. 1, pp140-144, 1986.
- [6] Jaim Nulman, "Rapid Thermal Processing of high Quality Silicon Dioxide Films," Solid state Technology, p189, 1986.
- [7] M.Yoshida, E.Arai, H.Nakamura and Y.Terunuma, "Excess vacancy generation mechanism and phosphorus diffusion into silicon," J. Appl. phys., vol. 45, No. 4, p1498, 1974.
- [8] P.M.Fahey, P.B.Griffin and

- J.D. Plummer, "Point defects and dopant diffusion in silicon." *Rev. of Mod. Phys.* vol. 61, No. 2, p289, 1989.
- [9] R.B. Fair and J.C. Tsai, "A quantitative model for the diffusion of phosphorus in silicon and the emitter dip effect." *J. electrochem soc.* vol. 124, No. 7, p1107, 1977.
- [10] R.Singh, "Rapid isothermal processing." *J. Appl. phys.* vol. 63, No. 8, 1988.
- [11] S.M. Hu, P.Fahey and R.W.Dutton, "On models of phosphorus diffusion in silicon." *J. Appl. phys.* vol. 54, No. 2, p6912, 1983.
- [12] S. R. Wilson, W.M. Paulson and R. B. Gregory, "Rapid annealing technology for future VLSI." *Solid State Tech.* p185, 1985.
- [13] T.O. Sedgwick, "Short time annealing." *J. Electrochem. soc.* vol. 130, No. 2, p484, 1983.
- [14] Tam.S., P.K. Ko, C. Hu and R.S. Muller, "Correlation Between Substrate and Gate current in MOSFET's." *IEEE Trans. on ED-29*, p1740, 1982.
- [15] J.G. Kim, C.K. Kim, "Two-step Rapid Thermal diffusion of phosphorus and boron into silicon from solid diffusion sources." Dr.-Thesis, KAIST, 1989.
- [16] W. E. Beadle, J. C. C. Tsai, R. D. Plummer, "Quick reference manual for silicon integrated circuit Technology." John Wiley & Sons, New York, 1985.
- [17] S. K. Ghandhi, *VLSI fabrication principles*, John Wiley & Sons, New York, 1983.

著者紹介

柳 章烈(正会員) 第 30 卷 A編 第 12 號 參照
 현재 천안공업전문대학 전자과
 조교수

洪 凤植(正会員) 第 30 卷 第 12 號 參照
 현재 충남대학교 전자공학과 교수