論文94-31A-12-9

정전기에 의한 CMOS DRAM 내부 회로의 파괴 Mechanism과 입력 보호 회로의 개선

(ESD damage mechanism of CMOS DRAM internal circuit and improvement of input protection circuit)

李 昊 宰*, 吳 春 植*

(Ho Jae Lee and Choon Sik Oh)

要 約

본 논문에서는 표준 CMOS DRAM 에서 입력 pin에 가해진 정전기에 의하여 입력 보호 회로는 손상 되지 않고 멀리 떨어진 내부회로가 파괴되는 현상에 대한 mechanism 을 분석하고 이를 방지하기 위한 입력 보호 회로 개선을 연구 하였다.

통상적으로 DRAM의 액세스 시간을 빠르게 하기 위하여 크기가 매우 큰 PMOSFET와 상대적으로 아주 작은 NMOSFET로 이루어진 인버터가 사용되는데 ESD 전류가 칩 내부로 흘러들어 가면 작은 NMOSFET을 통하여 방전이 일어나서 정전기 충격에 내부회로가 손상 되기 쉬움이 밝혀졌다.

입력 보호 회로의 파괴없이 내부회로만 파괴되는 이러한 현상은 입력 누설전류(Input leakage)측정으로는 발견 해낼수 없고 칩의 대기(Standby) 전류 또는 동작(Operating) 전류를 ESD(Elec trostatic discharge) 충격전후에 측정 비교하여야만 감지할 수 있었다. 그리고 VCC 및 VSS 전원선과 입력 Pad 사이에 기생 바이폴라 트랜지스터(Parasitic bipolar transistor)를 배치하는것이 ESD에 매우 효과적이라는 것이 실험을 통하여 확인 되었다.

Abstract

In this paper, we investigated how a particular internal inverter circuit, which is located far from the input protection in CMOS DRAM, can be easily damaged by external ESD stress, while the protection circuit remains intact. It is shown in a mega bit DRAM that the internal circuit can be safe from ESD by simply improving the input protection circuit.

An inverter, which consists of a relatively small NMOSFET and a very large PMOSFET, is used to speed up DRAMs, and the small NMOSFET is vulnerable to ESD in case that the discharge current beyond the protection flows through the inverter to Vss or Vcc power lines on chip This internal circuit damage can not be detected by only measuring input leakage currents, but by comparing the standby and on operating current before and after ESD stressing.

It was experimentally proven that the placement of a parasitic bipolar transistor between input pad and power supply is very effective for ESD immunity.

*正會員, 現代電子產業株式會社

(Hyundai Elec. Industries Co., Ltd.)

接受日字 : 1994年 2月 4日

I. 서 론

MOS 집적회로에서 입출력 ESD 회로구조는 양(+)과 음(-)의 정전기에 대하여 완벽한 ESD 보호효과를

기대하고 있다. 그러나 아무리 효율적인 보호회로를 설계하더라도 정전기 스트레스가 칩의 외부 pin에 가해지는 경우, 게이트 산화막 파괴 현상, P-N 접합 파괴(Junction spike) 현상 등이 발생되어 소자가 완전히 파괴되거나, 미세한 피해를 받아 소자의 신뢰성에 심각한 영향을 주 게 된다. 이러한 ESD손상은 대개 칩의 입력 pad에 직접 연결된 입력 게이트에서 발생 되었다. 그러나 ESD현상에 의한 전하가 입출력 핀(Pin)과 멀리 떨어진 칩 내부 회로까지 도달하여 회로를 파괴할 수도 있다.[1] 이처럼 ESD성능은 소자의 신뢰성에 중대한 영향을 미칠수 있고 따라서 반도체를 사용하는 모든 응용분야에서 ESD 시험을 제품 인증항목으로 채택하고 있으며 시험 규격(Test specification)도 한층 강화되고 있다. 한편 ESD 보호효과를 높이기 위해서는 ESD가 발생되었을때, 얼마나 빨리 큰 전류를 입력 보호회로에서 소화하여 VSS 나 VCC 외부전원선으로 소화할수 있느냐가 관건이다. 거의 표준화된 MOS ESD 보호구조에서 ESD에 의한 전류는 크게 두가지로 구성된다. 하나는 접합다이오드(Junction diode)전류이고 다른 하나는 기생바이폴라(Parasitic bipolar)트랜지스터 동작 전류이다. 지금까지 기판(Substrate)이 외부전원의 VSS 나 VCC에 연결된 표준 CMOS구조에서는 이들 두가지 전류가 거의 ESD성능을 좌우하였고, 이에 대한 연구가 이루어져 왔다.[2]

본 실험 연구에서는 ESD 발생시에 기판이 VSS나 VCC 전원공급선에 강하게 연결되어 있지않은 CMOS DRAM에서 정전기에 의하여 내부 회로중 피해받기 쉬운 회로가 있음을 확인하고, 이에 대한 mechanism을 기술함과 아울러 기생 바이폴라 트랜지스터를 충분히 활용한 DRAM 입력회로를 제작하여 그 효용성을 입증 하였다.

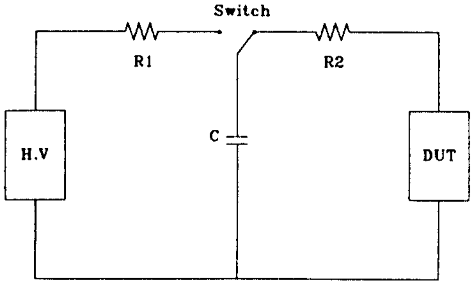
Ⅱ. ESD 내압 측정 방법

반도체 소자의 ESD내압측정을 위하여 세계적으로 사용하는 표준인 MIL-STD-883C와EIAJ 의 규격에 따라 그림 1과 같은 등가회로로 나타낼 수 있다.[3,4]

측정 조건은 고전압/저전류 충격에 대한 내압을 평가하는 Human Body Mode(HBM)와 저전압/고전류충격에 대한 Machine Mode (MM)가 있으며 각 Mode 별로 VCC 핀과 VSS 핀에 대하여 각각 양(+)과 음(-)의 전압을 차례로 가하여 소자 파괴 여부를 판정한다.

지금까지는 ESD 충격에 대하여 입출력 보호 회로가 손상 받는것이 보통이므로, 대개 입출력 핀의 누설 전류만 측정하여 파괴 여부를 판정하였으나 내부 회로의 파괴 여부를 확인하기 위해서는 칩의 대기(Standby)전류 또는 동작(Operating)전류를 측정하여야 한다.[5]

대부분의 전자 업계에서는 HBM에서 2000V 이상, MM에서 250V 이상의 내압을 요구하는데 응용분야에 따라서 기준의 차이가 크다.



H.V : 고전압 발생기
(High voltage generator)
R1 : System 저항 (수 M ohm)
(System Impedance)

	C (pF)	R2 (Ω)
HBM	100	1.5k
MM	200	0

그림 1. ESD 측정 등가 회로
Fig. 1. ESD Test model.

Ⅲ. 실험 결과 및 검토

1. ESD 보호 회로 제 1 구조

그림 2은 CMOS 집적회로에서 많이 쓰이는 표준화된 입력 보호회로를 나타내고 있다. 여기에서는 반도체 소자 중에서 가장 많이 사용되고 있으며, SIMM(Single Inline Memory Module) 사용의 대중화로 인하여 ESD에 노출되기 쉬운 DRAM에 대하여 상용화된 Mega bit DRAM을 이용하여 연구 분석한 것을 기술하였다.

먼저 기본적인 ESD 보호회로구조를 채용한 DRAM에 대하여 새로이 나타난 내부회로 파괴의 취약점을 중심으로 문제를 분석하고, 이어서 이를 해결

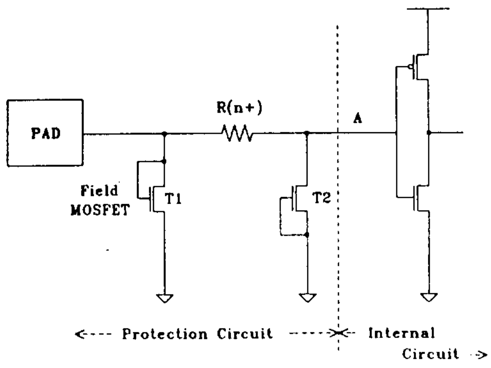


그림 2. 입력 보호회로 제 1 구조
Fig. 2. Input protection circuit 1st structure.

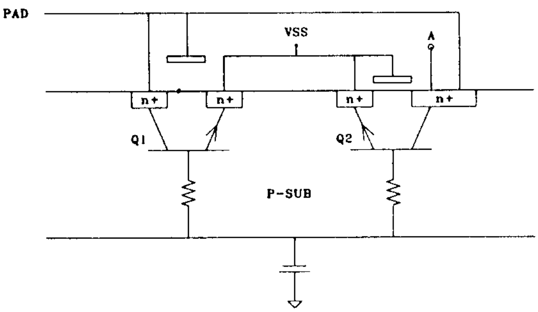


그림 3. ESD 보호 회로 제 1 구조에 대한 개략적인 단면도
Fig. 3. Cross section of input protection circuit 1st structure.

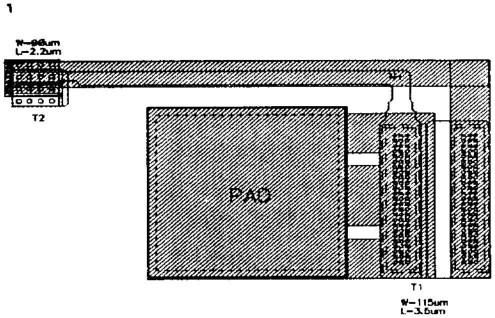


그림 4. ESD 보호 회로 제 1 구조에 대한 Lay-out
Fig. 4. Lay-out of input protection circuit 1st structure.

하기 위해 개선된 ESD 보호 회로에 대하여 실험 결과를 가지고 설명하고자 한다.

그림 3는 제 1구조 그림 2에 대한 단면도를 기생 바이폴라 트랜지스터 구성과 함께 간단하게보여 주고 있다.

우선 VSS기준시의 ESD 측정실험에 대하여 설명하고자 한다. 그림 2에서 VSS 핀을 접지하고 VCC 핀을 open시킨 상태에서 측정하고자 하는 핀에 양(+)과 음(-)의 전압을 차례로 인가한다. 이 경우에 MOSFET T1,T2에서 junction breakdown이 먼저 발생한다. 물론 field MOSFET T1이 On되어 방전에 기여를 하지만 그 효과는 크지 않다. 일단 junction breakdown 이 발생하면 그림 3에서의 기판 전위가 pad-VSS 사이에 가해지는 전계 분포에 균형을 맞추어 전류 구동능력이 매우 큰 기생 바이폴라 트랜지스터 Q1, Q2가 on상태가 되고 성공적으로 방전이 이루어져 결국 내부 회로를 보호 해줄 수 있다. DRAM의 ESD 측정에서는 표준 CMOS와는 달리 기판이 floating 되어 있으므로 단순 접합 다이오드에 의한 방전보다는 기생 바이폴라 트랜지스터 동작에 의해서 방전이 이루어지는것에 유의할 필요가 있다. 표 1에서 보듯이 VSS 기준에 대한 ESD 내압은 좋다.

VCC 기준시에는 VCC 핀을 접지하고 VSS 핀을 open시킨 상태에서 전과 동일하게 측정 핀에 전압을 인가한다. 이 경우에 측정 핀과 VCC 핀 사이에 직접적인 전류 경로가 형성되어 있지 않으므로 간접적인 경로를 통하여 방전이 이루어지게 된다. 이를 설명하기 위한 관련 회로도를 그림 3에 보여주고 있다.

우선 측정 핀에 높은 전압이 가해지면 VSS와 기판이 virtually floating 되어 있는 상태에서 junction breakdown에 이어서 MOSFET T1,T2에서 기생 바이폴라 트랜지스터가 동작하여 저항이 매우 작은 VSS금속 전원공급선에 전하가 모인다.[16] 이렇게 모인 전하는 전체 칩 내부에 펴져 있는 VCC와 VSS 전원 연결선 사이에서 가장 임피던스가 낮은 경로를 통하여 방전되게 되는데 이러한 mechanism이 ESD에 의하여 내부회로가 파괴되는 근본 원인이 된다. 특히 DRAM에서는 동작 속도를 빠르게 하기 위하여 그림 5에서 보는 바와 같이 내부회로에 매우 큰 PMOSFET와 상대적으로 작은 NMOSFET을 결합한 인버터를 사용할 필요가 있는데, 바로 이 인버터가 방전 전류가 흐르게 되는 최저 임피던스 경로가 되는 것이다.

이때 크기가 큰 PMOSFET보다는 상대적으로 작은 NMOSFET에서 금속 접촉부분이 파괴되는데 이

부분을 칩 위에서 찍은 사진이 그림 6에 나타나 있다

이렇게 내부회로의 P-N 접합이 손상받으면 DRAM의 대기 전류와 동작전류는 대개 큰폭으로 증가하게 된다. 그러나 이 경우에 입력 보호회로는 아무런 손상 없이 동작 하므로써, 통상적으로 ESD손상 여부를 판단하는 기준으로 사용해온 입출력 핀의 누설전류 측정과 함께 ESD전후의 칩의 대기전류와 동작전류값을 측정 비교하여야만 내부회로의 파괴여부를 감지해 낼 수 있다.

한편 파괴된 위치는 emission microscope 을 활용하면 그림 7처럼 emission 위치를 찾아 정확하 게 확인할 수 있다.

표 1에서 VCC 기준에 대한 ESD 내압을 보면 내부회로는 ESD 전류에 대한 경로로써 칩 설계상 전혀 고려가 되어 있지 않기 때문에 매우 낮은 전압에서 내부회로가 손상 받는것을 알 수가 있다.

표 1. 제 1 구조에 대한 ESD 내압 측정치

Table 1. ESD performance of 1st structure for two different stress test modes.

ESD 구분	HBM	MM
VSS 기준	3000V	300V
VCC 기준	800V	150V

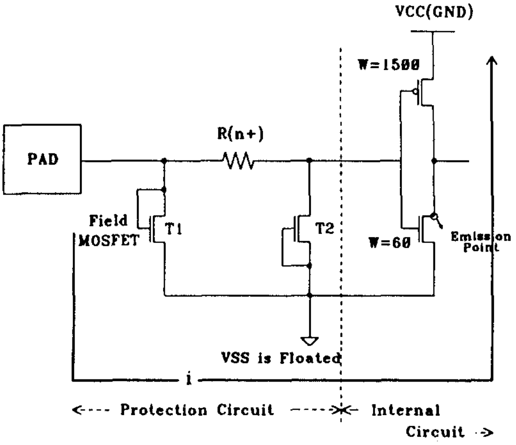


그림 5. VCC 기준시 전류 경로

Fig. 5. Internal current path on ESD stress with respect to VCC.

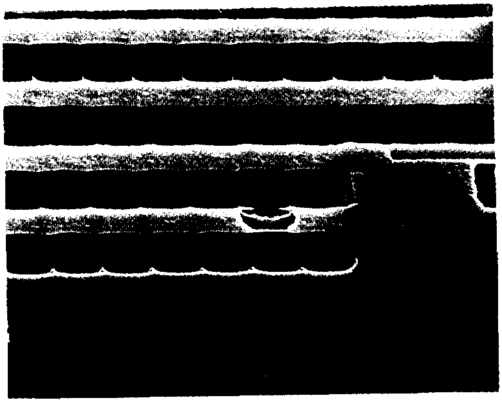


그림 6. VCC 기준시 ESD 에 의한 내부회로의 contact 파괴

Fig. 6. Contact rupture phenomenon in internal circuit by ESD stress.

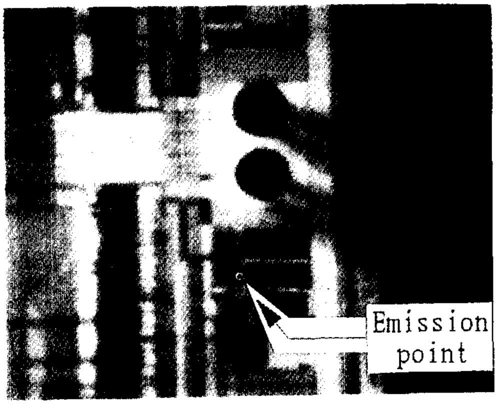


그림 7. VCC 기준시 ESD 에 의한 내부회로의 전류 emission 위치

Fig. 7. Current emission point in internal circuit by ESD stress.

2. 개선된 ESD 보호회로 구조

VCC기준시 그림 6, 7에서 보듯이 내부회로의 contact이 파괴되는 것은 입력보호회로에서 충분히 전류를 방전시켜 주지 못하여 칩 내부까지 전류가 흘러들어 오기 때문이다. 이를 개선 시켜주기 위한 방법으로 입력보호회로에서 VCC로의 전류 경로를 만들어 주기 위해 아래와 같이 두가지 방법의 입력보호회로 변경을 통한 실험을 하여 ESD 성능 개선을 알아 보았다.

첫번째는 field 트랜지스터를 VCC로 연결한 보호회로 구조이다. pad와 VCC와의 방전 경로를 만들어주기 위해 field 트랜지스터를 그림 8과 같이 변경하였다. 이때 VSS 에 대한 ESD 성능이 나빠질 가능성이 있으나 저항 R 과 active 트랜지스터 T2 의 junction breakdown 및 기생 바이폴라 트랜지스터 동작에 대한 방전으로 문제가 없는 것으로 ESD 내압 측정결과(표2)확인 되었고 VCC기기준시 내부회로의 damage 없이 ESD 성능이 향상되는 것을 알 수가 있다.

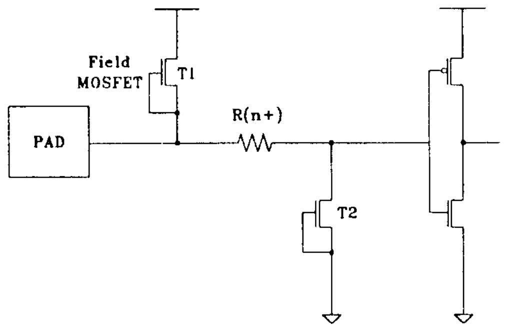


그림 8. Field 트랜지스터 T1 의 VSS를 VCC 로 변경한 입력 보호회로

Fig. 8. Input protection circuit having a field transistor to VCC.

표 2. Field 트랜지스터 T1 변경 후 ESD 내압 측정치

Table 2. ESD performance after field transistor is changed. (Fig.8)

ESD 구분	HBM	MM
VSS 기준	3000V	300V
VCC 기준	2000V	280V

두번째는 그림 9과 같이 별도로 npn base-open 바이폴라 트랜지스터를 pad와 VCC전원선 사이에 삽입하여 높은 ESD 전압이 인가 되었을때 npn base-open 바이폴라 트랜지스터로 방전경로를 만들어 줌으로써 내부회로를 보호해 줄 수 있게 하였다. ESD 내압 측정 결과 표 3에서 보는 바와 같이, 첫번째실험 결과 보다 개선된 값을 보였다.

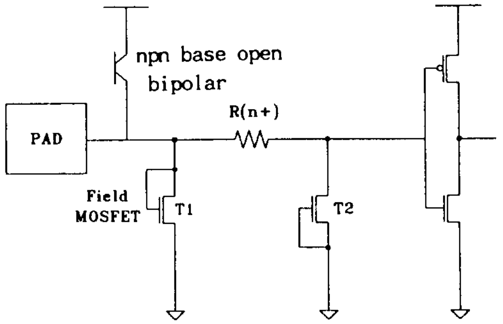


그림 9. npn base-open 바이폴라 트랜지스터를 삽입한 입력 보호회로

Fig. 9. Input protection circuit using npn base-open bipolar transistor.

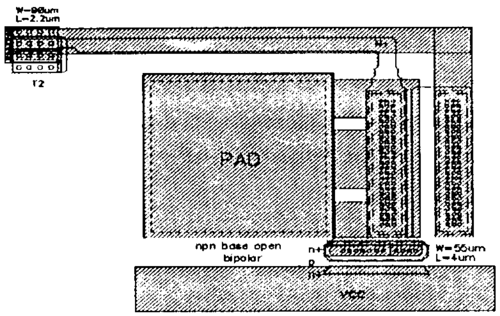


그림 10. npn Base-open 바이폴라 트랜지스터를 삽입한 입력 보호회로의 Lay-out

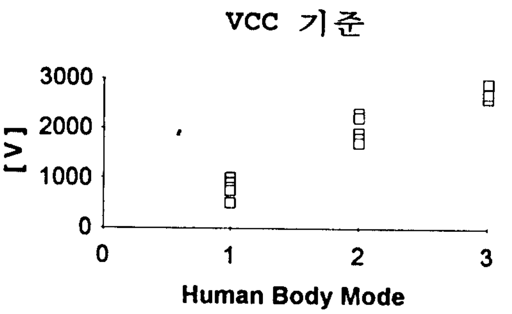
Fig. 10. Lay-out of input protection circuit using base-open bipolar transistor.

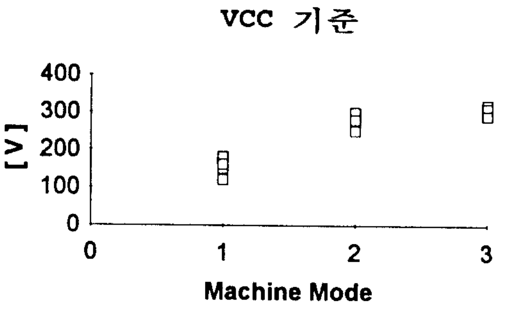
그림 11은 지금까지 ESD구조들에 대하여 설명한 것을 종합한 것이다. 결론적으로, VSS와 VCC에 대하여 기생 바이폴라 트랜지스터를 얼마나 효과적으로 배치하는지가 내부회로는 물론이고 칩 전체 의 ESD 내압을 결정하는데 제일 중요하다고 할 수 있다.[17]

표 3. 바이폴라 트랜지스터 삽입 후 ESD 내압 측정치

Table 3. ESD performance after the base-open bipolar transistor is placed.

ESD 구분	HBM	MM
VSS 기준	3000V	300V
VCC 기준	2800V	300V





1 : 입력 보호회로 제 1구조 (그림 2)
2 : 그림 6의 개선구조
3 : 그림 7-1의 개선구조

1 : Input protection circuit 1st structure(Fig.2)
2 : Improved protection, Fig.8
3 : Improved protection, Fig.9

그림 11. 각 보호회로 구조별 HBM/MM 시 ESD 내압 비교

Fig. 11. Comparison of ESD performance of each input protection circuit structure for HBM/MM.

Ⅳ. 결 론

본 논문에서는 ESD발생시 실제적으로 floating 되어 있는 CMOS DRAM에서 정전기에 의하여 내부회로가 파괴되는 mechanism에 대하여 논의 하여 확인하였고, 그 개선 방법에 대하여 실험을 통하여 알아 보았다. ESD 에 의한 칩 내부의 손상을 막기 위해서는 외부로 부터 입출력 핀에 들어오는 전하를 입력 보호회로 자체에서 방전을 완료하여 칩 내부로 전하가 전달 되는 것을 최소화하여야 한다.

내부 회로설계에서 ESD성능 향상을 고려 하는 것은 현실적으로 불가능하고 ESD 보호회로에서 VCC 및 VSS 에대하여 방전 능력을 강화 시켜주는 것이 최선책이라 생각된다.

그 방법의 하나로 보호회로에 바이폴라 트랜지스터를 사용함으로서 방전능력을 강화하여 높은ESD 내압에서도 내부회로를 보호 해 줄 수 있다.

參 考 文 獻

[1] C. Duvvury, R. N. Rountree, O. Adams, " Internal Chip ESD Phenomena beyond the Protection Circuit", IRPS Proceedings, pp.19~25, 1988.

[2] Tim Maloney, "Input Protection Design", EOS/ESD Symposium Tutorial, pp.G1~G57, 1991.

[3] "Electrostatic Discharge Sensitivity Classification", MIL-STD-883C, Notice 8, Method 3015.7, 1989.

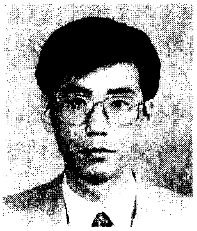
[4] "Electrostatic Discharge(E.S.D)", EIAJ IC-121-1988, Test Method 20, 1988.

[5] Sabbas Daniel, Gadi Krieger, "Process and Design Optimization for Advanced CMOS I/O ESD Protection Devices", EOS/ESD Symposium Proceedings, pp.206~213, 1990.

[6] C.Duvvury, R.N.Rountree, Y.Fong, R.A.McPhee, "ESD Phenomena and Protection Issue in CMOS Output Buffers", IRPS Proceedings, pp. 174~180, 1987.

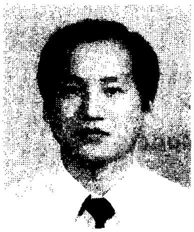
[7] Momodomi, Funil Horiguchi, "A Circular Output Protection Device Using Bipolar Action"IRPS Proceedings, pp.169~173, 1987.

著 者 紹 介



李 昊 宰(正會員)

1964年 5月 6日生. 1988年 2月 인하대학교 전자공학과(학사). 1988年 ~ 현재 현대전자산업주식회사 주관심 분야는 MOS Memory 설계. Mos Memory testing 기술 등임.



吳 春 植(正會員)

1957年 12月 22日生. 1980年 전남대학교 계측공학과 졸업. 1982年 ~ 1986年 한국과학기술원 전기 및 전자공학과(석,박사). 1986年 ~ 1988年 IBM T.J. Watson Research Center Visiting Scientist 1988年 6月 ~ 현대전자(주) 반도체 Sen. Eng. Manager로 근무. 주관심 분야는 고집적 회로用 소자 설계 및 모델링, Quality & Reliability, Manufacturing Engineering 등임.