

SECSPICE : Submicron MOS 설계를 위한 정확하고 효율적인 회로 시뮬레이터

(SECSPICE : An Accurate and Efficient Circuit Simulator for Submicron MOS Designs)

金榮吉*, 李在勳*, 朴璉圭*, 金旻和**, 金敬昊*

(Yeong Gil Kim, Jai Hoon Lee, Jin Kyu Park, Kyung Hwa Kim and Kyung Ho Kim)

要約

SPICE3를 개선하여 미세 MOS 회로에 적용할수 있는 회로 시뮬레이터를 개발 하였다. SECSPICE는 수렴 특성 강화를 위해 최소 콘덕턴스 및 전위 스텝 방법과 의사 과도응답 해석 알고리즘을 적용하였고 전압 변화율을 이용한 시간 간격 조절 알고리즘을 사용하였다. SECSPICE에서는 미세 MOS 회로에 적용하기 위하여 BSIM 모델을 개선한 모델을 구현 하였으며 사용자 편의성을 위하여 그래픽 입출력 환경등을 제공하고 있다. 실제 제품 설계시 사용된 소자와 회로 검증을 통하여 BSIM 모델보다 정확성이 개선되었음을 알수 있었으며 SPICE3와의 수행 시간 비교 결과 1.5 ~ 2.8배 수행 시간이 개선 되었다.

Abstract

A new circuit simulator for submicron MOS designs was developed by enhancing SPICE3. The minimum conductance stepping, source stepping and pseudo transient methods are applied to improve the convergence. And SECSPICE uses the variation rate of the node voltage in the timestep algorithm. The modified BSIM model was implemented in SECSPICE for submicron MOS designs. And it gives the powerful user environments such as graphic user environments. As the results of test using real measured device data and circuits used in real production design, we found it gave more accurate results than BSIM and the execution speed was 1.5 ~ 2.8 times faster than SPICE3.

1. 서론

1970년대 초 회로 해석을 컴퓨터에 의해 처리할수 있는 프로그램들이 개발 되기 시작하이라 회로 해석

프로그램은 정확성과 기능면에서 많은 발전을 이루었다. 회로 시뮬레이터의 개발은 Berkeley 대학등을 중심으로한 학교에서의 SPICE^{1,2}와 상용툴로서^{3,4} 크게 나뉘지고 있다. 그러나 SPICE는 상용 툴과 비교하여 수렴 특성, 수행 시간 측면 및 사용자 편의성 기능이 뒤진 단점이 있다^{3,6}. 한편 상용툴은 시뮬레이터의 신뢰성 측면은 우수하나 사용자의 요구 사항 및 사용상 문제점 발견시 신속하게 대처하기가 힘들며

*正會員, **準會員 三星電子 메모리본부 CAE
(CAE, Memory Business, Samsung Elec.)
接受日字 : 1993年 11月 23日

또한 사용자의 설계 환경에 맞는 입출력 정보를 제공하기 어렵다.

SECSPIICE에는 SPICE3를^[2] 근간으로 크게 수렴 특성 해석 루틴, 시간 간격 조절 루틴 및 Submicron MOS모델 루틴과 사용자 편의성을 위한 해석 방법 추가 및 환경이 제작되었다. SECSPIICE는 수렴 특성 향상을 위해 최소 콘덕턴스^[7] 및 전원 스텝 방법^[8]과 의사 과도응답 해석 알고리즘^[9]을 적용하였다. 또한 수행 시간 개선을 위하여 단자 전압 변화율을 이용한 시간 간격 조절 알고리즘을 사용하여 일률적인 시간 간격을 피하고 전압 변화율을 이용한 시간 간격을 선택 하므로서 수행 시간을 단축하고자 하였다. 또한 기존 Submicron MOSFET 모델로 개발된 BSIM^[10]의 불연속 특성등을 개선한 모델^[11] 이식하여 시뮬레이션 모델의 정확성을 향상 시켰으며 회로 시뮬레이션 입력 및 분석등을 통합된 설계 환경으로 구현하여 시뮬레이션 결과 분석이 용이하도록 제작되었고 동일 설계 데이터를 이용하여 사용자의 수작업 에러를 최소화 하였다.

본문의 구성은 먼저 이식된 알고리즘과 모델의 특징 및 사용자 편의성 기능에 대해서 다루었다. 다음으로 실제 설계 회로 및 소자 측정 결과를 이용하여 시뮬레이션의 수행 결과와의 비교를 다루었으며 끝으로 결론을 기술 하였다.

II. 본 론

1. 시뮬레이터 알고리즘

(1) 수렴 특성

회로 시뮬레이션에 사용되는 능동 소자는 비선형 방정식으로 모델링되며 이를 선형 방정식으로 변환하기 위하여 일반적으로 Newton-Raphson(NR)방법을 사용하고 있다.^[1,2] NR 방법에서 정확한 초기값 지정은 수렴 특성을 향상 시킬수 있다. 이를 위해 일반적으로 사용되는 방법으로 최소 콘덕턴스 및 전원의 연속적인 변경을 이용한 연속법^[7,8] 사용되고 있다. 즉 전원 스텝 방법의 경우 DC전원 값을 사용자가 지정한 스텝에 따라 각각 독립적인 해석을 수행하게되며 이때 사용되는 초기값은 이전 스텝 전원값을 사용한 해석 결과를 이용하는 방법이다.

SECSPIICE에서는 사용자의 지정에따라 전원 스텝 방법 수행중 최소 콘덕턴스 감소법을 내부적으로 수행할수 있도록 제작하였다. 또한 의사 과도응답 해석 알고리즘^[9] 이식하여 최소 콘덕턴스 및 전원 스텝 방법으로 수렴되지 않을 경우 그림 3과 같이 수행할수 있도록 제작되었다.

```

Gmin Stepping Code
GMIN,GRAMP : option parameter
begin
  while(GRAMP>0){
    Gmin loading: (on Diagonal Matrix)
    NR iteration:*
    if (not converged) return(FAIL);
    GRAMP--;
    Gmin = GMIN*exp(GRAMP);
  }
end
*NR iteration시 초기값은 previous sol을 이용

Source Stepping Code
SRAMP : option parameter
begin
  SourceStep = 0;
  while(SourceStep/SRAMP <= 1){
    All Independent Voltage Source =
    (SourceStep/SRAMP)*DC value;
    NR iteration:*
    if (not converged) return(FAIL);
    SourceStep ++;
  }
end
    
```

(a) (b)

그림 1. 연속 수렴 방법(a) 최소 콘덕턴스 스텝 방법 (b) 전원 스텝 방법

Fig. 1. Continuation Method (a) Gmin Stepping Method (b) Source Stepping Method.

```

Source-Gmin Stepping Code
SRAMP,CONVERGE : option parameter
begin
  SourceStep = 0;
  while(SourceStep/SRAMP <= 1){
    All Independent Voltage Source =
    (SourceStep/SRAMP)*DC value;
    NR iteration:*
    if (not converged) {
      if(CONVERGE ==> 2)
        Gmin Stepping Analysis;
      return(FAIL);
    }
    SourceStep ++;
  }
end
    
```

*NR iteration시 초기값은 previous sol을 이용

그림 2. 개선 전원-콘덕턴스 스텝 방법

Fig. 2. Modified Source-Conductance Stepping Method.

의사 과도응답 해석 방법은 회로에 존재하는 전원을 시간에따라 증가 시키는 방법을 사용한다. 따라서 회로내에 존재하는 커패시턴스 및 인덕턴스의 효과가 동작점 해석시 고려가 된다는 점이 위에서 언급된 연속법과 비교가 된다. 전원 증가는 Piecewise linear(PWL) 함수를 이용하였으며 모든 전원은 초기 값 0 Volt와 특정 시간에 지정된 DC 값을 사용하며 전원증가가 완료된 시점에서 회로의 각 단자 전압이 정적 상태가 되는 경우 동작점으로 이용하였다. 그림 3에서 STIME 파라미터는 전원 증가 시간을 나타내고 있으며 사용된 DC전원은 PWL 전원으로 변환된다. 또한 시간에따른 전원 증가와 함께 과도응답 해석을 수행하여 커패시턴스 및 인덕턴스 효과가 함께 고려된다. 이러한 과도응답 해석은 STIME까지 진행되

어지고 각 단자 전압의 변화가 허용오차 내에 존재할 경우 이를 동작점으로 해석한다.

Pseudo-Transient Code

```

STIME*: option parameter
begin
  MODE = Pseudo-Transient;
  Time = 0;
  while(time < STIME){
    Calculate SourceValue at
      current time ;
    Transient Analysis**
    Check tolerance***
    if(not success)
      return("Converge Fail");
  }
  DC solution=Current Time Solution;
  MODE change (DC completed);
end

```

***STIME**은 전원 ramping 시간임
 ****Source**(Time dependent)와 **Capacitance**,
Inductance 고려됨
 *****TimeStep**은 그림 5 code 사용

그림 3. 의사 동적 해석 방법

Fig. 3. Pseudo-Transient Analysis Method.

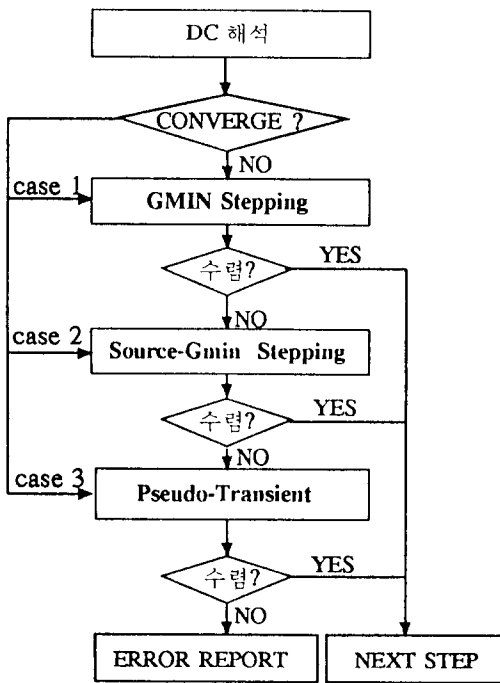


그림 4. 수렴 특성 관련 흐름도

Fig. 4. Convergence Flow.

다음 과도응답 해석등이 존재하는 경우 필요한 시뮬레이션 모드 및 초기화등을 지정하여 준다. SEC-SPICE는 위에서 제시한 수렴 특성 알고리즘을 이용하여 그림 4와 같은 흐름도에 따라 수행된다. 그림 4에 제시한 수렴 특성 선택 파라미터를 이용하여 사용자는 시뮬레이션 회로에 따라 알고리즘을 선택적으로 사용할 수 있도록 제작 하였다.

(2) 시간 간격 조절 알고리즘

SPICE¹¹에서 사용되는 반복회수 조절법은 시간 간격 조절이 일률적으로 진행되기 때문에 적절한 시간 간격 사용이 되지 않으며 Local Truncation Error(LTE)방법¹²에 의한 시간 간격 조절법은 시뮬레이션의 정확성은 보장하고 있으나 시뮬레이션 수행 시간과 정확성의 비중에 사용자가 지정하는 것이 어렵게 되어 있다. 본 논문에서는 기존의 LTE 방법에 waveform 예측법 및 breakpoint 조절법을 가미한 수정된 LTE 방법을 제안한다.

SECSPICE에서는 그림 5와 같이 전압 변화율에 따른 시간 간격을 계산 하도록 하였으며 또한 변화율의 방향성을 함께 고려하는 방법을 이용하였다. 먼저 초기 시간 간격은 시뮬레이션 구간, 출력 스텝 및 전원의 breakpoint 등을 이용하여 계산 하였다.

Time-Step Control Code

```

DECREASE_FAST*: option parameter
begin
  Delta = Initial Timestep(step,stop,OPTION);
  Time = Delta;
  LoadingCircuit (time);
  while(time < stop time){
    LoadingCircuit (time);
    for each node** {
      Old2 = previous 2 solution;
      Old1 = previous 1 solution;
      pred = extrapolation (Old2,Old1);
      now = Current time Node Voltage;
      if(tol = abs(now-Old1) > LIMIT) {
        Release Current solution;
        Delta *= DECREASE;
      } else {
        if (sign(Old1-Old2) != sign(now-Old1))
          Delta *= DECREASE;
        else Delta *= FAST;
        variation = abs(now-pred)/MAX(now,pred);
        Delta /= variation***;
      }
    }
    Save (time);
    if (Delta < MinimumTime) return(error);
  }
end

```

*timestep 증감, 감소 scaling factor
 **모든 단자에 관하여 check
 ***예측값과 계산값 결과 및 변화율에 따라 timestep 조절

그림 5. 시간 간격 조절 흐름도

Fig. 5. Timestep Control Flow.

다음 계산된 시간 간격을 이용하여 증가된 시간에서의 시뮬레이션을 수행하고, 시뮬레이션 결과와 이전 시간 결과값을 비교하여 허용 오차를 초과하는 경우에는 계산된 결과를 버리도록 하여 정확성을 높이고자 하였다. 다음 허용 오차내에 존재하는 경우에도 이전 결과로부터 예측된값과 현재 계산된 값과의 차이가 큰 경우 및 결과값 변화 추세를 이용하여 변화율의 부호가 바뀌는 경우에는 시간 간격을 재 조정하도록 제작 하였다. 한편 주어진 허용 조건내에서 시뮬레이션 결과값이 존재하는 경우에는 사용자가 지정한 시간 간격 조절 파라미터를 이용하여 시간 간격을 증가 시키도록 제작 되었다. 시간 간격 조절폭을 사용자가 지정할수 있도록 구현하여 시뮬레이션의 정확성을 중심으로 해석할 경우와 수행 속도를 단축하여 시뮬레이션할 경우를 사용자가 선택할수 있도록 하였다. 그림 5에서 Old1, Old2는 각각 이전 시간 및 그 이전 시간에서의 단자 전압을 의미하며 Pred는 Old1, Old2를 이용하여 외삽법에 의해 현재 시간에서의 예측값을 계산한 결과를 의미한다.

2. MOSFET 모델 강화

Submicron MOSFET 모델로 개발되어 사용되는 BSIM모델은^[10] 수식의 단순화를 통해 모델 loading 시간을 단축시킨 장점이 있으나 음저항 특성 및 kink 특성등의 문제점이 존재하고 있다. 한편 BSIM 모델의 문제점을 개선한 것으로 BSIM2^[12], BSIM_plus^[13] 모델등이 개발 되었으나 BSIM2에서는 파라미터의 연관성이 복잡하여 실제 적용상 어려운점 및 파라미터 값에 따른 불연속성등의 단점이 있다.

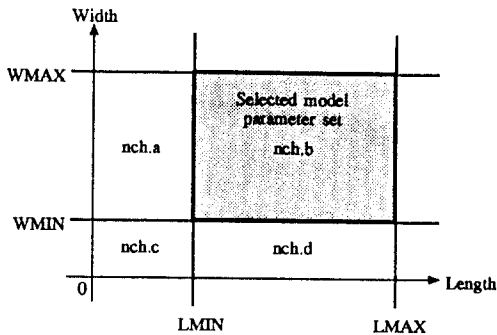


그림 6. 모델 선택 방법
Fig. 6. Model Selection Method.

SECSPICE에서는 BSIM 모델의 단점을 개선한 모델을^[11] 근간으로 하는 모델을 이식 하였으며 소자 크기에 따라 자동적으로 모델을 선택 할수 있도록 하

였다. 모델 파라미터 추출의 정확성을 높이고자 소자 크기에 따라서 두가지 이상의 파라미터 set으로 추출 할 경우가 있다. 이 경우 SPICE^[2]에서는 사용된 소자 크기에 따라 대응되는 모델 이름이 구분 되어야만 하는 불편함이 있다.

SECSPICE에서는 MOSFET 소자 크기에 따라 자동적인 모델 선택을^[3] 수행할수 있도록 구현 하였다. 즉 동일한 MOSFET 모델 이름을 사용하는 경우에도 그림 6과 같이 소자 크기에 따라서 대응되는 모델 파라미터 set을 이용할수 있도록 제작 되었다. 따라서 동일 공정에서 파라미터를 MOSFET 소자 크기에 따라 4가지로 분류한 경우에도 사용자는 공정 이름인 "nch" 만을 사용하면 해당 파라미터 set을 선택할 수 있도록 구현 하였다.

3. 구성 및 사용자 편의성

SECSPICE의 구성은 그림 7과 같으며 사용자 편의성 기능을 위하여 시뮬레이션 입력 조건, 조절 명령어 지정 및 실시간 출력 파형 분석등을 대화식 메뉴 선택 방법으로 제공하고 있다.

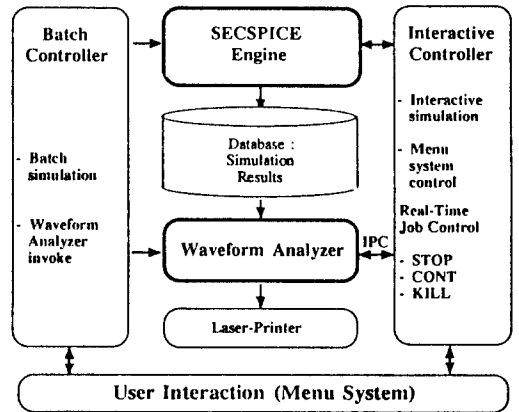


그림 7. SECSPICE 구성도
FIG. 7. SECSPICE Configuration.

시뮬레이션 결과 분석을 위하여 출력 파형 분석기를 동일 환경에서 실행할수 있도록 제작 하였다. 실행 조절 및 제어는 Inter Process Communication(IPC)^[14]를 이용하여 자체 개발한 독립 프로그램인 출력 파형 분석기를 실행 제어하기 때문에 사용자는 실시간적인 출력 파형 분석 및 시뮬레이션 관련 작업을 직접 제어할수 있다.

또한 소자값등을 변수화할수 있도록 구현 하였으며 이러한 변수 파라미터는 부회로와의 전달 기능을 통

하여 입력 화일 작성시 편리하게 제작 되었다. 출력 결과 분석을 돕기 위해 Measure 해석^[4] 기능을 이식하여 지정된 시간에서의 지정된 연산값 및 지정된 연산 조건에서의 시간등을 계산할수 있도록 구현하여 사용자 편의성 기능을 강화 하였다. 또한 반복적인 시뮬레이션 수행시 적용되는 파라미터 sweeping 기능 및 Alter 기능등을 통하여 시뮬레이션 입력 화일 작성을 용이하도록 하였다.

III. 실험 및 적용 결과

SECSPICE의 검증을 위하여 측정 데이터를 이용하여 I-V 특성을 비교 하였다. 그림 8은 NMOS (W/L =

9.2/0.4um) 특성이며 그림 9는 PMOS (W/L = 9.2/1.6um) 특성이다. 그림에서 나타난바와 같이 SECSPICE에서 사용된 모델은 기존 BSIM 모델에 비하여 실제 데이터와의 일치성이 개선 되었음을 알수 있다.

시뮬레이션 성능을 검증하기 위하여 실제 회로 설계시 사용된 회로와 MCNC 회로를 이용하여 시뮬레이션 시간을 조사 하였으며 표 1에 나타 내었다. 시뮬레이션 조건은 Berkeley SPICE와 SECSPICE default 조건 및 fast 파라미터를 사용한 결과를 제시 하였다. 시뮬레이션 결과 SECSPICE는 Berkeley SPICE와 비교하여 시뮬레이션 수행 능력이 우수함을 보이고 있고 또한 시뮬레이션 수행 시간이 1.5-2.8배 개선됨을 알수 있었다.

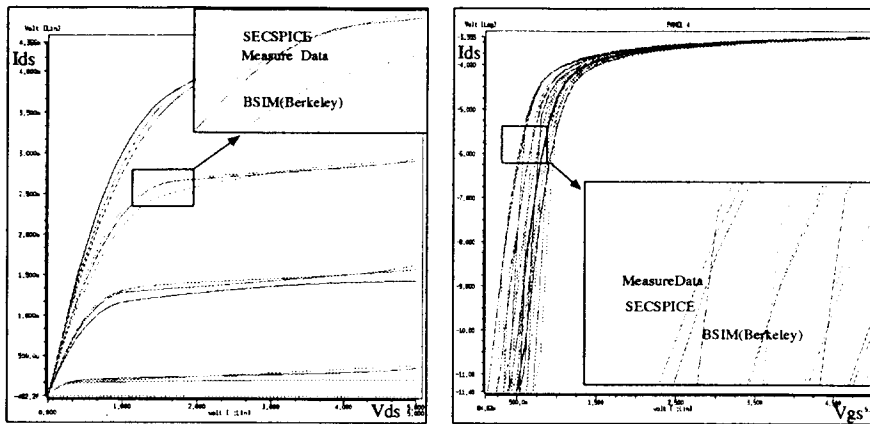


그림 8. NMOS 트랜지스터 DC 특성
Fig. 8. NMOS Transistor DC characteristics.

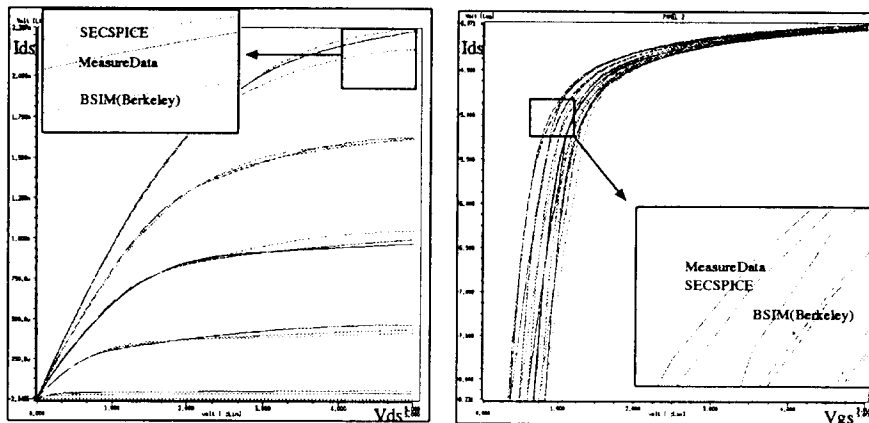


그림 9. NMOS 트랜지스터 DC 특성
Fig. 9. PMOS Transistor DC characteristics.

표 1. 실험 회로 검증 결과

Table 1. Experimental circuit evaluation results.

회로 이름	비교 항목	SPICE3 (Berkeley)		SECSPICE2.0 (LVLTIM=3)		SECSPICE2.0 (FAST=2)	
			비교		비교		
cram	Transient iteration	3177	ref	2446	0.86	1345	0.47
	Total run time(CPU, sec)	85.4		73.1		40.2	
mux8	Transient iteration	28755	ref	15864	0.63	7292	0.27
	Total run time(CPU, sec)	939.7		590.2		255.6	
slowlatch	Transient iteration	1557	ref	806	0.68	603	0.51
	Total run time(CPU, sec)	6.3		4.3		3.2	
toronto	Transient iteration	1341	ref	810	0.62	402	0.31
	Total run time(CPU, sec)	21.7		13.5		6.7	
arom	Transient iteration	timestep too small	ref	3241	none	1550	none
	Total run time(CPU, sec)			144.7		63.3	
b330	Transient iteration	timestep too small	ref	524	none	321	none
	Total run time(CPU, sec)			56.2		34.3	
counter	Transient iteration	1053	ref	444	0.55	284	0.37
	Total run time(CPU, sec)	68.2		37.8		25.4	
jge	Transient iteration	60199	ref	42357	0.80	12287	0.22
	Total run time(CPU, sec)	4402.5		3507.8		965.1	
rich3	Transient iteration	timestep too small	ref	3344	none	1556	none
	Total run time(CPU, sec)			131.0		58.5	
b165	Transient iteration	timestep too small	ref	524	none	321	none
	Total run time(CPU, sec)			26.8		16.5	
			ref		0.69		0.36
			ref		1.45		2.78

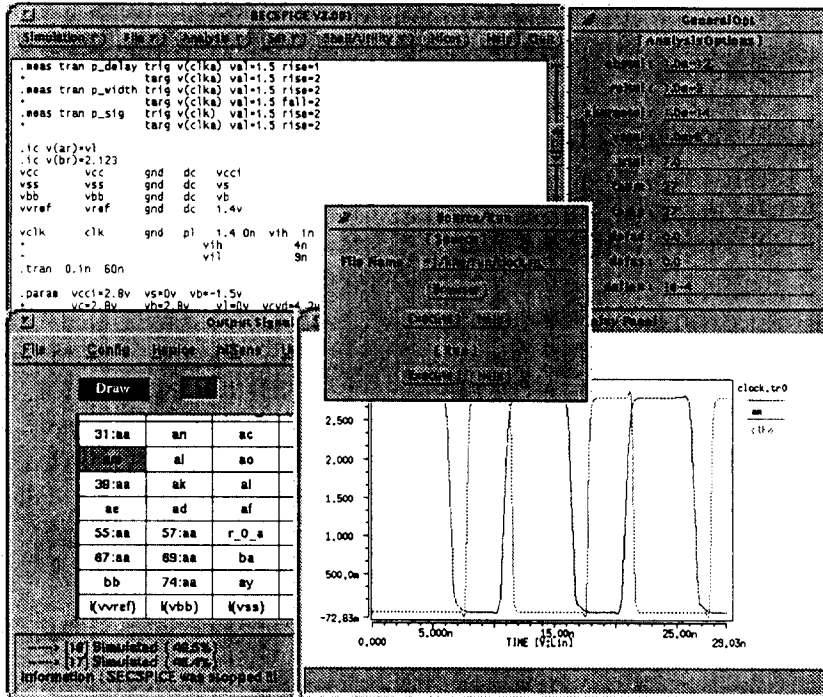


그림 10. 그래픽 사용자 인터페이스
Fig. 10. Graphic User Interface.

또한 그림 10에 사용자 편의성을 위해 구현한 그래픽 사용자 인터페이스의 한 예를 보여주었다.

IV. 결 론

SECSPIICE는 Submicron MOS 설계 회로에 적용할수 있도록 개발 되었으며 수렴 특성과 수행 시간 및 사용자 편의성이 강화 되었다. SECSPIICE에서는 최소 컨덕턴스 및 전원 스텝방법과 의사 동적 해석 알고리즘을 구현하여 수렴 특성을 개선 하였으며 전압 변화율을 이용한 시간 간격 조절 알고리즘을 사용하여 수행 시간을 개선할수 있었다. Submicron MOS 설계회로에 적용 가능한 모델을 인식하여 실제 설계에 적용할수 있으며 사용자 편의성을 위한 그래픽 환경 지원 및 실시간 파형 분석 및 시뮬레이션 작업 조절 등을 수행할수 있도록 구현 하였다.

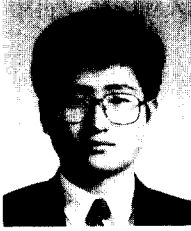
SECSPIICE를 실제 설계 회로 및 MCNC회로에 적용한 결과 시뮬레이션의 수행 시간이 Berkeley SPIICE와 비교하여 1.5-2.8배 가량 향상 되었으며 시뮬레이션 수렴 특성도 개선 되었음을 알수 있었다.

향후 SECSPIICE는 타이밍 시뮬레이터, 논리 시뮬레이터와의 혼합 시뮬레이터로 개발될 예정이며 시뮬레이션에 관련된 know-how를 같은 환경에 통합될 예정이다.

參 考 文 獻

- [1] L.W.Nagel, "SPICE2:A Computer Program to Simulate Semiconductor Circuits," Tech.Rep.ERM 520, Electronics Res. Lab., Univ. Calif., Berkeley, 1975.
- [2] T.L.Quarles, "Analysis of Performance and Convergence Issues for Circuit Simulation," UCB / ERL M89/42, Univ.Calif., Berkeley, 1989.
- [3] HSPICE user's Manual, Meta Software Inc., 1992.
- [4] K.S.Kundert, "Achiving Accurate Results with a Circuit Simultor," Cadence Design Systems, Calif., 1991.
- [5] PRECISE user's Manual, Electrical Engeneering Software Inc., 1990.
- [6] SABER Simulators for Circuit Systems, Analogy Inc., 1990.
- [7] P.Yang, ed., "Circuit simulation and modeling," IEEE Circuits and Devices Magazine, vol.5, no.3, p.50, May, 1989.
- [8] P.Yang, ed., "Circuit simulation and modeling," IEEE Circuits and Devices Magazine, vol.5, no.5, pp.48-49, Sep, 1989.
- [9] W.T.Weeks, A.J.Jiminez, G. W. Mahoney, D.Mehta, H.Qassemzadeh, and T.R.Scott, "Algorithms for ASTAP-a network-analysis program," IEEE Trans.Circuits Syst.,vol.CAS-20, pp. 628-634,Nov.1973.
- [10] B.J.Sheu, D.L.Scharfetter, P.K.Ko, M.C.Jeng, "BSIM: Berkeley Short-Channel IGFET Model for NMOS Transistor," IEEE J. of Solid State Circuits, vol.SC-22, No.4, Aug., 1987.
- [11] HSPICE Application Note "MOSFET Level 28", 1991.
- [12] M.C.Jeng, P.K.Ko, and C.Hu, "A Deep Submicrometer MOSFET Model for Analog/Digital Circuit Simulator," IEDM Tech. Dig., pp114-117, 1988.
- [13] S.M.Gowda, B.J.Sheu, "An Accurate MOS Transistor Model for Submicron VLSI Circuits : BSIM-plus," Proc. of IEEE CICC., pp23.2.1-4, 1991.
- [14] M.J.Rochkind, "Advanced UNIX Programming," Prentice-Hall, Inc., Englewood Cliffs, NJ,1985.

著 者 紹 介



金 榮 吉(正會員)

1987年 2月 서강대학교 전자공학과 졸업(학사). 1989年 2月 서강대학교 졸업(공학석사). 1989年 ~ 현재 삼성전자 CAE 선임연구원. 주관심 분야는 회로 시뮬레이션, MOSFET 모델링, 설계 자동화, VLSI/CAD 등임.

李 在 勳(正會員)

1990年 2月 전국대학교 전자공학과 졸업(학사). 1989年 ~ 현재 삼성전자 CAE 주임연구원. 주관심 분야는 아날로그 자동화, Design Centering, Knowledge Based Simulation, Table Lookup MOSFET 모델링, Fast Simulation 등임.



朴 璣 圭(正會員)

1990年 2月 연세대학교 전기공학과 졸업(학사). 1990年 ~ 현재 삼성전자 CAE 주임연구원. 주관심 분야는 회로 시뮬레이션, 마크로 모델링, MOSFET 모델링, VLSI 회로 설계 자동화 등임.



金 崐 和(準會員)

1992年 2月 한국항공대학 항공전자공학과 졸업(학사). 1992年 ~ 현재 삼성전자 CAE 연구원. 주관심 분야는 회로 시뮬레이션, 아날로그 자동화, 고주파 해석, Fast Simulation, Timing Simulation 등임.



金 敬 昊(正會員)

1984年 2月 연세대학교 전자공학과 졸업(학사). 1987年 2月 한국과학기술원 전기 및 전자공학과(공학석사). 1991年 2月 한국과학기술원 전기 및 전자공학과(공학박사). 1983年 ~ 현재 삼성전자

ASIC 및 CAE 선임 연구원. 주관심 분야는 VLSI CAD 및 TCAD 등임.