

고속 열 확산에 의한 얇은 접합 형성과 Ti-실리사이드화된 n⁺-p 다이오드 특성 분석

(The Formation of the Shallow Junction by RTD and Characteristic Analysis for n⁺-p Diode with Ti-silicide)

崔度永*, 李晟旭*, 朱政奎*, 姜明求*, 尹錫範*, 吳煥述**

(Do-young Choi, Seong-wook Lee, Jung-gyu Joo, Myoung-koo Kang, Seok-beom Yoon, Hwan-sool Oh)

要約

Heatpulse 2146 RTP(Rapid Thermal Process)에 의한 RTGT(Rapid Thermal Glass Transfer)공정으로 인(phosphorus) 고체 소오스를 800°C, 60초 동안 웨이퍼 표면에 증착한 후, RTD(Rapid Thermal Diffusion)공정으로 950~1050°C, 5~15초로 변화시키면서 매우 얇은 접합을 형성하였다. 면저항은 175~320Ω/□이며, 표면 농도는 5×10¹⁹atoms/cm³, 접합 깊이는 0.07~0.1μm로 나타났다. 티타늄(Ti)을 300Å 증착한 후, Ti-실리사이드를 형성하기 위하여 2 단계 RTA(Rapid Thermal Annealing)공정을 이용하였으며, 1차 열처리(RTA)공정 조건은 600°C, 30초로 고정시키고, 2차 열처리(RTA)공정 조건은 700~800°C, 10~60초로 변화시켰다. 이때 면저항값은 46~63Ω/□이며, 또한 Ti-실리사이드 형성시 AES 결과는 Si/Ti 비가 1.6-1.9로 나타났다. 제작한 n⁺-p 다이오드(패턴 사이즈 : 400×400 μm)의 누설 전류값은 1000°C, 10초 동안 RTD한 후 2차 RTA를 750°C, 60초하였을때 역방향 전압이 5V에서 누설 전류값이 29.15×10⁻⁸A으로 나타났고, 1.8×10⁻⁷A/mm²의 누설 전류 밀도값을 얻었다.

Abstract

The ultra shallow junction was formed by 2-step RTP. Phosphorus solid source(P₂O₅) was transferred on wafer surface during RTGT(Rapid Thermal Glass Transfer) of which process condition was 800°C and 60sec. The process temperature and time of the RTD(Rapid Thermal Diffusion) were 950~1050°C during 5~15sec respectively, sheet resistances were measured as 175~320Ω/□ and junction depth and dopant surface concentration were measured as 0.075~0.18μm and 5×10¹⁹cm⁻³ respectively. Ti-silicide was formed by 2-step RTA after 300Å Titanium was deposited. The 1st RTA (2nd RTA) was carried out at the temperature of 600°C (700~800°C) for 30 seconds (10~60 seconds) under N₂ ambient. Sheet resistances after 2nd RTA were measured as 46~63Ω/□. Si/Ti component ratio was evaluated as 1.6~1.9 from Auger depth profile. Ti-silicided n⁺-p junction diode (pattern size : 400×400 μm) was fabricated under the RTD(the process was carried out at the temperature of 1000°C for 10 seconds) and 2nd RTA(the process was carried out at the temperature of 750°C for 60 seconds). Leakage current was measured 1.8×10⁻⁷A/mm² at 5V reverse voltage. When the RTD process condition is at the temperature of 1000°C for 10 seconds and the 2nd RTA process condition is at the temperature of 750°C for 60 seconds, leakage current was 29.15×10⁻⁸A(at 5V).

* 正會員, 建國大學校 電子工學科
(Dept. of Elec. Eng., KonKuk Univ.)

** 正會員, 前 建國大學校 電子工學科
接受日字 : 1993年 12月 21日

I. 서론

반도체 소자의 집적도가 VLSI 규모에서 ULSI 규모로 증가함에 따라 소자 구조가 수평 방향뿐 아니라 수직 방향 크기의 감소가 필수적으로 이루어져야 한다.^[1] 소자의 수직적 크기에 대한 축소의 목적은 MOSFET에 있어서 단채널 효과(short channel effect)를 억제할 수 있는 얇은 채널 및 얇은 소오스/드레인을 형성하고, BJT에서는 얇은 베이스층을 형성하므로 그 중요성이 점차 커지고 있어 얇은 접합 깊이에 대한 연구가 활발히 진행되고 있다.^[2-5] 얇은 접합 형성을 위해 이온 주입 방법이 시도 되어 왔으며,^[6] 이온주입시 발생하는 채널링(channeling)과 격자 결함의 단점, 그리고 낮은 에너지를 이용할 때 매우 어려운 불순물 농도 제어의 난점이 대두되었기 때문에 얇은 접합 형성을 위한 보다 현실적인 연구가 필요로 하게 되었는데, 그 중의 한 방법이 RTD를 이용하는 것이다.^[7] RTD 공정은 붕소(B)와 인(P)을 고체 확산 소오스로 사용, 고온에서 짧은 시간 내에 빠른 확산을 이용하여 매우 얇은 접합을 형성시키는 것을 말한다.

Deep-submicron급 메모리 소자에 활용하기 위한 극히 얇은 접합의 형성은 접촉 및 상호 연결층의 배선에서 선폭의 감소와 길이의 증가로 면저항의 증가, 접촉 저항의 증가로 인해 회로 동작시 RC 시정수가 커 VLSI회로의 속도 증가에 제한을 가져오게 된다. 또한 접합 깊이의 감소가 알루미늄 금속의 Inter-diffusion으로 인한 접합 스파이크를 발생시켜 커다란 문제점으로 대두되고 있다. 따라서 실리사이드는 비저항이 매우 낮고, 음성 특성이 양호하며, 고온에서 안정하여 게이트, 접촉, 상호 연결층의 대체 물질로 많이 연구되고 있다.^[8-13] 본 연구에서는 위에서 언급된 극히 얇은 접합 형성을 위한 방법들 중에서 고속 열처리 장치를 이용하여 고체 확산 원으로 인(P)을 사용하고, 열원으로 텅스텐-할로겐 램프를 사용하였으며 공정 조건에 따라 Deep-submicron급 메모리 소자에 활용하기 위하여 고속 열 확산(RTD)으로 극히 얇은 접합을 형성하였다. 금속과 접합부의 접촉 저항을 낮추고, 알루미늄의 상호 확산에 의한 접합 스파이킹을 방지하기 위해 내화 금속(refractory metal) 중 가장 낮은 비저항과 열적 안정성이 높은 것으로 평가받고 있는 티타늄(Ti)-실리사이드를 고속 열 확산에 의해 형성된 얇은 접합층 위에 증착한 후 2단계로 고속 열처리하여 전기적 저항을 감소시키고자 하였다. 얇은 접합부의 형성과 얇은 접합층 위에 Ti를 증착하여 고속 열처리시 실리사이드 형성

을 확인하고, 실리사이드화된 n-p 다이오드를 제작하여 전기적 특성을 고찰하였다.

II. 실험

1. 고속 열 확산에 의한 얇은 접합 형성

본 실험에서 기판은 p형 실리콘 웨이퍼로써 비저항이 1~10Ω·cm이고, 결정 방향이 (100)이며, 직경이 4인치 크기를 사용하였다. RTD 공정은 클래스 5,000에서, 그 이외의 모든 공정은 클래스 1,000인 청정실에서 실시하였다.

표 1. 고속 열 확산을 위한 공정 조건

Table 1. The Process Condition for Rapid Thermal Diffusion.

기 판	p-type(100) Si (ρ=1~10 Ω·cm)
고체 불순물	Phosphorus(TP-470)
확산온도(℃)	950, 1000, 1050
시간(sec)	5, 10, 15
가열율(℃/sec)	50
시편번호	NP1~NP9

극히 얇은 접합 깊이를 형성하기 위해 표 1과 같이 공정 조건에 따른 시편을 제작하여 접합 깊이 특성을 조사하였으며, 시편 제작 순서도는 그림 1에 나타내었다.

모든 시편은 준비 과정에서 발생하는 유기물을 제거하기 위해 H₂O₂와 H₂SO₄를 1:4 비율로 혼합하여 120℃로 가열한 용액에 10분간 담구두었다가 탈이온수에 세척하였고, 웨이퍼 표면에 존재하는 자연산화막을 제거하기 위해 10:1 HF 용액 속에 10초 동안 담근 후 탈이온수에 세척하였다. 확산을 위한 창을 형성하기 위해 초기 세척한 웨이퍼 위에 1000Å의 산화막을 건식 산화법으로 전기로에서 성장하였으며, 포토레지스트 공정으로 패턴을 형성하였다. 열린 창으로 얇은 접합을 형성하기 위해 고속 열 확산을 하였다. 고속 열 확산을 위해 사용한 장비는 AG사의 Heatpulse 2146 RTP이며, 챔버와 실험을 위한 장치도는 그림 2에 도시하였다. n의 얇은 접합을 형성하기 위해 고속 열 확산용 고체 소오스로는 OI-NEG TV Products사가 제작한 3인치 크기인 Phosphorus(Model:TP-470)를 10:1 HF용액에 15초 동안 담근 후 탈이온수에 세척하여 건조시켜 사용하였다.

RTP공정의 챔버내에서 확산은 RTGT과정과 RTD과정의 두 단계로 구분하여 수행하였다.

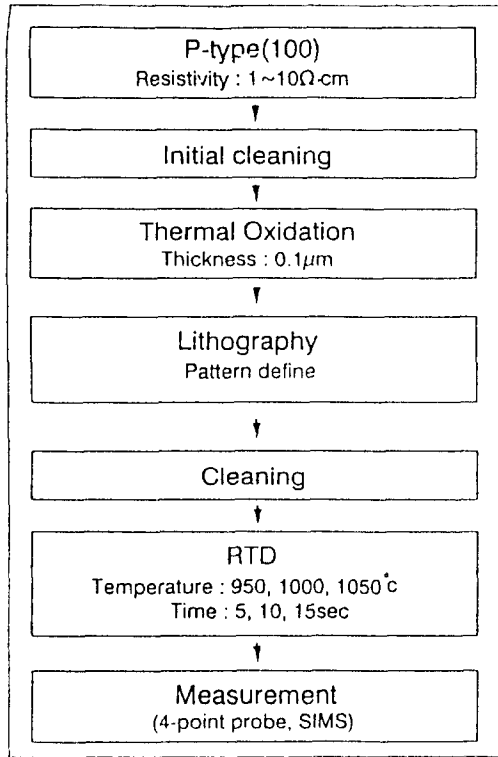


그림 1. 고속 열확산을 위한 시편 제작 순서도
Fig. 1. The Sample Fabrication Following Chart for Rapid Thermal Diffusion.

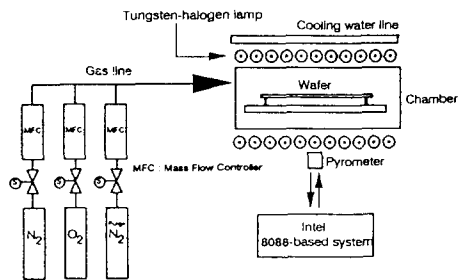


그림 2. AG사의 Heatpulse 2146 장치도
Fig. 2. AG Heatpulse 2146 Merchant Diagram.

RTGT 과정은 그림 3에 도시한 것처럼 샌드위치 구조로 공정 웨이퍼와 고체 소오스 사이는 두께 450 μ m의 Quartz spacer를 놓고, P₂O₅의 그라스 층을 웨이퍼 표면으로 옮겨 놓는 과정으로 N₂ 분위기에서 800 $^{\circ}$ C, 60초 동안 수행하였다. RTD 과정에서는 고

체 소오스를 제거하고 가열 웨이퍼 위에 공정 웨이퍼를 놓고, 표 1의 공정 조건에 의한 얇은 접합을 형성하였다.

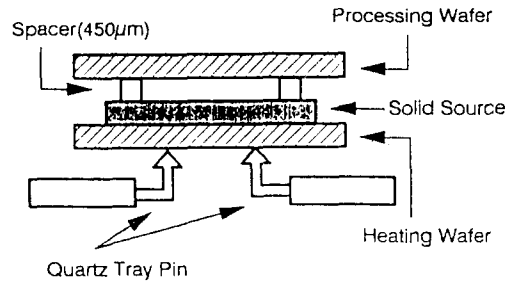


그림 3. 실험에 사용된 챔버내의 샌드위치 구조
Fig. 3. The Sandwich Structure in Chamber for Experiment.

2 단계 고속 열처리 공정은 표 2에 나타내었다. Recipe 2에서 산소 가스를 챔버안으로 주입하는 이유는 실리콘 표면에 얇은 PSG층을 형성시켜, 글라스 천이된 불순물이 확산하는 동안 외부로 빠져나오는 것을 방지하기 위한 방법으로 채택하였다.

표 2. 고속 열 확산용 공정

Table 2. The Process for Rapid Thermal Diffusion.

Recipe NO	Type	Time	Temperature	Gas(SLPM)	
				N ₂	O ₂
1 (Glass transfer)	Ramp	50 $^{\circ}$ C/S		3	×
	Steady	60 S	800 $^{\circ}$ C	3	×
	Delay	10 S		3	×
2 (Diffusion)	Ramp	50 $^{\circ}$ C/S		5	×
	Steady	5, 10, 15 S	950, 1000, 1050 $^{\circ}$ C	5	1
	Delay	10 S		5	×

2 단계 RTP공정 수행 과정은 그림 4에 나타내었다. 확산 공정이 끝난 시편은 확산 후 웨이퍼 표면에 남은 고체 소오스와 PSG층을 제거하기 위해 6:1 BOE 용액에 담겼다가 탈이온수에 세척 후 건조시켜 면저항을 측정하였고, 이 값은 175~320 Ω /□ 였다. 접합 깊이와 불순물 분포 프로파일은 SIMS로 분석하였는데, 이때 표면농도는 5 10^{19} atoms/cm³였고, 접합 깊이는 0.07~0.1 μ m로 나타났으며 이는 256MD-RAM급 초고집적 메모리 소자의 소오스와 드레인용 접합깊이가 0.1 미이하를 요구하므로 본 연구결과의 데이터가 적합하다고 사료된다.

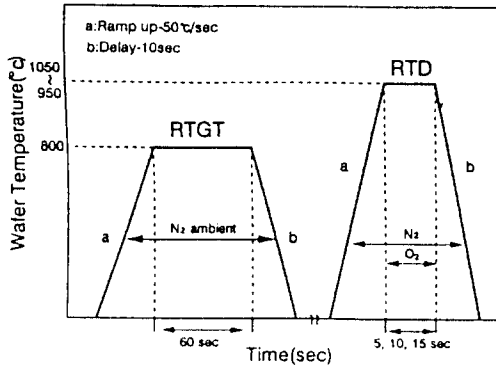


그림 4. 고속 열 확산 공정 수행 과정
Fig. 4. The Process Sequence of Rapid Thermal Diffusion.

2. Ti-실리사이드화된 n'-p 다이오드 제작

얇은 접합이 형성된 웨이퍼 위에 티타늄을 증착하여 고속 2 단계 열처리 공정을 수행하여 계면에서 Ti-실리사이드 형성을 확인하였고, 전기적 특성을 조사하기 위하여 그림 5의 제작 순서에 의하여 Ti-실리사이드화된 n'-p 다이오드를 제작하였다.

고속 열 확산(RTD) 공정으로 1000°C, 10초동안 얇은 접합을 형성한 웨이퍼를 스퍼터장비로 300Å 두께의 Ti를 웨이퍼 전면에 증착하였고, 2 단계의 고속 열처리(RTA)과정을 수행하였으며, 고속 열처리의 공정 recipe은 표 3에 나타내었다. N₂ 분위기에서 600°C, 30초 동안 1차 열처리(RTA) 진행한 후 남아있는 티타늄을 선택적 식각(Selective Etching)하여 인접한 다이오드간 단락(Short)을 방지하였다. 선택적 식각 과정은 산화막 위의 Ti과 창에서 실리콘과 반응하지 않은 Ti은 NH₄OH:H₂O₂:H₂O가 1:1:5로 혼합된 용액을 75°C로 가열시켜 30초 동안 담금 식각하였다. 식각 진행 후 산화막 위에 Ti이 잔류할 가능성을 배제하고자 Over etching했다. 그리고 2차 RTA는 온도와 시간을 각각 700~800°C, 10~60초로 변화 시키면서 실리사이드를 형성시켰으며, 또한 Si/Ti의 성분 조성은AES로 분석하였다.

다이오드의 전기적 특성을 측정하기 위해 실리사이드층 위에 스퍼터 장비로 1%의 Si이 함유된 알루미늄을 1 μm 두께로 웨이퍼 전면에 증착시키고, 산화막 위의 불필요한 알루미늄을 제거하기 위하여 포토 레지스트 공정을 진행하였으며 이때 다이오드의 패턴 사이즈는 400×400 μm이다. 알루미늄을 증착하기 위하여 전기로에서 450°C, 30분 동안 열처리하였다. 웨이퍼 뒷면은 과도한 누설 전류를 막아 전기적 특성을

향상시켜 다이오드의 전류-전압 특성을 고찰하고자 230 μm로 깎아내고 끈-빔 증착기를 사용하여 금(Au)을 0.2 μm 두께로 증착해 음접촉을 형성시켜 실리사이드화된 n'-p 다이오드를 제작했다.

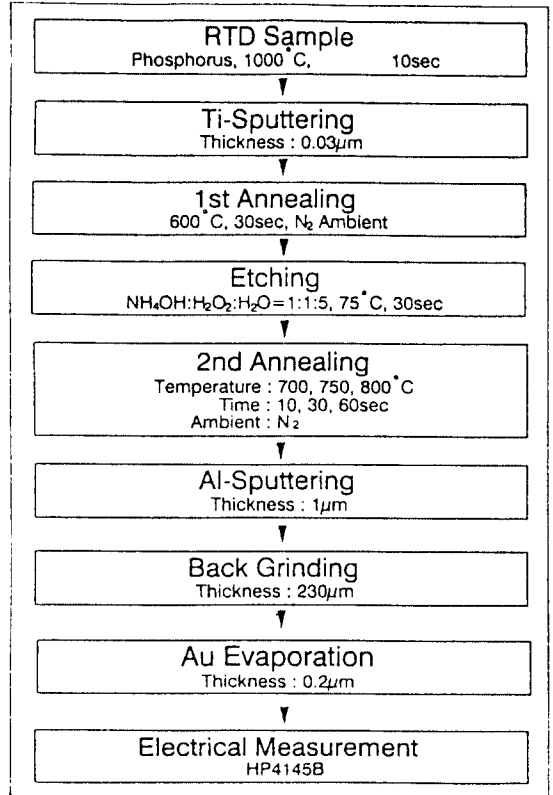


그림 5. 실리사이드 형성과 다이오드 제작 과정
Fig. 5. The Sequence of Silicide Formation and 'Diode Fabrication'.

표 3. 실리사이드 형성을 위한 고속 열처리 공정

Table 3. The Rapid Thermal Annealing for Silicide formation.

Type	1st Annealing			2nd Annealing		
	Time	Temp.	Gas(N ₂)	Time	Temp.	Gas(N ₂)
Ramp up Ignite	60 S	200°C	5 SLPM	60 S	200°C	5 SLPM
Ramp up		150°C/S	5 SLPM		150°C/S	5 SLPM
Steady	30 S	600°C	5 SLPM	가변	가변	5 SLPM
Ramp down		150°C/S	5 SLPM		150°C/S	5 SLPM

다이오드의 단면은 그림 6에 나타내었으며, 제작한 다이오드의 누설 전류는 HP4145B로 측정하였다.

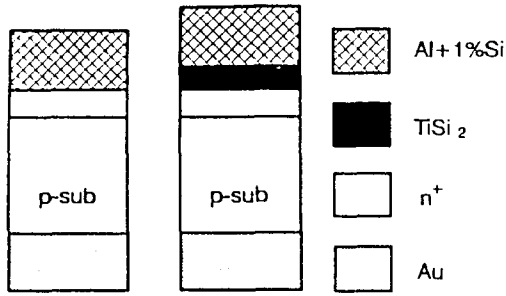


그림 6. 제작한 다이오드의 단면도
Fig. 6. The Sample Diagram of Fabricated Diode.

Ⅲ. 실험결과 및 고찰

1. 얇은 접합 특성 분석

1) 면저항

다이오드에 형성된 창은 작아서 면저항과 SIMS 프로파일을 측정할 수 없으므로 고속 열 확산 공정으로 같은 조건의 시편을 만들었다. 공정 조건(온도, 시간)을 변화시켜 면저항을 측정하고자 PSG층을 제거하고, 시편의 면저항을 측정된 결과를 그림 7에 나타내었다.

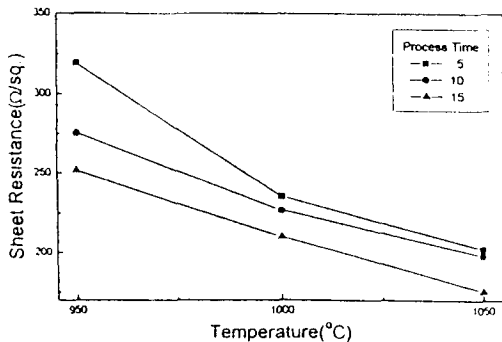


그림 7. RTD 공정 조건에 따른 면저항 분포
Fig. 7. Sheet Resistance Distribution for RTD Process Conditions.

고속 열 확산에 의해 형성된 n 접합의 면저항값은 공정 시간이 길어질수록, 온도가 높을수록 낮아지는 경향을 보였다. 이것은 공정 시간과 온도가 클수록 인(P)이 웨이퍼 속으로 많이 침투하여 캐리어 역할을 한다는 것을 알 수 있다. 본 실험에서 얻은 면저항

값은 175~320Ω/□이며 최근에 발표된 실험값과 큰 차이가 없음을 알 수 있었다.^[13]

2) 접합 깊이

얇은 접합 형성의 접합 깊이를 측정하기 위해 SIMS를 사용하여 인(P)의 프로파일을 그림 8에 나타내었다. 고속 열 확산 공정 조건은 각각 950℃, 1000℃, 1050℃에서 10초 동안 진행하였다. SIMS 프로파일에서 알 수 있듯이 같은 공정 시간에 대하여 RTD 온도가 증가할수록 인의 확산이 증가하여 더 깊은 접합 깊이를 갖는다는 것을 알 수 있다.

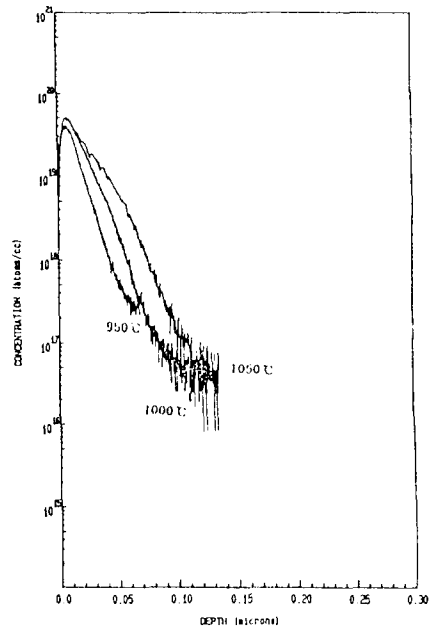


그림 8. RTD 공정조건에 따른 SIMS 분석
Fig. 8. SIMS analyses for RTD Process Conditions.

950℃에서 형성된 인의 표면농도는 4×10^{19} atoms/cm³ 였고 1000℃와 1050℃에서 형성된 인의 표면농도는 5×10^{19} atom/cm³으로 거의 일정하게 나타났다. 이것은 고체 소오스로 인(모델 TP-470)을 글라스 천이 과정에서 충분히 웨이퍼 표면에 올려놓은 후 확산과정에서 드라이브 인되기 때문이라고 사료된다. 그리고 SIMS 분석으로 측정된 접합 깊이를 그림 9에 나타내었다. 그림에서 보듯이 RTD 시간과 온도가 증가할수록 접합깊이가 깊어지는데 이것으로 접합 깊이와 면저항 분포는 반비례함을 알 수 있다. 그림 7은 RTD공정 조건(온도, 시간) 변화에 따른 면저항값을 나타낸 것이며 온도가 올라갈수록, 그리고 시간이 길수록 면저항값

이 낮아짐을 알 수 있으며 따라서 본 실험실에 설치된 RTP장비가 정상적으로 작동되었음이 확인되었다.

그림 9는 RTD 공정조건(온도, 시간) 변화에 따른 접합깊이를 나타낸 것이며 온도가 증가되고, 시간이 길수록 접합깊이가 깊어짐을 볼 수 있다. 1000℃, 10초인 시료의 접합깊이는 0.1 μm이며 950℃, 5초에서는 접합깊이가 0.07 μm를 얻었는데 이 값은 Deep submicron급 ULSI 메모리 소자적용에 특히, 소오스/드레인 제작에 적합한 얇은 접합이다.

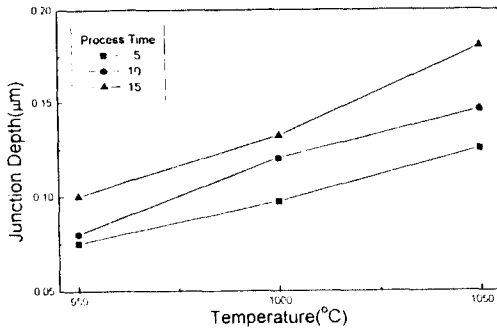


그림 9. RTD 공정조건에 따른 접합깊이
Fig. 9. The Junction Depths for RTD Process Conditions.

2. Ti-실리사이드 형성

1) 면저항

얇은 접합이 형성된 시편에 내화금속 중 비저항이 가장 낮고, 고온 안정성이 뛰어난 Ti를 스퍼터 장비로 300 Å 증착하고, Ti-실리사이드화를 진행하였다. Ti를 실리사이드화 하기 위해서 2 단계의 고속 열처리(RTA)공정을 택하였는데 이것은 처음부터 700℃ 이상의 높은 온도에서 열처리하면 Ti과 산화막과의 반응으로 다이오드간의 단락을 유발시킬 가능성이 크기 때문에 본 논문은 1 단계 RTA보다 2단계 RTA공정의 진류특성이 우수하므로 600℃에서 30초 동안 1차 열처리를 수행한 후 산화막 위의 Ti과 창에서 반응하지 못한 Ti을 선택적으로 제거한 다음 1차적으로 반응한 Ti_xSi_y의 실리사이드층에 대하여 온도는 700~800℃, 시간은 10~30초로 변화를 주면서 2차 RTA를 수행하여 안정된 실리사이드를 형성하기 위한 최적 공정 조건을 얻어내었다. 표 4는 RTD 공정 조건을 950℃, 1000℃, 1050℃에서 각각 10초 동안 고속 열 확산하였을때 온도가 클수록 면저항이 줄어듦을 알 수 있다. 그리고 Ti 증착후 2 단계로 열처리하여 Ti을 실리사이드화 하였을때 각 공정후의 면저항값을 측정 한 결과이며, 데이터를 비교해보면 RTD온도가 1000℃ 이상에서는 1차 열처리때 보다 2차 열처리때에 면저항값

이 상당히 낮아짐을 볼 수 있다. 따라서 RTD 공정조건 의 최적치로 시간을 10초로 고정할때 온도는 1000℃이 상으로 설정하였다. 그리고 2차 열처리 공정조건은 750℃, 30초일때 면저항값을 가장 낮게 줄일 수 있었다.

표 4. RTD온도 변화에 따른 실리사이드화 진행 단계별 면저항

Table 4. The Sheet Resistance for RTD Temperature Variances for Silicidation.

Process Step	RTD Temperature (°C)	
	950	1050
RTD (10sec)	275	198
Ti Deposition (300 Å)	80	61
1st RTA (600°C, 30sec)	64	57
Selective Etching	183	144
2nd RTA (750°C, 30sec)	63	46

그림 10은 표 4의 RTD 공정조건에서 1000℃ 10초인 경우를 도식화 하여 나타내었으며, 이때 면저항값은 227 Ω/□이다. 여기에 RTD 시편을 1차와 2차 열처리 공정 조건을 각각 600℃에서 30초, 750℃에서 30초로 고정시켜 실리사이드화 하였을때 각 단계별 면저항값을 비교한 그림이다.

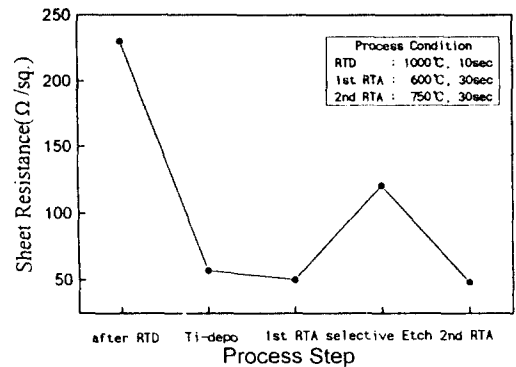


그림 10. 실리사이드 형성을 위한 공정 단계별 면저항의 변화

Fig. 10. The Variance of Sheet Resistance for Silicidation Condition.

최종적으로 Ti-실리사이드 형성시 가장 낮은 면저항값은 48 Ω/□로 Ti-실리사이드를 형성하지 않은 경우(227

Ω/\square 보다 $179\Omega/\square$ 정도 더 낮아짐을 볼 수 있다.

본 연구에서 제시한 Ti-실리사이드의 면저항값이 보통 일반적인 경우보다 10배 정도 크게 나타났다. 주요원인이 AES분석에서도 나타난 것처럼 Ti-실리사이드내의 산소 때문인 것 같다. $TiSi_2$ 형성전에 챔버내의 잔류산소를 최대한으로 줄이는 것이 낮은 면저항값을 얻어내는 최대관건이라고 사료된다.

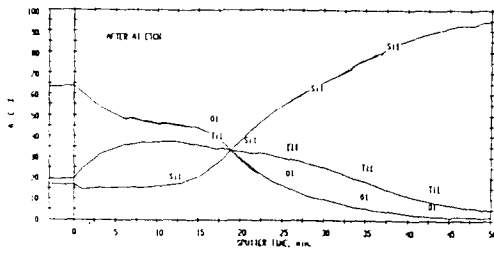
2) 실리사이드 형성의 성분 조성 분석

Ti-실리사이드 형성시 Ti/Si 반응의 성분 조성비를

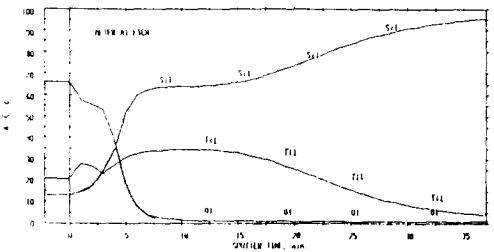
관찰하기 위해 AES 로 측정하여 그림 11, 그림 12 에 나타내었다.

AES 측정은 실리사이드화를 다이오드 패턴 속에서 확인하고자 $1\mu m$ 의 알루미늄을 decap하여 실리사이드 층을 드러내기위해 먼저 $H_3PO_4:CH_3COOH:HNO_3:H_2O$ 를 16:1:1:2로 혼합한 용액에 담귀 식각한 후 측정하였다.

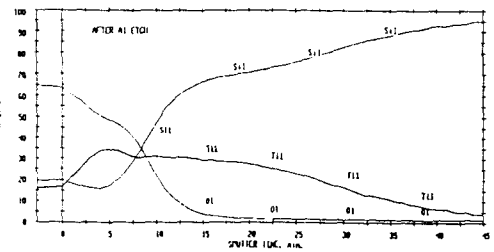
그림 11은 RTD 공정 조건이 $1000^\circ C$, 10초에서 성장한 시료를 Ti-실리사이드화를 위하여 2차 RTA 온도 변화를 (a) $700^\circ C$, (b) $750^\circ C$, (c) $800^\circ C$ 로 주고 RTA 시간은 30초로 고정된 시료들을 측정한 AES 프로파일이다. $700^\circ C$ 에서 2차 RTA한 그림 (a)는 산소 성분이 많이 검출되었고, $750^\circ C$ 에서 2차 RTA한 그림 (b)는 대체로 균일하게 Ti-실리사이드화 되었으며, $800^\circ C$ 에서 2차 RTA한 그림 (c)는 Si량이 많음을 볼 수 있다. 즉, $700^\circ C$ RTA 진행한 경우는 Si/Ti 조성이 Ti-rich 형태로 나타났으나 $750^\circ C$ 이상일 때 실리사이드 형성이 $TiSi_2$ 층 전 구간에서 고르게 형성되었다. $800^\circ C$ 에서 30초 동안 실리사이드를 형성한 시료는 Ti-rich-Si층에서 실리콘이 Ti층 위로 충분히 반응하여 $750^\circ C$ 보다 표면에서 실리콘의 양이 많은 것으로 사료된다.



(a)



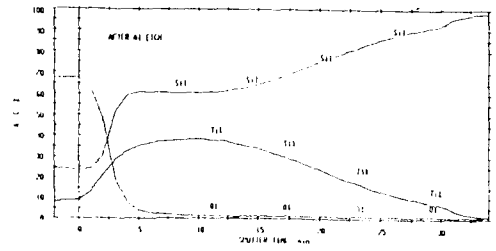
(b)



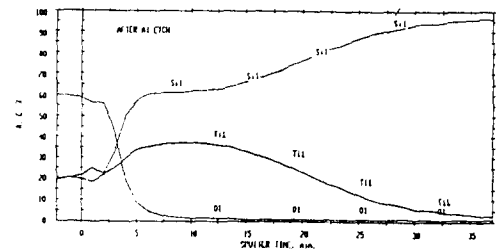
(c)

그림 11. 2차 RTA 온도 변화에 따른 AES 프로파일 (a) $700^\circ C$, 30초 (b) $750^\circ C$, 30초 (c) $800^\circ C$, 30초

Fig. 11. The AES Profile for 2nd RTA Temperature Variance. (a) $700^\circ C$, 30sec (b) $750^\circ C$, 30sec (c) $800^\circ C$, 30sec.



(a)



(b)

그림 12. 2차 RTA 시간 변화에 따른 AES 프로파일 (a) $750^\circ C$, 10초 (b) $750^\circ C$, 60초

Fig. 12. AES Profile for 2nd RTA Time Variance.

그림 12는 RTD 공정 조건이 1000℃, 10초에서 성장한 시료를 Ti-실리사이드를 위하여 2차 RTA 온도를 750℃로 고정하고 시간을 (a)10초, (b)60초로 변화를 주었을 때 측정된 AES 프로파일이며, 60초인 경우가 대체로 Ti-실리사이드화가 더욱 잘 성장되었음을 볼 수 있다. 측정된 그림 11, 12의 AES 값에서 보듯이 실리사이드 형성은 2차 RTA의 시간 변화보다 온도 변화에 더 민감하게 반응하고 있음을 알 수 있으며, 또한 측정된 그림에서 보듯이 Si/Ti 비가 1.6-1.9로 나타났으며, 표면에 형성되어 있는 산소는 Ti/Si 계면과 Ti층에 흡착되어 있던 산소가 Ti-실리사이드 성장으로 표면쪽으로 밀려나갈 뿐만 아니라 Al을 식각하면서 Ti-rich 층과 산소가 반응하여 분포된 것으로 사료된다.

3. 실리사이드화된 n'-p 다이오드 특성 분석

실리사이드화된 n'-p 다이오드의 누설 전류를 측정하기 위하여 역방향 바이어를 0~8V까지 인가했을 때 나타나는 전류를 측정하였다.

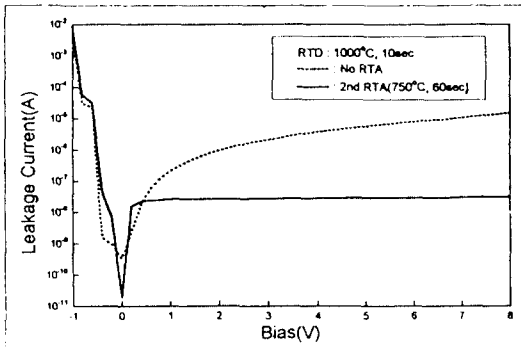


그림 13. 실리사이드화 유무에 따른 다이오드의 누설전류 특성 RTD : 1000°C, 10초 2차 RTA : 750°C, 60초

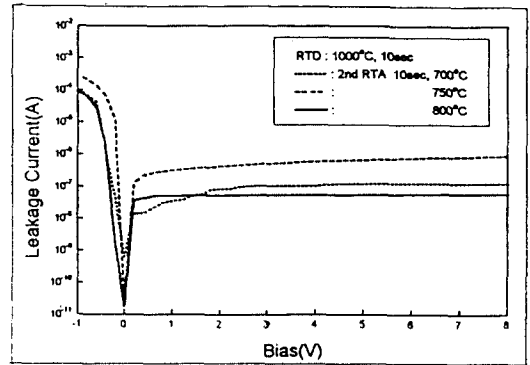
Fig. 13. The Leakage Current Characteristics of Diodes with silicidation or Non-silicidation.

RTD : 1000°C, 10sec
2nd RTA : 750°C, 60sec.

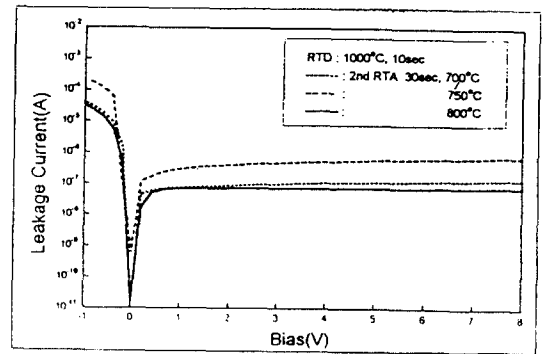
그림 13은 열처리를 하지 않고 Ti만을 증착한 n'-p 다이오드와 Ti-실리사이드화된 n'-p 다이오드의 누설 전류를 비교한 것을 나타낸 것으로써 RTD 공정 조건이 1000℃, 10초의 n'-p 다이오드와 추가로 1차 RTA는 600℃, 30초, 2차 RTA는 750℃, 60초에서 실리사이드를 형성한 Ti-실리사이드화된 n'-p 다이오드이며 측정된 값에서 보듯이 바이어스 전압이 5V에

서 100배 정도 Ti-실리사이드화된 n'-p 다이오드의 누설 전류가 적게 나타남을 알 수 있다.

그림 14는 2차 RTA의 온도 변화에 따른 누설 전류 특성을 보여준다. (a)와 (b)는 RTD 공정 조건이 1000℃, 10초일 때 2차 RTA 시간을 각각 10초, 30초로 고정하고 온도 변화에 따른 누설 전류를 나타내고 있는데, 2차 RTA 공정 온도가 800℃인 시료가 모두 낮은 누설 전류 특성을 보였다.



(a)



(b)

그림 14. RTD 공정 조건 1000°C, 10s에서 2차 RTA의 온도 변화에 따른 누설전류 (a)2차 RTA시간 : 10초 (b)2차 RTA시간 : 30초

Fig. 14. The leakage Current for 2nd RTA Temperature Variance in 1000°C, 10s RTD Process Condition.

그림 15는 RTD 조건이 1000℃, 10초로 진행하고 2차 RTA 온도를 750℃로 고정시키고 시간 변화에 따른 누설 전류 특성을 살펴보았다. 2차 RTA 시간이

길수록 안정된 실리사이드 형성이 용이하며 낮은 누설 전류가 나타남을 알 수 있다.

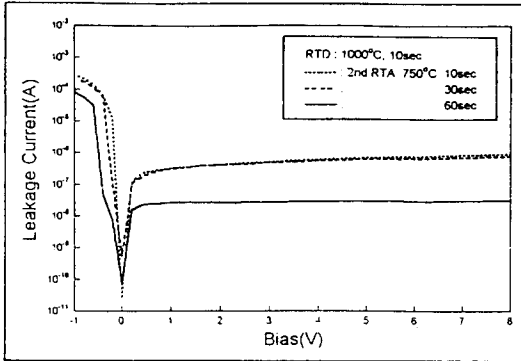


그림 15. RTD 공정 조건 1000°C, 10s에서 2차 RTA의 시간 변화에 따른 누설전류 (2차 RTA 온도를 750°C로 고정)

Fig. 15. The Leakage Current for 2nd RTA Time Variance in 1000°C, 10s RTD Process Condition.

IV. 결론

소자가 ULSI급으로 축소됨에 따라 발생하는 SCE (Short Channel Effect) 및 HCE (Hot Carrier Effect) 현상을 감소시키기 위해 얇은 접합의 n-p 및 p-n의 형성이 필수적으로 요청되고 있다.

본 연구에서는 인(P) 고체 소오스를 불순물 원료로 하여 RTGT공정과 RTD공정의 2 단계 방법으로 얇은 접합을 형성하고 그 특성을 분석하였다. RTGT 공정 조건은 800°C, 60초로 고체 소오스를 웨이퍼 표면에 충분히 증착하고, RTD 공정 조건을 온도는 950~1050°C, 시간은 5~15초로 변화시키면서 얇은 접합을 형성하였다. 면저항은 175~320Ω/□이며, SIMS 프로파일로 분석한 표면 농도는 5×10^{19} atoms/cm³, 접합 깊이는 0.075~0.18 μm로 측정되었다. 측정 결과 RTD 공정 시간이 길고, 공정 온도가 높을수록 면저항은 낮아지는 경향을 보이는 반면, 불순물은 실리콘 웨이퍼 표면 내로 보다 깊숙하게 확산되어 접합 깊이는 증가함을 보였다.

얇은 접합 소자의 문제점으로 대두되고 있는 저항의 증가와 얇은접합이 쉽게 손상되는 경향을 극복하여 소자 성능을 개선하기 위해 Ti-실리사이드 공정을 채택하였다. RTD로 얇은 접합이 형성된 시편에 금속 Ti를 300Å을 증착하여 Ti-실리사이드화 하기 위

하여 2 단계 RTA공정을 진행하였다. 1차 RTA의 공정 조건을 600°C, 30초로 고정시키고, 2차 RTA 공정 조건을 온도는 700~800°C, 시간은 10~60초로 변화시키면서 실리사이드를 형성하였다. 1차 RTA 후 산화막 위의 Ti과 미반응한 금속 Ti를 NH₄OH:H₂O₂:H₂O를 혼합한 용액을 75°C로 가열하여 30초 동안 선택 식각을 하였다. 2차 RTA 후 실리사이드화된 시편의 면저항을 측정한 결과 46~63Ω/□로 나타났다. 이값은 RTD 공정만 진행시킨 시편보다 150~210Ω/□ 감소시킬 수 있었다. 또한 실리사이드 형성 시 Si/Ti 성분 조성비를 확인하기 위해 AES로 분석하였다. AES 분석 결과로 700°C에서는 Ti-rich층을 형성하였으나 750°C 이상에서는 실리사이드 형성을 확인할 수 있었다. 또한 2차 RTA 공정 시간의 변화보다 온도의 변화에서 실리사이드 형성은 더 민감하게 반응하였다. 그리고 Si/Ti 비가 1.6-1.9로 나타났다. 1000°C, 10초동안 RTD를 진행한 시편을 2단계 RTA로 Ti-실리사이드화된 n-p 다이오드를 제작하였다. 2차 RTA 공정 조건이 750°C, 60초일때 역방향 전압이 5V에서 누설 전류밀도값은 1.8×10^{-7} A/mm²으로 나타났다.

參考文獻

- [1] S. M. Sze, VLSI Technology, McGraw-Hill, pp.470-499, 1988.
- [2] J. G. Kim, "Two-step Rapid Thermal Diffusion of Phosphorus and Boron into Silicon from Solid Diffusion Source", KAIST, Ph.D. Thesis, 1989.
- [3] M. C. Ozturk and J. J. Wortman, "Very Shallow P-N Junction Formation by Low-energy BF₂ Ion Implantation into Crystalline and Germanium Preamorphized Silicon", Appl. Phys. Lett., Vol. 52, No. 12, pp. 963-965, 1988.
- [4] A. Busetta, J. A. Van den Berg and D. G. Armour, "Formation of 0.05-μm P-N and N-P Junctions by Very Low Ion Implantation", IEEE Electron Device Lett., Vol. 13, No. 5, pp. 250-252, 1992.
- [5] K. T. Kim and K. Kim, "Formation of P-N Junction Using Boron-nitride Solid Diffusion Source", IEEE Electron Device Lett., Vol. 8, No. 12, pp. 569-571, 1987.

[6] N. G. Einspruch and G. Gildenblat, *Advanced MOS Device Physics*, Academic Press, San Diego., pp.175, 1988.

[7] 주 정규, 노 병규, 이 성욱, 최 성태, 최 도영, 윤 석범, 오 환술, "RTP에 의한 인 고체 확산 소스의 얇은 접합 형성에 관한 연구", 전자 계산, 반도체 재료 및 부품, CAD 및 VLSI설계, IEEE Korea Council Computer Chapter 합동 학술발표회 논문집, Vol.11, No.1, pp.133-136, 1993

[8] A. K. Sinha, "Retractory Metal Silicide for VLSI Applications", *J. Vac. Sci. Tech.*, Vol.19, pp.778-788, 1981.

[9] K. K. Ny and W. T. Lynch, "The Impact of Intrinsic Series Resistance on MOSFET Scaling", *IEEE Trans. Electron Devices*, Vol.34, No.4, pp.503-508, 1987.

[10] S. P. Muraka, *Silicides for VLSI Application*, Academic press, pp.164 -171, 1983.

[11] S. Wolf, *Silicon Processing for the VLSI era*, Vol.2 Process Integration, Lattice press, pp.154-160, 1990.

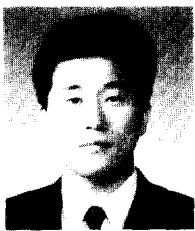
[12] R. Beyer, D. Coulman and P. Merchant, "Titanium Disilicide Formation on Heavily Doped Silicon Substrate", *J. Appl. Phys.*, Vol.61, No.11, pp.5110-5113, 1987.

[13] 장성진, "Rapid Thermal Process를 이용한 티타늄 실리사이드의 형성과 및 그 응용", 한국과학기술원 전기및 전자공학과 석사학위논문, 1990

[14] C. M. Osburn, H. L. Berkowitz et al, "Profiling of Ultra Shallow CMOS Junction using Spreading Resistance : A Comparison to SIMS." 1'st international workshop on the measurement and characterization of ultra shallow doping profiles in semiconductor, Research triangle park, North Carolina, March 18-21, 1991.

[15] J. C. Irvin, "Resistivity of Bulk Silicon and Diffused Layers in Silicon." *Bell System Technical Journal*, vol 41, pp. 387-410, 1962.

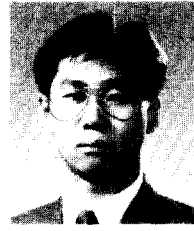
— 著 者 紹 介 —



崔 度 永 (學 生 會 員)

1966年 1月 21日生. 1992年 건국대학교 전자공학과 졸업(공학사). 1994年 2月 건국대학교 일반대학원 전자공학과 졸업. 1994年 현재 (주)금성사 안양연구소 근무. 주관심 분야는 금속 박막 및 TFT-

LCD 등임.



李 晟 旭 (學 生 會 員)

1969年 7月 10日生. 1993年 경원대학교 전자공학과 졸업(공학사). 1994年 현재 건국대학교 일반대학원 전자공학과 석사과정. 주관심 분야는 Ti-silicidation 및 High-energy Ion Implantation 등임.

著者紹介



朱政奎(學生會員)

1970年 3月 12日生. 1992年 서울 산업대학교 전자공학과 졸업 (공학사). 1994年 8月 건국대학교 일반대학원 전자공학과 졸업(공학석사). 1994年 현재 한국과학기술원 (KAIST)박사 과정. 주관심 분야

는 Scaled-down CMOS Devices 및 Ti-silicidation 등임.

姜明求(學生會員)

1966年 1月 21日生. 1988年 건국대학교 전자공학과 졸업(공학사). 1988年 삼성전자 근무. 1991年 2月 건국대학교 일반대학원 전자공학과(공학석사) 졸업. 1994年 현재 (주)현대전자 반도체 연구소 광소자 연구실 근무. 주관심 분야는 금속 박막 및 TFT-LCD 등임.

吳煥述(正會員)

1951年 1月 18日生. 1975年 연세대학교 전자공학과 졸업(공학사). 1979年 2月 연세대학교 일반대학원 전자공학과 졸업(공학석사). 1984年 2月 연세대학교 일반대학원 전자공학과 박사학위 취득. 1986年 Southern Methodist Univ. Electronic Eng. Post doc. 주관심 분야는 레이저 다이오드 및 초고 집적 메모리소자 등임.

尹錫範(正會員) 第 29 卷 第 6 號 參照

현재 공주전문대학 산업영상과
전임강사