

論文94-31A-8-7

二重 Al 配線을 위한 金屬層間 SOG 薄膜의 形成

(Formation of SOG Film between Al Metal Layers
for Double metal Process)

白鍾武*, 鄭永哲**, 李龍洙**, 李龍鉉***

(Jong Mu Baek, Young Chul Jung, Yong Soo Lee and Yong Hyun Lee)

要約

Al 금속의 이중 배선을 위하여 금속 층간에 $\text{SiO}_2/\text{SOG}/\text{SiO}_2$ 의 3층 구조로 된 1 μm 의 두께를 갖는 층간 절연막을 형성하고 그 특성을 조사하였다. 종래의 etch-back 공정을 이용한 경우보다 공정과 설비가 간단하게 층간 절연막을 형성할 수 있었다. 평탄도 특성은 일반적으로 많이 이용되는 CVD법에 의한 실리콘 산화막의 경우보다 40%정도가 개선되었으며, 또한 PECVD법으로 SiO_2 를 증착시킴으로서 hillock의 성장이 크게 억제되었다. 층간 절연막의 누설 전류는 $1 \times 10^5 \text{V/cm}$ 의 인가전장에서 $1 \times 10^{-7} \sim 1 \times 10^{-8} \text{A/cm}^2$ 였으며, 항복전압은 $4.5 \times 10^6 \sim 7 \times 10^6 \text{V/cm}$ 를 나타냈다. 그러므로 저가의 간단한 설비로 양질의 2중 배선구조를 형성하는데 SOG가 유용함을 확인하였다.

Abstract

Intermetallic dielectric layer was formed by using $\text{SiO}_2/\text{SOG}/\text{SiO}_2$ for aluminum based dual-metal interconnection process and its electric characteristics were evaluated. The dielectric layer was, in the cost and facility point of view, more useful than the insulator that was formed by etch-back process. The planarity by using SOG process was about 40% higher than that of the insulator by the CVD process. When SiO_2 films were deposited by the PECVD process, the Al hillock formation during the next process was restrained because the intermetallic insulator was made at low temperature. The leakage current was $1 \times 10^{-7} \sim 1 \times 10^{-8} \text{A/cm}^2$ at the electric field of 10^5V/cm and breakdown field was $4.5 \times 10^6 \sim 7 \times 10^6 \text{V/cm}$. So we had confirmed that siloxane SOG was very useful for intermetallic layer material.

*正會員, 韓國 電子 株式會社
(Korea Electronics CO., LTD.)
**正會員, 慶北大學校 電子工學科
(Dept. of Elec. Kyungpook Nat'1 Univ.)

***正會員, 慶北大學校 電子工學科
(Dept. of Elec. Kyungpook Nat'1 Univ.)
接受日字: 1993年 11月 10日

I. 서론

반도체 집적 회로 소자의 소형화, 다기능화 추세에 따라 제한된 면적의 칩(chip) 위에 집적도가 증가하게 되었고 이러한 요구에 부응하기 위해 1960년대 이후 다층 금속 배선 기술이 개발되었다.^[1] 반도체 집적 회로 소자의 이중 금속 배선 공정을 위한 금속 배선 재료로서는 현재까지 알루미늄이 많이 사용되고 있으며^[1,2] 금속 층간 절연막으로서의 실리콘 산화막이 널리 사용되고 있다. 알루미늄은 가격이 싸고, 재료의 고유 저항이 낮으며, 실리콘 산화막과의 양호한 接着性 등의 많은 장점을 가지고 있다. 그러나 下層配線에 사용된 알루미늄은 실리콘 기판과의 큰 열팽창 계수의 차이로 인해 힐록(hillock)이 쉽게 발생하는 등의 단점을 갖고 있다.^[3,4] 이러한 하층배선의 힐록을 억제하기 위해서는 낮은 공정온도에서 금속 층간 절연막을 형성하여야 한다.^[5] 그러나 낮은 공정온도에서 형성된 금속 층간 절연막은 막의 질이 저하될 뿐만 아니라 단차 피복특성이 나빠지게 되고 후속 사진식각공정에서의 핀홀(pinhole) 등의 불량을 야기하거나 심하면 상층 금속 배선을 斷線시킬 수도 있게 된다. 그리고 바이폴라(bipolar) 집적회로 소자들은 비교적 배선의 허용전류용량이 커서 금속배선에 의한 칩(chip) 표면의 요철이 심해지므로 하층 금속배선에 대한 우수한 단차피복특성(step-coverage property)과 높은 절연 강도를 갖는 층간절연막 형성이 필요하다. 따라서 양산화를 위한 이중 배선 공정 기술의 핵심은 하층 배선 금속층의 힐록을 억제하고 step coverage 특성을 좋게 하는데 있다.

지금까지는 금속 층간 절연막을 형성하기 위하여 상층 금속 배선위에 상압 또는 저압에서 화학 기상 증착법으로 실리콘 산화막을 형성하고 그 step coverage 특성을 개선시키기 위하여 산화막을 전식 식각법으로 식각하는 기술(etch-back process)이 보편화 되어 왔다.^[4] 그러나 이와같은 종래의 층간 절연막 형성법은 힐록의 성장을 억제하는데 한계가 있을 뿐만 아니라 고도의 정밀성을 요하는 식각 장비가 필요하고 공정 제어성에도 문제가 있기 때문에^[6] 양산화가 어렵게 된다. 이러한 문제점을 극복하기 위하여 Chung, Allman 등^[7,8]은 SOG를 이용하여 평탄도를 개선하는 방법을 제안하였다.

본 논문에서는 이중배선구조를 갖는 Bipolar 집적 회로소자의 제조를 위해 SOG를 이용한 평탄화와 Al 힐록의 성장억제를 동시에 얻을 수 있는 이중 배선공정에 대해 연구하였다. 이 때 층간 절연막의 구조는 $\text{SiO}_2/\text{SOG}/\text{SiO}_2$ 의 3층 구조로 하였으며 이 SiO_2 막

은 PECVD법으로 증착하였다. 그리고 Al(1% Si, 0.5% Cu)이 금속배선 물질로 사용되었다. 이러한 방법으로 제작된 시험 소자를 이용하여 하층 금속선의 힐록성장 억제효과, 평탄도 특성, 층간 절연막의 유전체 항복전압과 누설전류 그리고 금속층들 사이의 접촉저항등을 조사하여 이중 배선공정이 양산화에 유용한 것인가를 조사하였다.

II. 실험

금속 층간절연막의 여러가지 특성을 조사하기 위하여 3가지의 시험소자를 제작하였다. 먼저 금속층들 사이의 접촉저항을 측정하기 위하여 string pattern을 설계하였다. 그림 1은 96개의 접촉창(via hole)을 직렬로 연결한 소자의 단면구조의 일부를 나타낸 것이다.

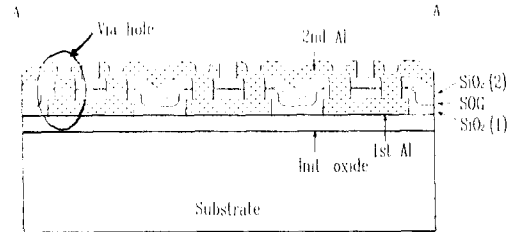
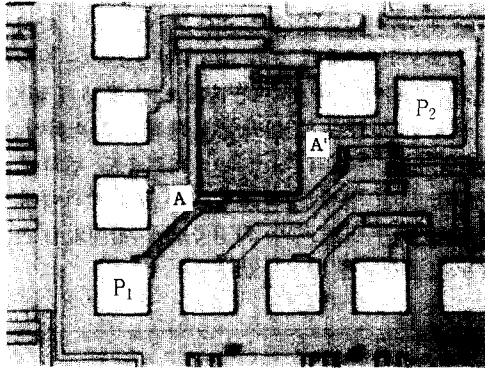


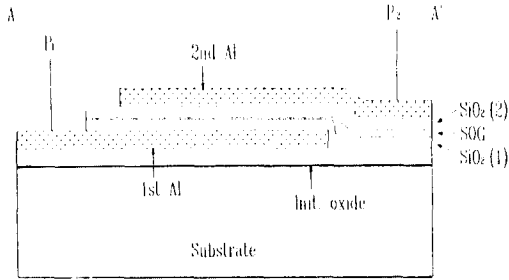
그림 1. 접촉저항을 측정하기 위한 소자의 단면구조
Fig. 1. Crosssectional structure of device for contact resistant measurement.

층간 절연막의 유전파괴 강도와 누설전류를 측정하기 위하여 그림 2와 같은 커패시터를 제조하였다. 이 커패시터의 면적은 $44.416 \mu\text{m}^2$ 이고 정렬오차와 상층 금속층의 측면식각을 고려하여 하층배선의 가장자리에서 2 m 바깥쪽으로 상층배선이 설계되었다. 여기서 금속 층간 절연막의 구조는 $\text{SiO}_2(1)/\text{SOG}/\text{SiO}_2(2)$ 의 3층구조가 되게 하였다. 금속 층간 절연막을 이렇게 한 이유는 SOG막의 두께가 7000Å 이상일 경우에는 균열이 잘 일어나며 또 SOG막이 배선 금속층을 부식시킬 수 있기 때문에 이러한 단점을 개선시키기 위함이다.^[9] 그리고 $\text{SiO}_2(1)$ 층과 $\text{SiO}_2(2)$ 층은 배선 재료인 알루미늄의 힐록을 억제하기 위하여 저온 공정인 PECVD법으로 SiO_2 를 증착하였다. 그림 3과 같은 시험소자를 제조하여 단차피복성(step coverage)과 평탄도를 주사현미경(SEM)을 이용하여 조사하였다.

그림 1, 그림 2 그리고 그림 3의 소자를 제조하기 위하여 저항율이 $2\sim 6\Omega\cdot\text{cm}$, 결정방향이 (100)인 P형 실리콘 기판을 사용하였다. 초기 세척후 습식 산화법으로 7000Å의 실리콘 산화막을 성장시켰다.



(a)



(b)

그림 2. 유전체 강도 측정을 위한 시험소자
(a)소자의 사진 (b)소자의 단면구조

Fig. 2. Test device for measurement of dielectric strength (a)Photograph of device (b)Cross sectional structure of device.

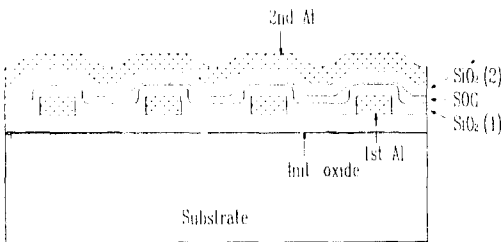


그림 3. 단차 피복성을 관찰하기 위한 소자의 단면 구조

Fig. 3. Cross sectional structure of test device for step coverage.

사진 식각공정으로 표면에 단차를 형성하고 Si(1%)+Cu(0.5%)+Al합금을 스퍼터링하여 하층 금속층을 1

μm 두께로 증착하고 사진식각공정으로 배선을 형성하였다. 그 위에 PECVD법으로 실리콘 산화막을 3000 Å 정도 증착시키고 430°C에서 수소분위기로 열처리를 하였다. 이 때 PECVD 공정 조건은 기판 온도를 300°C, 압력을 550mTorr, RF 전력을 60W로 하고, SiH₄ 유량을 400sccm, N₂O 유량을 1420sccm으로 고정하였다. 그리고 SOG막을 형성하기 위하여 3000rpm으로 회전 도포한 후 질소 분위기에서 400°C에서 30분 동안 경화시켰다.

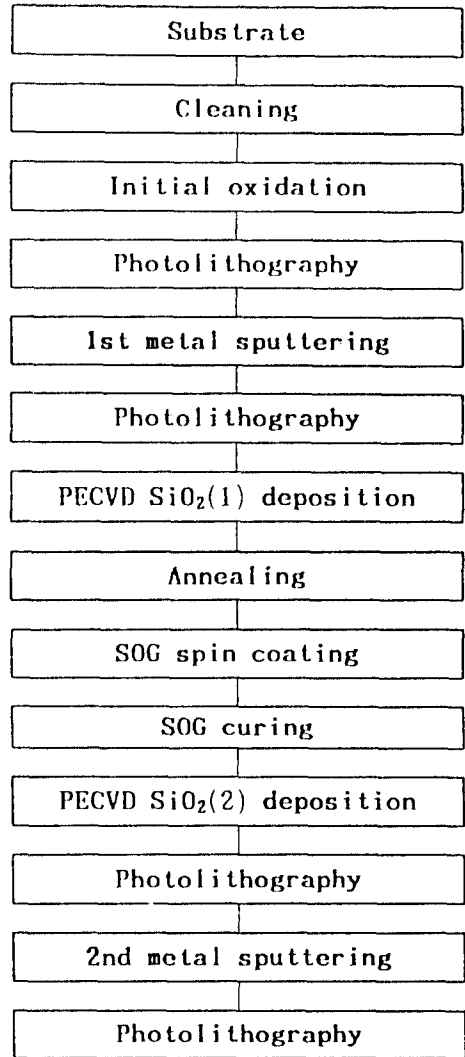


그림 4. 소자 제작 공정 순서도
Fig. 4. Device fabrication flow chart.

여기서 silicate SOG는 열적으로 안정하고 수분과 산소플라즈마에 대하여 강하지만, 신장응력이 커서 균열이 생기기 쉽기 때문에 본 연구에서는 신장응력이 비교적 낮고 두꺼운 박막을 형성할 수 있는 Siloxane SOG를 이용하였다. 그리고 경화공정 이후 PECVD법으로 다시 실리콘 산화막을 5000Å정도 증착시켰다. 이것은 SOG막위에 금속층을 바로 형성시킬 경우 SOG박막에서 outgassing이 발생하여 상층금속을 부식시킬 수 있기 때문에 추가된 공정이다. 접촉창을 형성하고 사진식각 공정에 있어서 건식 식각법만에 의한 접촉창 식각의 경우는 via poisoning현상이 유발되는 것으로 알려져 있다.^[9] 이를 해결하기 위해서 본 실험에서는 접촉창을 건식 식각법으로 일부 식각한 후 나머지를 습식 식각법으로 식각하였다. 이어서 알루미늄을 스퍼터링한 후 상층 금속 배선을 형성하여 소자를 제조하였다. 이 소자를 제조하는 공정순서를 그림 4에 나타내었다.

III. 결과 및 고찰

층간절연막에 사용된 SOG 박막은 층간 절연막을 형성함과 동시에 평탄도 특성을 개선하는 데 유용하다 그림 5는 회전속도에 따른 SOG박막의 두께의 변화를 보인 것이다 처음 1초 동안에 500rpm으로 천천히 기판을 회전시켜서 SOG를 기판의 표면에 골고루 도포한 다음, 다시 1000~5500rpm으로 20초 동안 회전 시킨 결과이다.

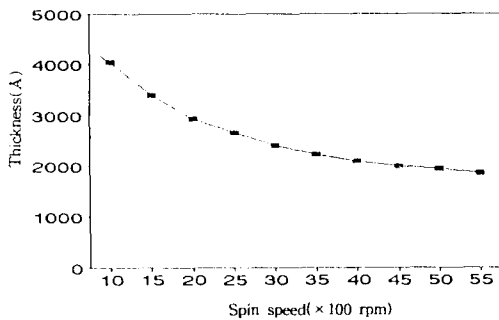


그림 5. 회전 속도에 따른 SOG박막의 두께
Fig. 5. Thickness of SOG films vs. spin speed.

그림 6은 그림 5에서 얻은 SOG박막에 대하여 경화공정을 거친후 SOG막의 두께변화를 나타낸 것이다. 이 때 경화는 400℃에서 30분 동안 행했다. 공정후의 두께 감소율은 10%정도로 거의 일정하게 나타났으며, 두께의 감소율은 회전속도에 무관함을 알 수

있다. 경화공정을 거치는 동안 SOG는 탈수에 의한 Si(OH)₄의 응축반응으로 SiO₂가 형성되며 막이 완전히 경화되었을 때는 강한 Si-O 망상조직을 형성한다. 이 때 SOG박막 내에 포함되어 있던 용제가 휘발하므로 완전히 경화된 SOG박막은 체적이 감소하게 된다.^[10,11] 또한 두께의 감소율이 회전속도 변화에 대해 일정한 것을 볼때 경화공정전의 SOG박막내에 존재하는 용제는 도포시의 회전속도에 관계없이 일정한 비율로 존재함을 알 수 있다.

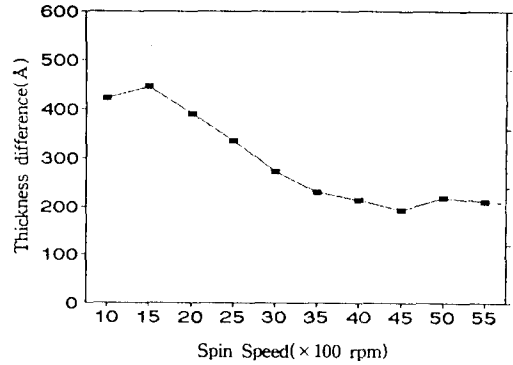


그림 6. 경화에 따른 SOG박막의 두께 변화
Fig. 6. SOG film thickness variation after curing.

SOG 박막의 식각율은 접촉창을 형성하는 사진식각 공정중에서 중요한 요소이다. 그림 7은 경화공정전과 후의 SOG박막의 시간에 따른 식각율을 나타낸 것이다.

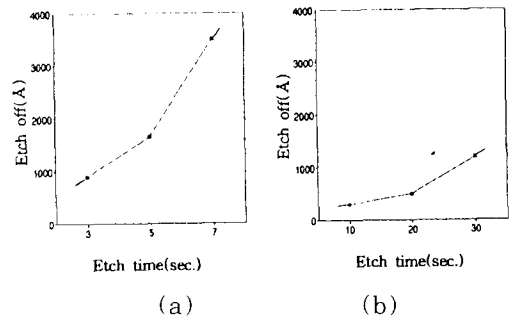


그림 7. 경화 공정 전과 후의 SOG박막의 시간에 따른 식각량 (a)경화 공정 전 (b)경화 공정 후
Fig. 7. Etch off quantity for before and after curing of SOG film. (a)before curing (b)after curing.

경화공정후의 SOG박막의 초기 식각율이 50Å/sec. 정

도로서 경화공정 이전의 SOG박막의 식각율이 1500Å/sec. 정도인데 비하여 매우 느리게 되고 점차 열산화막의 식각율에 근접함을 볼 수 있다. 따라서 경화 공정 동안 SOG박막이 열산화막화 되어 감을 알 수 있다. 또한 식각이 진행됨에 따라 SOG 박막의 식각율이 높아 지는 것을 나타내고 있는데, 이는 막의 표면에서 깊이 방향으로 갈수록 용제의 휘발정도가 적기 때문에 실리콘 열산화막화로 되어가는 정도가 다르기 때문이다.

그림 8은 SOG를 회전 도포한 후 질소분위기에서 30분 동안 경화했을 때, 각각의 경화온도에 따른 SOG박막의 FTIR스펙트럼이다. 경화 공정전의 SOG 박막의 경우 파수가 896 및 1283cm⁻¹인 곳과 3434cm⁻¹인 곳에서 각각 Si-CH₃결합과 O-H결합(H₂O)의 peak가 관찰되었다. 경화온도가 증가할 수록 파수가 896cm⁻¹인 곳에 있는 Si-CH₃ peak(stretching)와 O-H 피크의 크기가 감소하였지만, 파수가 1283cm⁻¹인 곳에 있는 Si-CH₃ 피크(bending)의 크기는 변하지 않았다. 또한 회전 도포후 경화 공정전의 SOG 박막에서는 볼 수 없었던 피크가 1050cm⁻¹ 부근에서 나타나는데 이는 Si-O-CH₃ 피크(stretching) 결합과 O-H 결합이 열 에너지를 받아 분해되어 새로운 Si-O-CH₃결합을 형성하는 것으로 생각된다.

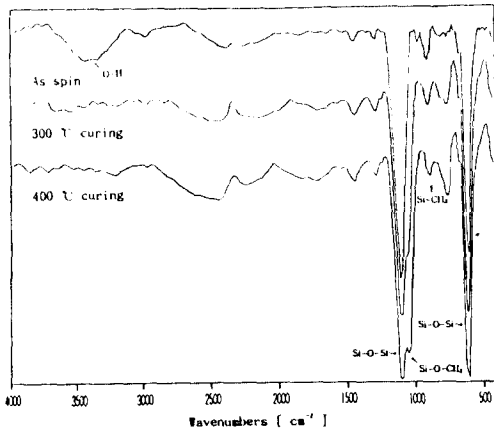


그림 8. 경화 온도에 따른 SOG박막의 FTIR 스펙트럼

Fig. 8. FTIR spectrum of SOG film for curing temperature.

그림 9는 제작된 시험 커패시터 소자의 금속 층간 절연막의 절연파괴 강도를 곡선 추적기 (370 curve tracer, Wiltron)를 이용하여 측정된 결과이다. 절연막이 파괴되기 전과 절연막이 파괴된 후의 전류 대 전압 파형을 시간을 두고 촬영한 것이다. 이 때 3층 구조의 층간 절연막의 절연 파괴 강도는 $4.5 \times 10^6 \sim 7$

$\times 10^6$ V/cm 정도로 이론적인 열산화막의 절연 파괴 강도 $6 \times 10^6 \sim 1 \times 10^7$ V/cm보다 낮게 나타났다. 이는 알루미늄이 열처리 공정을 거치면서 하층 배선에서 미소한 Alhil록이 발생했기 때문이다. 이러한 hil록들은 그림 2(a)에서처럼 Al배선에서 점으로 나타난 것이다. 즉 열처리 공정 동안 발생한 미소한 Al hil록에 의해 하층 배선위의 층간 절연막의 실질적인 두께가 감소했기 때문으로 여겨진다.

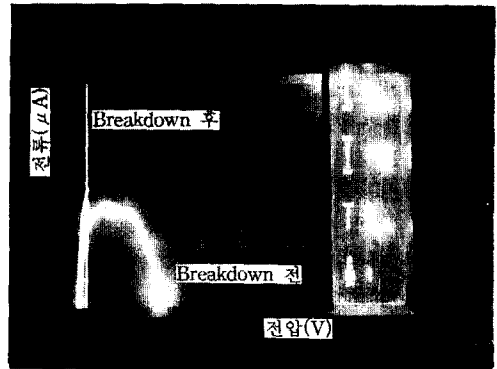


그림 9. 층간 절연막의 파괴 강도

Fig. 9. Dielectric strength of intermetallic insulation layer.

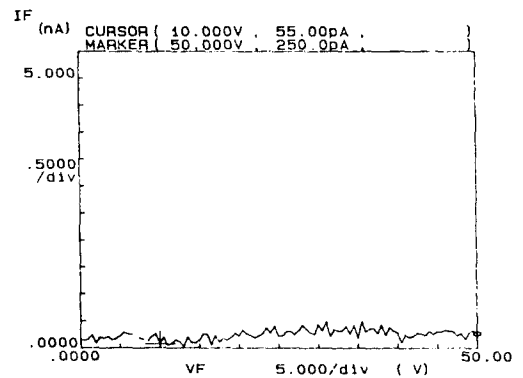


그림 10. 층간 절연막의 누설 전류밀도

Fig. 10. Leakage current density of intermetallic insulation layer.

Al hil록은 일반적으로 150℃ 이상의 온도에서 열처리 될때 추가적으로 성장하게 되므로 피할 수 없는 결함이다.^[12] 통상 1μm 두께의 층간 절연막을 상압 CVD로 형성할 경우 2μm 이상의 높이를 갖는 Al hil록이 발생된다는 연구 보고^[13,14]가 있다. 이러한 hil록의 영향을 감소시키기 위한 방법으로는 그 다음 공

정에서 온도를 낮게 하는 것이 필수적이며 그외에도 소량의 구리 또는 실리콘이 함유된 합금 알루미늄을 사용하는 방법, As' 혹은 B' 등의 불순물 이온을 알루미늄 표면에 주입하는 방법, 하층 알루미늄층을 열처리하기 전에 실리콘산화막 혹은 질화막등의 치밀한 구조의 박막을 형성하여 힐록의 성장을 억누르는 방법¹¹⁵⁾ 등 여러가지가 있다.

그림 10은 층간 절연막의 통하여 흐르는 누설전류를 나타낸 것이다. 이 절연막을 통하여 흐르는 누설 전류밀도는 절연막 양단에 $1 \times 10^6 \text{V/cm}$ 가 인가 되었을 때 $1 \times 10^7 \sim 1 \times 10^8 \text{A/cm}^2$ 정도였으며 양호한 특성을 나타내었다.

그림 1의 String pattern을 이용하여 측정된 금속층들 간의 접촉저항은 $40 \sim 100 \text{m}\Omega/\text{V.H.}$ 이었다. 이때 V.H.는 1개의 접촉 개구창을 나타낸다. 그림 11은 전류 전압 계측기(HP4145, Hewlett Packard)에 의해 측정된 접촉개구창의 전류-전압 특성 결과이다. 이로부터 구한 접촉 저항은 96개의 접촉창에 대한 값이다. 또한 이 값은 알루미늄 자체의 내부저항을 포함한 값이므로 실제 접촉 저항은 이보다 작은 값이다. 그러므로 층간 절연막으로 SOG를 이용할 경우 Al을 전극으로 이용하는데 큰 문제가 없음을 확인할 수 있다.

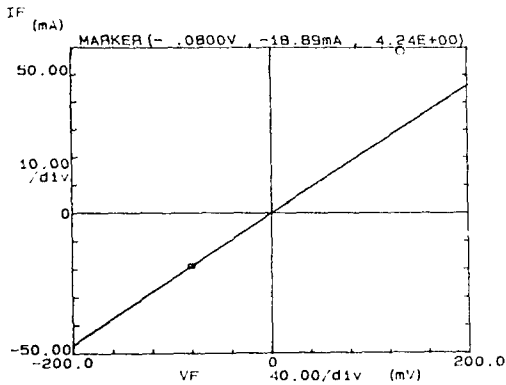
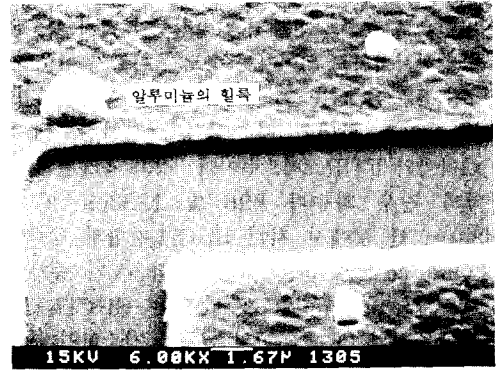


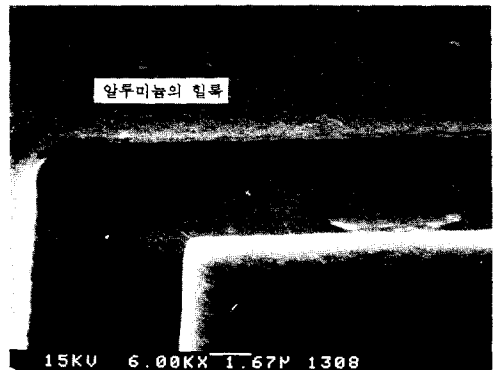
그림 11. 직렬 접촉창의 I-V 특성
Fig. 11. I-V characteristics of via hole string.

그림 12는 CVD SiO₂/SOG/CVD SiO₂ 구조의 층간 절연막의 형성을 위한 CVD 방법 중, APCVD와 PECVD법으로 각각 형성한 경우에 하층 금속층에 발생한 Al 힐록상태를 보인 주사형 전자 현미경 사진이다. 실리콘 산화막을 형성하는 동안 상압 CVD를 이용한 경우보다 하층 금속층에 열 에너지를 적게 주는 PECVD를 이용한 경우가 양호한 Al 힐록 상태를 나타내었다. 그러므로 CVD SiO₂/SOG/CVD SiO₂ 구조의 층간 절연막을 형성할 때 저온 공정인

PECVD법으로 CVD SiO₂막을 증착할 경우 Al 힐록을 줄일 수 있을 뿐만아니라 SOG막으로부터 발생 하는 out-gassing효과를 줄일 수 있으므로 PECVD법의 이용이 유용함을 알 수 있다.



(a)



(b)

그림 12. 최종 공정 완료 후의 힐록을 보인 주사형 전자 현미경 사진

(a)상압 CVD (b)PECVD

Fig. 12. SEM photograph of hillock after final thermal treatment.

(a)APCVD (b)PECVD.

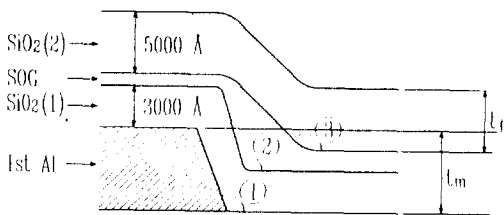
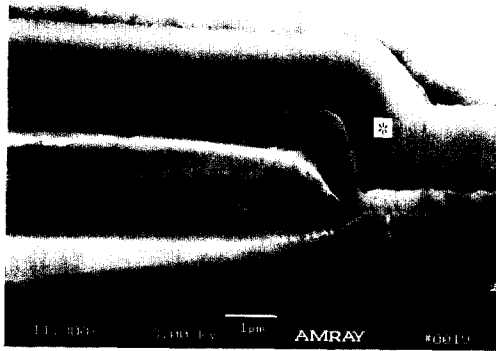
이중 배선의 신뢰도를 좌우하는 요소는 하층 배선에 대한 층간 절연막의 평탄도이다. 본 실험에서 사용된 SiO₂(1)/SOG/SiO₂(2)의 3층 구조를 갖은 층간 절연막의 하층배선에 대한 평탄도 특성을 측정하였다. 표 1은 연결침의 크기가 $12 \times 12 \mu\text{m}^2$ 이고, 하층 배선의 선간 폭이 $8 \mu\text{m}$ 일 때 각 부분에서 형성된 절

연막의 두께를 나타낸 것이다. 이 때 평탄도는 $(1 - t_p/t_m) \times 100(\%)$ 로 정의되었다. 이 때 금속 층간 절연막의 평탄도(degree of planarization)는 약 40%정도로 나타났다.

표 1. 연결창의 크기와 각 부분에서의 층간 절연막의 두께

Table 1. Via hole size and thickness of intermetallic insulation layer at etch area.

Via hole size(μm^2)	$t_m(\text{\AA})$	$t_p(\text{\AA})$	평탄도(%)
12×12	10000	7003	40



- ① 배선 형성 후 Angle = 110°
- ② PECVD SiO₂ 형성 후 Angle = 106°
- ③ SOG 막 형성 후 Angle = 135°
- ②에 대한 ③의 각도 개선 = 약 30°

그림 13. 평탄도를 보인 주사형 전자 현미경 사진
Fig. 13. SEM photograph of degree of planarization.

그림 13은 평탄도 특성을 보여주는 주사형 전자 현미경 사진이다. 단차 피복 특성은 그림 13에 보인 것과 같이 회전 도포법의 SOG를 사용하지 않았을 때에 비하여 SOG를 사용하면 그 각도가 30° 정도 개선됨을 알 수 있다. 이와 같이 화학 기상 증착법에 의하여 형성된 실리콘 산화막은 단차 피복특성을 개선할 수 없지만 SOG를 이용한 경우에는 양호한 단차 피복 특성을 나타내었다.

IV. 결론

본 실험에서는 PECVD법으로 저온의 실리콘 산화막을 형성한 뒤에 SOG를 회전 도포하고 경화시켜 평탄도 특성을 개선하였다. SOG막막이 금속층과 직접 접촉하는 것을 방지하기 위하여 PECVD법으로 실리콘 산화막을 형성하여 SiO₂/SOG/SiO₂의 3층 구조로 총 1 μm 의 두께를 갖는 층간 절연막을 형성하였다. 이와같은 3층 구조의 층간 절연막을 이용하여 이중 배선 실험을 하고 힐록 억제 효과, 평탄도 특성 그리고 전기적 특성을 조사함으로써 양산화의 유용성을 평가 하였다.

상압 CVD혹은 LPCVD법에서는 열 분해 온도가 350°C 이상이므로 실리콘 산화막을 형성하는 동안에 힐록이 더 크게 성장하였다. 반면에 저온 공정인 PECVD법에 의해 실리콘 산화막을 형성한 경우에 하층 배선의 힐록의 성장이 억제되는 것을 관찰할 수 있었다. PECVD법으로는 300°C 이하의 저온에서 양질의 실리콘 산화막을 형성할 수 있으나 상압 CVD혹은 LPCVD의 경우와 같이 실리콘 산화막의 단차 피복특성이 나빴다. PECVD방법으로 형성한 실리콘 산화막위에 siloxane SOG를 회전 도포하면 별도 공정의 추가 없이 실리콘 산화막을 형성함과 동시에 우수한 평탄 특성을 얻을 수 있었다. 그 평탄 특성의 정도는 일반적인 화학 증착법에 비해 40%가 개선되었고, 단차 피복성은 화학 증착법에 비해 각도가 30° 가 개선되었다. 따라서 종래의 층간 절연막을 형성하는 방법인 etch-back법은 고도의 설비와 공정 제어의 문제가 있으나, SOG를 사용하면 상대적으로 공정과 설비가 간편하게 되고 생산 수율의 향상을 기대할 수 있다.

이중 배선 공정을 거쳐서 제작된 시험소자의 전기적 특성을 측정된 결과 접촉장에서 금속 층간의 접촉 저항은 $40\text{--}100\text{m}\Omega/\text{V.H.}$ 으로 양호하였다. 그리고 3층 구조로 된 층간 절연막의 누설전류는 층간절연막 양단에 $1 \times 10^5 \text{V/cm}$ 의 전장이 인가 되었을 때 $1 \times 10^{-7} \sim 1 \times 10^{-6} \text{A/cm}^2$ 이었고, 항복전압은 $4.5 \times 10^6 \sim 7 \times$

10^6 V/cm였다. 이 항복전압은 열 산화의 이론적인 값인 $6 \times 10^6 \sim 1 \times 10^7$ V/cm보다 조금 낮지만 층간 절연막이 가져야 할 항복 전압 수준은 충분히 만족하는 값이다. 값이 낮은 이유는 열처리 공정을 비롯한 후속 공정에서 발생하여 성장하는 힐록의 높이 때문에 층간 절연막의 실질적의 실질적인 두께가 다소 감소했기 때문이라고 생각된다.

이상의 결과를 볼때 PECVD와 SOG를 사용한 $\text{SiO}_2/\text{SOG}/\text{SiO}_2$ 의 3층구조의 실리콘 산화막은 이중 배선을 위한 알루미늄 급속 증간 절연막으로서 하층 알루미늄의 힐록 성장이 억제되고 평탄 특성이 개선될 뿐만 아니라 공정 및 설비가 간편한 장점이 있다. 따라서 이 방법은 이중배선을 갖는 반도체 집적 회로 소자의 대량생산에 유용한 기술이다.

參考文獻

- [1] P. B. Chate, "Multilevel interconnection technology", I.E.D.N., pp. 126~129, 1983.
- [2] 壓子 房次 外 3, "半導體用 Polyimid 係 樹脂의 最新 動向", 月刊 Semiconductor World, pp. 55~60, March., 1986.
- [3] Subramanians, Iyer, and Chung-Yu Ting, "Electromigration lifetime studies of submicrometer-line width Al-Cu conductors", *IEEE Trans. on Electron Devices*, ED-31, pp. 1468~1471, 1982.
- [4] 井上 森雄, "ETCHBACK 法による 平坦化 技術", 月刊 Semiconductor World, pp. 134~137, Oct., 1984.
- [5] D. S. Herman, M. A. Schuster, and R. M. Gerber, "Hillock growth on vacuum deposited Aluminum films", *The Journal of Vacuum Science and Technology*, vol 9, No. 1, pp. 515~519, 1982.
- [6] N. Yoda and H. Hiramoto, "New photosensitive high temperature polymers for electric applications", *J. Macromol. Sci-Chem*, A21, pp. 1641~1663, 1984.
- [7] H.W.M. Chung et al, "Fabrication of CMOS circuits using non-etchback SOG processing for dielectric planarization", Proc. of 6th VMIC Conference, pp. 373, 1989.
- [8] D.D.J. Allman et al, "The material characteristics of a new Methyl-Phenyl Silsesquioxane SOG for use in a global non-etchback interconnection planarization process", Proc. of 7th VMIC Conference, pp.373, 1991.
- [9] J.Hopkins, T.A. Baldwin, and S.K. Gupta, "Characterization of some newly developed SOG materials for use in dielectric planarization processes", Electrochemical Society Meeting, Los Angeles, pp.30~32, 1989.
- [10] H. Kojima, T. Iwamori, T. Yamashita, and Y. Yatsuda, "Planarization process using a multi-coating of spin-on-galss", IEEE, V-MIC, pp. 390~ 396, June, 1988.
- [11] Masato Kawami, Kenzo Matsuda, Kazumi Miki, and Keizo Sakiyama, "Interlayered dielectric planarization with TEOS-CVD and SOG", IEEE, V-MIC, pp. 419~425, 1988.
- [12] J. L. Vossen, G. L. Schnable, and W. Kern, "Process for multilevel metalization", *J. Vac. Sci. Technol.* Vol. 11, No. 1, pp. 60~70, 1974.
- [13] Albert F. Puttlitz, James G. Ryan, and Timothy D. Sullivan, "Semiconductor Interlevel Shorts Caused by hillock formation in Al-Cu metalization", *IEEE Tran. on components, Hybrids, Technology*, Vol. 12, No. 4, pp. 619~626, 1989.
- [14] Awatar Singh, "A simple technique for eliminating hillocks in intergrated circuit metallization", *J. Vac. Sci.*, B3 (3), pp. 923, 1985.
- [15] Yagrio, Kamei, Mashiro Kamedo and Haruo, Nakayama, "Ion implanted double level metal process", I.E.D.N., pp. 138~139, 1984.

著者紹介



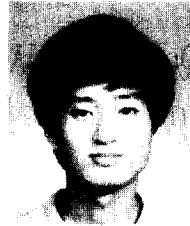
白鍾武(正會員)

1961年 5月 25日生. 1984年 2月 경북대학교 전자공학과 졸업. 1993年 8월 경북대학교 대학원 전자공학과 졸업(공학석사). 1994年 3월 현재 동대학원 박사과정 재학. 1985年 8월 현재 한국전자주식회사 종합연구소 근무. 주관심 분야는 통신용 고주파 및 고속 집적회로소자개발, 반도체 소자구조 및 공정기술개발, 신뢰성, 절연막재료분야 등임.



李龍洙(正會員)

1962年 8월 15日生. 1985年 2월 경북대학교 전자공학과 졸업. 1988年 2월 경북대학교 대학원 전자공학과 졸업(공학석사). 1992年 8월 동대학원 박사과정 수료. 주관심 분야는 반도체 제조공정, 화합물 반도체소자 등임.



鄭永哲(正會員)

1964年 4월 16日生. 1988年 2월 경북대학교 전자공학과 졸업. 1990年 2월 경북대학교 대학원 전자공학과 졸업(공학석사). 1990年 3월 ~ 현재 동대학원 박사과정 재학. 주관심 분야는 반도체 제조공정, HBT, 화합물 반도체 등임.



李龍鎡(正會員)

1946年 3월 17日生. 1991年 2월 충남대학교 대학원 전자공학과 공학박사. 1979年 ~ 현재 경북대학교 공과대학 전자공학과 교수. 주관심 분야는 반도체 재료, 반도체 제조공정, CVD, RTP, Plasma 응용기술 등임.