

論文94-31A-7-9

LSI급 소자 제작을 위한 3인치 GaAs MBE 에피택셜 기판의 균일도 특성 연구

(A Study on Characteristics of Si doped 3 inch GaAs Epitaxial Layer Grown by MBE for LSI Application)

李載珍*, 李海權*, 孟盛在*, 金補佑*, 朴亨戊*, 朴晨鍾*

(Jae Jin Lee, Hae Gwon Lee, Sung Jae Maeng, Bo Woo Kim,
Hyung Moo Park and Sin Chong Park)

要約

LSI급 GaAs 화합물 반도체소자 제작용 3인치 GaAs 에피택셜 기판을 MBE로 성장하였다. GaAs 기판의 온도를 600°C로하고 성장율을 1 $\mu\text{m}/\text{h}$ 로 하였을 때 GaAs 에피택셜 기판의 표면 결함수는 50cm^{-2} , shadow 마스크에 의한 두께 균일도는 3.97%, Hall 효과 측정에 의한 캐리어의 농도 균일도는 4.74%, TLM pattern으로부터 R_s 값의 균일도는 3.5%. 무 게이트 MESFET를 제작하여 측정한 I_{dss} 균일도는 4.5%를 각각 보였으며, MESFET의 문턱 전압의 변화 폭은 9.2%를 보였다.

Abstract

The characteristics of 3 inch wafer scale GaAs epitaxial wafer grown by molecular beam epitaxy for LSI process application were studied. The thickness and doping uniformity are characterized and discussed. The growth temperature and growth rate were 600°C by pyrometer, and 1 $\mu\text{m}/\text{h}$, respectively. It was found that thickness and doping uniformity were 3.97% and 4.74%, respectively across the full 3 inch diameter GaAs epitaxial layer. Also, ungated MESFETs have been fabricated and saturation current measurement showed 4.5% uniformity on 3 inch. epitaxial layer, but uniformity of threshold voltage increase up to 9.2% after recess process for MESFET device.

1. 서론

정보화 시대가 도래하면서 정보통신의 수요가 대폭적으로 증대됐고 이에 수반하는 회로 및 소자 개발의

필요성이 크게 대두되었다. GaAs 반도체는 이러한 요구에 부응하는 고전자 이동도를 가지며 기판이나 에피택셜층이 고 저항 특성을 가지므로 마이크로 웨이브용 소자의 제조에 유리한 물질로 알려져 온 이래 통신 주파수의 고주파화 함에 따른 저잡음 증폭기^{1,2)}, 오실레이터³⁾, 주파수 분주기⁴⁾, 혼합기⁵⁾ 및 전력 소자^{6,7)} 등으로 응용을 위한 연구가 진행 중이며 이러한 마이크로파 영역의 트랜지스터는 상품화되어 있다. 이에 따라 집적도의 향상은 소자의 생산비와 직결되어 수율과 더불어 시장성의 측면에서 중요한 기술로

*正會員, 韓國電子通信研究所 半導體研究團
(Semiconductor Tech. Div., ETRI)

※ 본논문은 93년도 체신부의 연구비 지원에 의한 결과임.

接受日字 : 1993年 11月 4日

부상됐다. 특히 LSI(Large Scale Integration)급의 이온주입에 의한 GaAs 집적회로가 상품화 되면서 화합물 반도체의 집적도 연구는 큰 관심을 집중시키고 있다.

집적도를 높일 수 있는 재료측면의 요소인 기판내 활성층의 표면 morphology, 도핑 균일도 및 두께 균일도 등은 소자 문턱전압의 변화폭과 수율을 결정하는 집적회로 제작의 핵심기술이다.

화합물 반도체 소자의 활성층 제작 방법은 이온주입과 에피택셜 성장이다. 이중 MBE에 의한 에피택셜 성장기술은 제어성과 재현성의 장점 때문에 많은 연구가 집중되어 에피택셜 기판 자체의 상품화는 이미 이루어져 있다. 그러나 아직도 에피택셜 기판에서 웨이퍼 스케일의 특성 연구는 아주 미미한 실정이다.

본 논문에서는 MBE 방법에 의하여 3인치 GaAs 기판 위에 에피택셜층을 성장하여 웨이퍼 스케일의 두께 균일도를 조사하고, Si을 n형 불순물로 하여 도핑된 성장 층의 도핑 균일도를 Hall 효과 측정과 무게이트 MESFET를 제작하여 Idss(Saturation Current)를 측정 비교하였고, 이동도의 균일도와 TLM(Transmission Line Method)패턴에 의한 면저항의 균일도를 비교하여 기판의 집적회로 제작에의 적용 가능성을 알아 보았다.

II. 실험 방법

시료는 MBE (RIBER model 45) 장비를 이용하여 반절연성 3인치 (100) GaAs 기판에 성장하였다. 기판은 MBE 장비에 장입전 세척과정을 거치지 않고, N₂ 분위기하에 포장된 상태를 개봉하여 그대로 장입하였다.

표 1. 시료 성장 조건

Table 1. MBE growth conditions of specimen.

구분	성장조건
. 성장전 챔버압력	2 X 10 ⁻¹⁰ Torr
. 성장중 챔버압력	1.3 X 10 ⁻⁷ Torr
. 기판온도	600 °C(pyrometer)
. V/III flux ratio	43
. 성장율	1 μm/h
. 기판회전	15 rpm

장입실에 넣은 시료는 다시 5 X 10⁻¹⁰ Torr 이하의 진공으로 유지되어 있는 처리실에서 약 200°C로 30분간 가열하여 기판에 흡착된 물을 제거한 후 성장실

로 이송하여 다시 열처리를 하였다. 성장실의 열처리 는 기판 표면에 7X10⁻⁶ Torr의 As₄를 입사 시키면서 pyrometer(IRCON model plus V)로 측정하여 600°C 까지 가열하여 산화막을 제거하고 표면을 재구성(reconstruction)한 후 약 1μm/h의 성장율을 유지하면서 GaAs의 에피택셜 층을 표 1에 나타낸 조건으로 성장시켰다.

두께 균일도를 측정하기 위한 시료는 성장전 기판에 0.05 mm의 Ta 호일을 5mm 너이로 major flat에 대하여 중앙의 평행한 방향을 가린 후 그 위에 성장하였다. Hall 효과 측정 시료는 표면의 공핍층의 두께를 고려하여 1μm 를 성장하였고 Si을 2 x 10¹⁷cm⁻³ 정도로 도핑하였다. 성장후 시료는 5mm x 5mm의 크기로 잘라서 173개의 van der Pauw 방법의 구조로 Au-Ge을 증착한 후 5,000 Gauss의 자기장을 인가하여 실온에서 측정하였다.

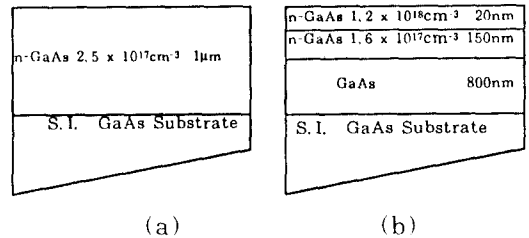


그림 1. 시료 구조 a)Hall 효과 측정용, b)TLM 패턴과 Idss 전류 측정용

Fig. 1. Sample structures for a)Hall, b)TLM pattern and Idss current measurement.

TLM과 Idss 측정을 위한 시료의 구조는 그림 1과 같이 3인치 GaAs 기판 위에 약 800 nm 의 undoped GaAs 완충층을 성장하고 그 위에 150 nm 의 활성층을 형성하면서 n형 불순물로 Si를 도핑하고 저항성접촉을 위한 캡(cap)층인 GaAs 를 20nm 성장하였다. TLM 패턴과 무게이트 MES-FET를 제작하기 위하여 그림2와 같은 순서로 i-line 스테퍼(GCA model TM200)와 전자선 빔 증착에 의하여 공정을 하였다.

소자간 분리를 위한 에칭은 암모늄계 에칭 용액을 사용하였고, 저항성접촉을 위한 금속은 Ni/Ge/-Au/Ni/Ti/Au 이었으며 10/60/120/30/10/100 nm 의 두께로 하여 금속 열처리 방법으로 400°C에서 20초간 합금화 하였다. MESFET를 제작하기 위해서는 20 nm의 캡 층을 황산계 에칭용액인 H₂SO₄:H₂O₂:H₂O=1:1:5를 이용 에칭을 한 후 Ti/Pt/Au를

10/100/200 nm 두께로 전자선 빔 증착을 하였다.

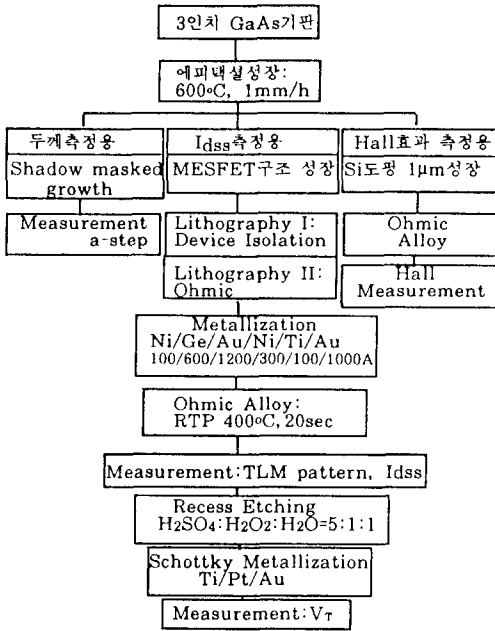


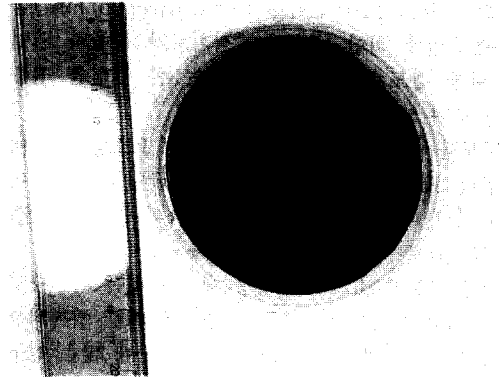
그림 2. 시료를 측정하기 위한 제작 공정 흐름도
Fig. 2. Process flow of sample measurement.

III. 결과 및 토의

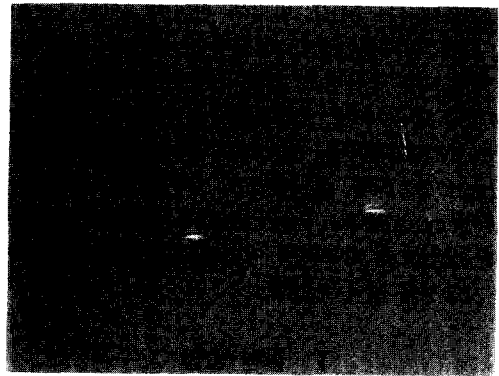
1. 표면 morphology 및 두께 균일도

성장된 3인치 GaAs 에피택실층의 표면 morphology는 사진 1과 같다. 사진에서 웨이퍼의 가장 자리에 에피층이 형성되어 스텝이 있는 것을 확인할 수 있다. 결함은 일반적으로 MBE 성장 시료에서 나타나는 1µm 이상 크기의 oval 결함을 세었다. 표면 관찰은 광학현미경으로 웨이퍼의 major flat을 중심으로 하여 웨이퍼마다 동일한 부분을 1,000배의 배율로 하였고 관찰 표면은 현미경에 부착된 마이크로미터로 X-Y 축을 조정하였으며, 동시에 연결된 CRT모니터로 관찰하였다.

그림 3에는 연속적으로 9개의 1µm 두께 GaAs 에피택실층을 성장하여 표면을 관찰하였을 때 얻은 결함의 수를 나타낸 것으로 그 수의 증감이 단위 면적당 50개의 범위에서 변하고 있음을 알 수 있다. LSI 급 집적도에서 트랜지스터의 수는 5만개, 트랜지스터 1개의 게이트 면적은 디자인 룰 1µm x 10µm 일 때 전체 게이트 면적은 5 x 10⁵ µm²으로 면적 대비 트랜지스터 100개 중에 1개가 결함에 위치한다.



(a)



(b)

사진 1. (a)MBE로 성장한 3인치 GaAs 에피택실층의 표면 (b)성장표면의 oval 결함

Photo 1. (a)The surface of 3 inch GaAs epitaxial layer on GaAs substrate grown by MBE (b)Oval defects on GaAs epitaxial layer.

두께의 균일도는 성장전 3인치 GaAs 기판에 Ta 호일로 shadow 마스크를 하고 15 rpm으로 회전하면서 4.4 µm 를 성장하고 스텝 부분을 α-step으로 웨이퍼의 major flat에 대하여 중앙의 평행한 방향을 약 6mm 간격으로 12 점을 측정하였다. 측정 결과 그림 4에 보인 바와 같이 평균 값은 4.42 µm, 표준편차 0.18로 3.97%의 두께 균일도를 보였다.

이 균일도는 일반적으로 GaAs MESFET에서 이용되는 활성층의 두께가 200nm 이라고 할 때 +/- 2nm을 제어할 수 있다. MESFET에서 문턱 전압 V_T는 V_T = V_{bi} - V_{po}로 주어지고, pinch off 전압

V_{po} 는 $V_{po} = qN_D d^2/2.e$ 으로 주어진다.⁸⁾ 여기에서 V_{bi} 는 Schottky장벽의 형성전압, e 은 GaAs의 유전율, N_D 는 전도채널의 유효 도너 농도이다. N_D 가 $2 \times 10^{17} \text{cm}^{-3}$ 이고 활성층의 두께 d 가 150-200 nm 사이일때 문턱전압의 변화는 -2.7V에서 -5.3V까지 변한다.

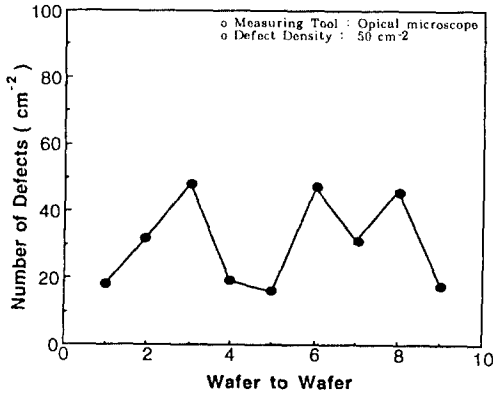


그림 3. 웨이퍼간 에피택셜층의 단위면적당 결함 수
Fig. 3. Defect density chart of GaAs epitaxial wafer to wafer.

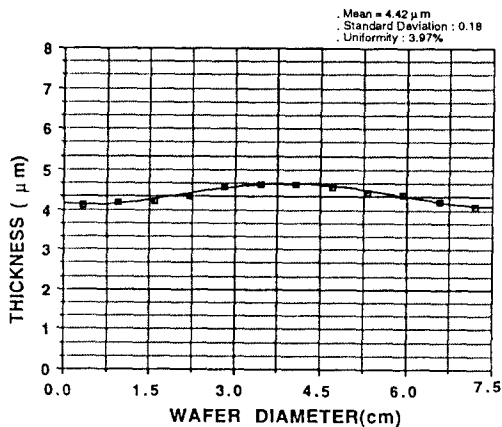


그림 4. 3인치 GaAs MBE 에피택셜 층의 두께 균일도
Fig. 4. Thickness uniformity of 3 inch GaAs epitaxial layer.

이러한 관계를 고려하면 제어 범위인 ± 2 nm에 해당하는 소자의 문턱전압은 ± 52 mV의 변화를 가져오므로 일반적인 LSI급 회로에서 허용하는 임계전압이 $120 \text{mV}^{9,10)}$ 라 할 때 제작된 시료의 두께 균일도는 이의 요구조건을 만족한다.

2. 도핑균일도

기판의 온도 600°C , 성장율을 $1 \mu\text{m/h}$ 로 그림 1과 같은 구조의 시료를 제작하여 van der Pauw 방법으로 5,000 Gauss를 인가하고 실온에서 Hall 효과를 측정하였다. Hall효과 측정에서 전극은 Au-Ge을 진공 증착하여 3인치 에피택셜 기판을 $5 \text{mm} \times 5 \text{mm}$ 로 잘라서 각 시료의 네모퉁이에 삼각형 모양으로 형성하였으며 각 전극의 크기는 시료의 모서리에서 한변의 길이가 각각 0.5mm 이다.

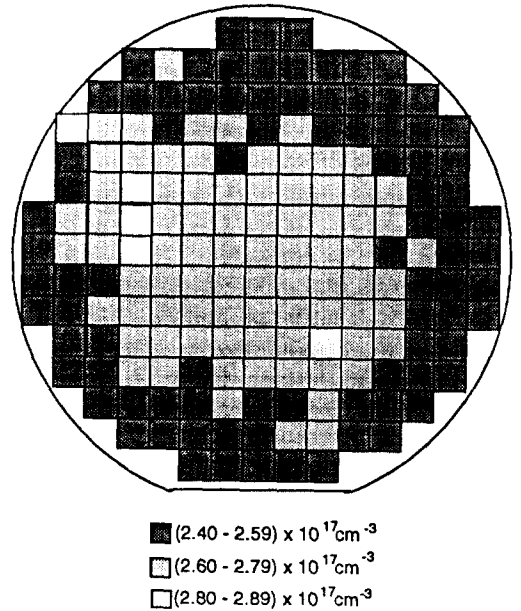


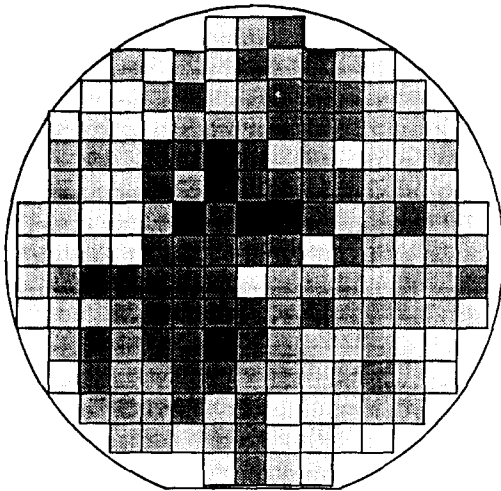
그림 5. Hall 효과 측정에 의한 GaAs 에피택셜층의 농도 균일도

Fig. 5. Carrier concentration uniformity of MBE grown GaAs epitaxial layer measured by Hall effect.

Hall 효과 측정 결과 캐리어 농도의 균일도를 나타낸 결과가 그림 5이고 이동도의 균일도를 나타낸 것이 그림 6이다. 캐리어 농도의 평균값은 $2.58 \times 10^{17} \text{cm}^{-3}$, 농도의 균일도는 4.74%이며 이동도의 평균값은 $3.300 \text{cm}^2/\text{V}\cdot\text{sec}$, 이동도의 균일도는 5.62%를 각각 나타내었다. 여기에서 농도의 균일도와 이동도의 균일도는 약 16%의 차이를 나타내고 있다.

Hall 효과 측정에서 시료 구조에 따른 형태에 의한 효과는 Chwang¹¹⁾ 등이 제시한 바에 의하면 시료의 한변의 길이에 대한 전극의 한변 길이의 비는 0.10으로 저항율의 보정인자는 1.003으로 형태에 의한 균일도에 미치는 효과는 단지 0.3%이다. 따라서

캐리어의 농도 균일도 4.74%는 타당한 값을 알 수 있다. 그러나 같은 차원의 삼각형 전극에서 Hall각을 q 라하고 시료의 x, y 방향의 전기장의 세기를 각각 E_x, E_y 라 할 때 Hall 전압 보정은 $\tan q = -E_y/E_x$ 에서 μB 로 주어지므로 본 실험의 경우 이동도 μ 의 평균은 $3,300 \text{ cm}^2/\text{V}\cdot\text{sec}$ 이고 자기장 B 는 $5,000 \text{ gauss}$ 이므로 $\tan q = 0.165$ 임을 알 수 있다. 이 값은 Chwang 등이 제시한 Hall 각과 Hall보정 인자의 관계표에서 1.07~1.08에 해당 한다. 따라서 삼각형 전극을 갖는 시료에서 이동도는 시료의 형태에 의한 효과가 7~8%의 영향을 미치게 되므로 이동도의 균일도는 농도의 균일도 보다 더욱 큰 변화 폭을 가진다.



- $(3.50-3.55) \times 10^3 \text{ cm}^2/\text{V}\cdot\text{s}$
- $(3.40-3.49) \times 10^3 \text{ cm}^2/\text{V}\cdot\text{s}$
- $(3.30-3.39) \times 10^3 \text{ cm}^2/\text{V}\cdot\text{s}$
- $(3.20-3.29) \times 10^3 \text{ cm}^2/\text{V}\cdot\text{s}$
- $(3.10-3.19) \times 10^3 \text{ cm}^2/\text{V}\cdot\text{s}$

그림 6. Hall 효과 측정에 의한 GaAs 에피택셜층의 이동도 균일도

Fig. 6. Hall mobility uniformity of MBE grown GaAs epitaxial layer measured by Hall effect.

TLM(Transmission Line Model) 구조는 폭 w 와 길이 l 을 가지고 l_1, l_2, l_3, \dots 의 거리를 갖는 저항성 접촉에서 접촉저항과 활성층의 면저항의 측정에 쓰인다. TLM 패턴을 형성하기 위하여 $100 \times 100 \mu\text{m}^2$ 의 접촉 면적을 $1 \mu\text{m}, 10 \mu\text{m}, 20 \mu\text{m}, 30 \mu\text{m}, 40 \mu\text{m}$ 간격으로 Ni/Ge/Au/Ni/Au를 10/60/120/30 /100 /100 nm 두께로 전자선 증착을 하여 400°C 에서 20초간 합금화 하였다. 평균 접촉 저항은 $2 \text{ Ohm}\cdot\text{cm}$, 면저항은 $398 \text{ Ohm}/\text{sq}$ 이었으며 저항률은 $2.41 \times 10^{-6} \text{ ohm}$.

cm^2 로 측정됐다. 그림 7에는 3 인치 GaAs 에피택셜 기판의 48개 TLM 패턴에서 얻은 면저항의 값을 나타내었다. 면저항의 균일도는 3.5%를 보였다.

일반적으로 저항성 접촉의 TLM 패턴에서 두 금속 접촉 사이에서 활성층을 통한 전류의 흐름은 평행하게 일어난다. 따라서 면저항은 활성층의 도핑 정도에 비례하여 나타나므로 면저항의 균일도는 도핑 농도의 균일도와 같게 되어 본 시료의 도핑 농도의 균일도는 3.5% 임을 알 수 있다.

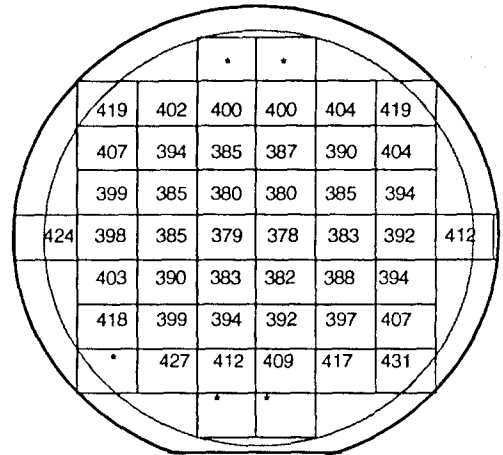


그림 7. TLM 패턴 측정에 의한 GaAs 에피택셜층의 면저항 균일도

Fig. 7. Sheet resistance uniformity of MBE grown GaAs epitaxial layer measured by TLM pattern.

3. 무게이트 MESFET의 I_{dss} 분포

무게이트 GaAs FET(ungated FET)는 포화 저항으로 GaAs 로직 게이트의 부하 소자로 이용이 된다. I_{dss} 는 소스 게이트 전압 V_{GS} 가 0일 때의 포화 전류를 나타내는 것으로 전자속도 포화에 기인하여 나타난다. 그러므로 무게이트 FET는 마치 저항으로 작용하게 되고 이 저항 값은 활성층의 도핑 정도에 선형적으로 비례한다. 따라서 기판내의 포화 전류 I_{dss} 의 균일도는 곧 활성층의 기판내 균일도와 같다.

그림 8에는 Si 이 $1.6 \times 10^{17} \text{ cm}^{-3}$ 으로 도핑된 무게이트 MESFET의 3인치 기판에서의 게이트 길이 $150 \mu\text{m}$ 인 가장자리 부분을 제외한 38개의 소자에 대한 분포도를 나타내었다. 그림에 나타난 바와 같이 I_{dss} 의 평균값은 $403.8 \text{ mA}/\text{mm}$, 편차는 18.1로 3인치 전체의 균일도는 4.5% 이었다.

일반적으로 점진적 채널 근사법을 이용하여 유도된

포화전류 I_{dss} 는

$$I_{dss} = WqN_dA_c v_s$$

로 주어진다.¹²⁾ 여기에서 W 는 채널의 폭, q 는 단위 전하량, N_d 는 도핑농도, A_c 는 활성층의 두께, v_s 는 전자의 포화속도이다.

본 시료의 경우 $W = 150 \mu\text{m}$, $N_d = 1.6 \times 10^{17} \text{cm}^{-3}$, $A_c = 150 \text{nm}$ 이므로 I_{dss} 는 약 57.6mA이며 측정 된 60.6mA와는 다소 차이가 있으나 이는 저항성 접촉을 위한 캡층의 영향에 의해 나타나는 것이라고 생각된다.

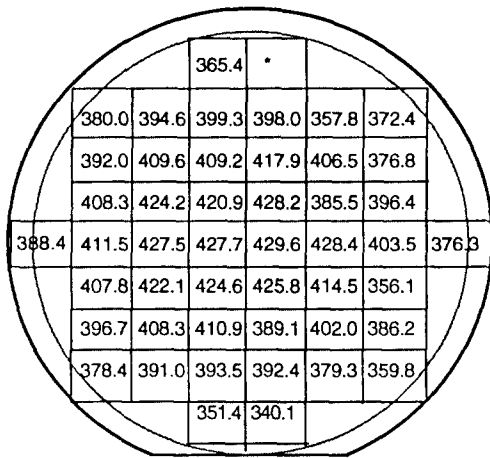


그림 8. 무게이트 MESFET의 포화전류 균일도
Fig. 8. I_{dss} uniformity of ungated MESFET.

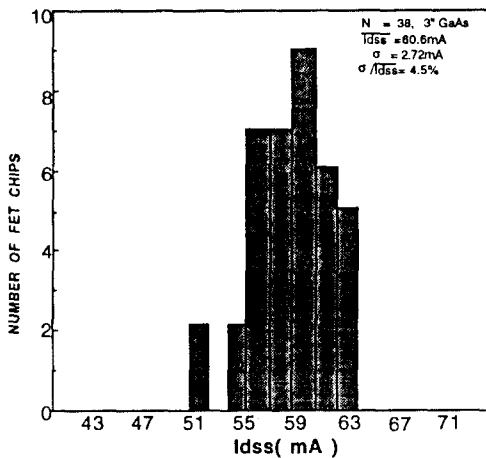


그림 9. 무게이트 MESFET의 I_{dss} 분포도
Fig. 9. I_{dss} distribution of ungated MESFETs.

그림 9에는 I_{dss} 의 분포를 타기판의 결과¹³⁾와 비교하기 위하여 I_{dss} 를 규격화 하여 나타낸 것으로 Mitsubishi의 결과인 3인치 GaAs 에피택셜 웨이퍼의 균일도 7.4% 보다 40% 이상의 향상된 값을 나타내고 있으며, 특히 이온 주입에 의한 활성층 형성의 결과인 8.6%와 비교하면 50% 이상으로 균일도가 향상된 값이다.

4. 문턱전압의 분포와 웨이퍼간 균일도

활성층의 도핑 농도가 $1.6 \times 10^{17} \text{cm}^{-3}$ 이고 두께가 150 nm인 에피택셜 기판에서 게이트 길이 $1 \mu\text{m}$, 게이트 폭 $150 \mu\text{m}$ 인 MESFET에 대하여 3인치 기판 전체의 44개 소자의 문턱전압 분포를 측정 한 것이 그림 10 이다. 최대값과 최소값을 제외하고 산출된 문턱전압은 -1.647V 이고 변화 폭은 $\pm 76 \text{mV}$ 이며 균일도는 9.2% 이었다.

균일도는 리세스 공정전의 무 게이트 MESFET가 4.5% 인 것에 비하여 급격히 저하되는 것을 알 수 있다. 이것은 게이트 형성시의 리소그라피의 균일도와 습식 식각에 의해 균일도가 크게 영향을 미치는 것으로 생각된다.

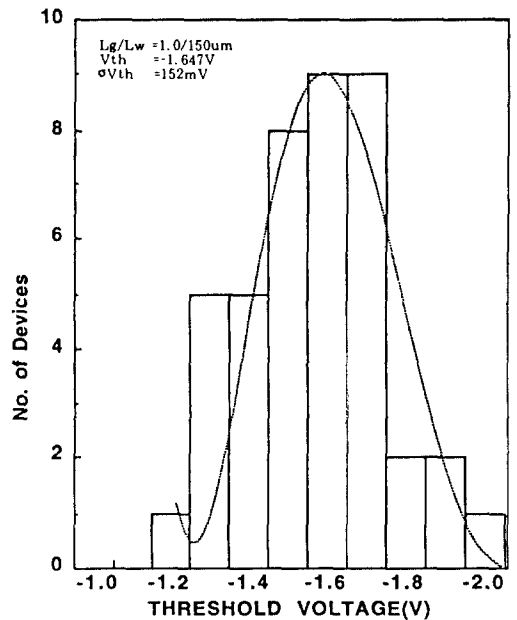
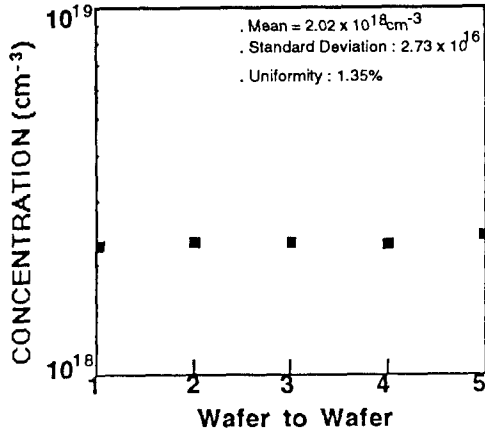
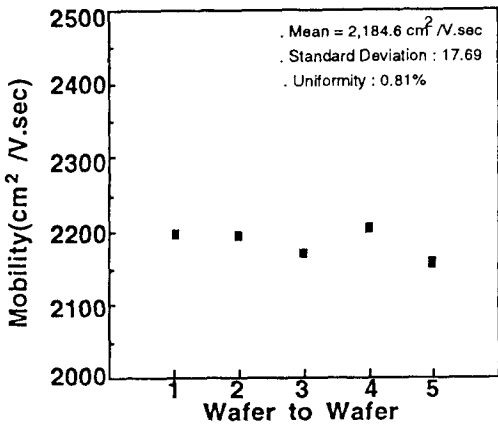


그림 10. 게이트 길이 $1 \mu\text{m}$, 게이트 폭 $150 \mu\text{m}$ 인 MESFET의 문턱전압 분포
Fig. 10. Threshold voltage distribution of MESFETs with $1 \mu\text{m}$ gate length and $150 \mu\text{m}$ width.

한편, 웨이퍼 대 웨이퍼의 균일도를 조사하기 위하여 1 μ m의 두께에 Si를 $2 \times 10^{18} \text{cm}^{-3}$ 정도로 도핑하여 5개의 동일한 시료를 제작하여 Hall 효과 측정을 하였다.



(a)



(b)

그림 11. 에피택셜 웨이퍼의 웨이퍼간 균일도
Fig. 11. MBE grown epitaxial wafer to wafer uniformity of a)carrier concentration and b)mobility measured by Hall effect.

기판의 온도와 성장율은 앞에서와 동일한 조건으로 시료를 제작하였고 측정용 전극은 In을 사용하였으며 van der Pauw 방법으로 5,000 Gauss를 인가하여 실온에서 측정된 값을 각 에피택셜 기판에 따라 캐리어 농도를 나타낸 것이 그림 11의 a) 이고, 이동도를 나타낸 결과가 그림 11의 b) 이다.

5개의 시료에 대하여 캐리어의 농도를 비교하여 본 결과 캐리어의 평균은 $2.02 \times 10^{18} \text{cm}^{-3}$, 표준편차는 2.73×10^{16} 으로 웨이퍼 대 웨이퍼의 균일도는 1.35%로 좋은 결과를 나타내었고, 이동도는 평균값이 2,185 $\text{cm}^2/\text{V}\cdot\text{sec}$, 표준편차가 17.69로 0.81%의 균일도를 나타내었다.

IV. 결론

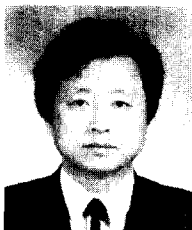
화합물 반도체 LSI급 소자 제작에 응용하기 위한 3인치 GaAs 에피택셜 기판을 MBE로 성장하였다. GaAs 기판의 온도를 600°C로하고 성장율을 1 $\mu\text{m}/\text{h}$ 로 하였을 때 GaAs 에피택셜 기판의 웨이퍼 대 웨이퍼의 표면 결함수는 50cm^{-2} 이하로 제어 성장할 수 있었으며, shadow 마스크에 의한 두께 균일도 측정은 3.97%의 값을 보였다. Hall 효과 측정에 의한 캐리어의 농도 균일도는 4.74%, TLM pattern으로 부터 면저항(R_s) 값의 균일도는 3.5%, 무 게이트 MESFET를 제작하여 측정된 I_{off} 균일도는 4.5%를 각각 보였다. 에피택셜 웨이퍼간의 캐리어 농도 균일도는 1.35%이었으며 MESFET 소자의 문턱전압의 변화폭은 $\pm 76 \text{mV}$, 문턱전압의 균일도는 9.22%이었다.

參考文獻

[1] M. Laviro, D. Delagebeaudeuf, P. Delescluse, J. Chaplart, and N. T. Linh, "Low noise two-dimensional electronic gas FET," *Electron. Lett.*, vol. 17, pp536-537, 1981.
 [2] K. Hikosaka, Y. Hirachi, and M. Abe, "Microwave power double heterojunction HEMT's," *IEEE Trans. Electron Devices*, vol. ED-33, pp583-586, 1986.
 [3] B. Bayraktaroglu and H. D. Shih, "Integral packaging for millimeter-wave GaAs impatt diodes prepared by molecular beam epitaxy," *Electron Lett.*, 19 327-329, 1983.
 [4] R. A. Kiehl, M. D. Fever, R. H. Handel, J. C. M. Hwang, V. G. Kermidas, C. L. Allyn, and R. Dingle, "Selectively doped heterostructure frequency dividers," *IEEE Trans. Electron Devices*, vol. EDL-4, pp377-379, 1983.

- [5] M.Abe, T.Mimura, N.Yokoyama, and H. Ishikawa, "New technology towards GaAs LSI/VLSI for computer applications," *IEEE Trans. Microwave Theory Techn.*, MTT-30, pp992-998, 1982.
- [6] S.H.Wemple, W.C.Niehaus, H.M. Cox, J.V.Dilorenzo, and W.O. Schlosser, "Control of gate-drain avalanche in GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. ED-27, pp1013-1016, 1983.
- [7] K.Ohta, K.Yano, and Y.Hirano, "Micro-wave semiconductor devices," *Fujitsu Sci.Tech.J.*, vol.24, 4, pp359-371, Dec., 1988.
- [8] M.Shur, "Modeling of GaAs and AlGaAs/GaAs FET," in *Introduction to semiconductor technology*, ed. C.T. Wang, p32, 1990.
- [9] Foundry design guide, *Vitesse design manual*, ver.4.0, pp2.14-2.19 Dec., 1988.
- [10] M.Abe, T.Mimura, and M.Kobayashi, "Ultra high speed HEMT technology," *Fujitsu*, vol.39,3, pp144-150, June, 1988.
- [11] D.C. Look, *Electrical characterization of GaAs materials and devices*, p12, John Wiley & Sons, 1989.
- [12] C.T. Wang, *Introduction to semiconductor technology*, p63, John Wiley & Sons, 1990.
- [13] T.Sonoda, M.Kobiki, K.Hayashi, S. Takamiya, and S.Mitsui, "Ultra-high throughput of GaAs and (AlGa)As layers grown by MBE with a specially designed MBE system," 5th International Conf. on MBE, pp227-230, Sapporo Japan, 1988.

 著 者 紹 介



李載珍(正會員)

1952年 9月 1日生. 1971年 2月 공주사범대학 물리 학사. 1982年 8월 동국대학교 고체물리 석사. 1987年 2월 동국대학교 고체물리 박사. 1991年 6월 ~ 1992年 6월 미국 MIT 전기, 전자, 컴퓨터 공학과 객원 연구원. 1987年 2월 ~ 현재 한국전자통신연구소 반도체연구단 책임연구원, 공정개발실장. 주관심 분야는 MBE 성장기술, 화합물반도체 소자 및 재료연구 등임.



李海權(正會員)

1956年 1月 4日生. 1986年 2월 동국대학교 물리 학사. 1988年 8월 동국대학교 고체물리 석사. 1992年 8월 동국대학교 고체물리 박사과정 수료. 1989年 9월 ~ 현재 한국전자통신연구소 반도체연구단 선임연구원. 주관심 분야는 MBE성장기술, 신소자 및 재료연구 등임.

 著者紹介



孟 盛 在(正會員)

1960年 5月 2日生. 1984年 2月
서울대학교 무기재료공학과 학사.
1986年 2月 KAIST 재료공학과
석사. 1986年 2月 ~ 현재 한국전
자통신연구소 반도체연구단 선임연
구원. 주관심 분야는 화합물 반도
체 소자 제작 및 마이크로웨이브 회로설계 등임.

金 輔 佑(正會員) 會誌 第 18卷 9號 參照

현재 한국전자통신연구소 반도체연
구단 책임연구원

•

朴 晨 鍾(正會員) 電子工學會誌 第 17卷 1號 參照

현재 한국전자통신연구소 반도체연
구단 단장

朴 亨 戊(正會員) 電子工學會誌 第 17卷 1號 參照

현재 한국전자통신연구소 반도체연
구단 화합물 반도체 연구부 부장