

論文94-31A-6-23

境界面-스캔 基底 構造를 위한 遲延試驗

(Delay Test for Boundary-Scan based Architectures)

姜秉旭*, 安光善*

(Byoung Ug Kang and Gwang Seon Ahn)

要約

본 논문에서는 ANSI/IEEE Std 1149.1-1990의 표준을 지원하는 경계면-스캔 셀을 가진 IC 칩과 PCB의 지연시험방법을 제시하였다. 게이트지연결합과 경로지연결합의 합성으로 표현되는 혼성지연결합을 지연모델로 하였다. 표준을 지원하는 전형적인 경계면-스캔 셀을 선정하고 그것을 기반으로 하는 회로의 지연시험절차를 개발하고 분석하여 지연시험에의 가능성을 타진하였다. 그 결과 표준 TAP 제어기의 상태 천이를 추종하는 셀 구조와 시험명령 집합으로는 시스템클럭 간격(T_s)과 시험 클럭 주기(T_{tck}) 간에 $T_s = 2.5T_{tck}$ 의 관계를 유지해야 함과 실용성의 결여를 확인하였다. 이를 개선하기 위해 소규모의 하드웨어를 추가하여 $T_s = 0.5T_{tck}$ 의 성능을 보이도록 경계면-스캔 셀을 개량하고 이를 기반으로 하는 회로의 지연시험 절차를 고안하였으며 ANSI/IEEE 표준을 준수함을 확인하였다. 4-bit ALU를 시험대상 회로 선정하여 SILOS 시뮬레이터로 시뮬레이션하여 개량의 정확성과 효율성을 확인하였다.

Abstract

This paper proposes a delay fault test technique for ICs and PCBs with the boundary-scan architectures supporting ANSI/IEEE Std 1149.1-1990. The hybrid delay fault model, which comprises both of gate delay faults and path delay faults, is selected. We developed a procedure for testing delay faults in the circuits with typical boundary scan cells supporting the standard. Analyzing it, we concluded that it is impractical because the test clock must be 2.5 times faster than the system clock with the cell architectures following up the state transition of the TAP controller and test instruction set. We modified the boundary-scan cell and developed test instructions and the test procedure. The modified cell and the procedure need test clock two times slower than the system clock and support the ANSI/IEEE standard perfectly. A 4-bit ALU is selected for the circuits under test, and delay tests are simulated by the SILOS simulator. The simulation results ascertain the accurate operation and effectiveness of the modified mechanism.

* 正會員, 嶺南大學校 電算工學科
(Dept. of Computer Eng., Yeungnam Univ.)

(Dept. of Elec., KyungPook Nat'l Univ.)

接受日字 : 1993年 10月 4日

* 正會員, 慶北大學校 電子工學科

1. 序論

論理回路의 缺陷(fault)은 논리적 결함(logical fault)과 지연결함(delay fault)으로 대별된다. 논리적 결함은 회로의 논리적 동작에 영향을 주는 결함으로서 固着缺陷(stuck-at faults)이 주류를 이루며 이에 관해서는 많은 연구들이 이루어졌다.^[1,2] 한편 지연결함은 Breuer^[3]가 도입한 것으로 논리적인 동작에는 즉각 영향을 미치지 않으나 타이밍 문제를 야기하는 것으로서 의도한 회로의 디멘전이 변하거나 제조과정의 결함 혹은 老化 등의 원인에 기인한다 한편 시스템의 기능이 커지고 요구하는 동작속도가 빨라짐에 따라 집적회로(integrated circuits: IC)칩이나 회로기판(printed circuit board: PCB)의 설계시 IC 칩의 집적도가 커지고, 칩간의 간격, 배선 혹은 접점 등에서 많은 제약을 받게 된다. 일반적으로 導電率이 감소함에 따라, 또 容量性 증가함에 따라 지연이 증가한다.^[4] 따라서 근자에는 고차결함뿐만 아니라 타이밍 결함에도 관심이 깊어져 이에 관한 다수의 연구결과가 발표되고 있다.^[4,5] PCB의 급증하는 복잡성과 表面裝着技法(Surface Mount Technology: SMT) 및 兩面裝着(double-sided component mounting)의 도입으로 探針板(bed of nails)에 의존하는 전래의 기판에 소자를 장착한 상태에서의 시험(in-circuit)은 난관에 봉착해 있다. 이 문제를 해결하기 위해 기판수준에서 스캔설계(scan design)나 자가시험(self-test) 같은 구조적 기법(Structural techniques)이 주목을 받고 있다.^[6,7] 이를 위해서는 칩 설계사양의 표준화가 필수적이어서 ANSI/IEEE Std 1149.1-1990^[8,9]가 제정되었다. 이 표준의 기본 개념은 각 IC칩의 모든 입출력 포트에 기억소자를 두고, 이것을 직렬 쉬프트 레지스터 스캔경로(serial shift register scan path - boundary-scan path)로 연결시키는 기능을 추가하는 것이다. 경계면-스캔을 이용하면 IC들의 모든 초단입력(primary input: PI)과 중단출력(primary output: PO)을 한 경계면-스캔 입력(boundary-scan input)과 한 경계면-스캔 출력(boundary-scan output)을 가진 하나의 쉬프트레지스터로 연결함으로써 외부로부터 PCB 상의 모든 PI와 PO들에 접근하고 제어할 수 있다 본 논문에서는 경계면-스캔 기저 구조를 가진 IC와 PCB의 효율적인 지연시험방법을 개발한다. 먼저 ANSI/IEEE Std 1149.1을 준수하면서 지연시험에 적합한 경계면-스캔 셀(boundary-scan cell)을 선정하고 이를 기반으로 지연시험 절차(procedure)를 개발한다. 그리고 가능

한 최대의 성능을 발휘하도록 표준을 만족하는 수준에서 경계면 스캔 셀을 개량하고 시험절차의 개선을 도모한다. 그리고 시험회로를 선정하여 시뮬레이션을 함으로써 이의 정당성과 효율성을 확인한다.

II. ANSI/IEEE Std 1149.1-1990의 概要

ANSI/IEEE Std 1149.1-1990를 수용하는 IC는 시스템論理(system logic)와 試驗論理(test logic)의 두 부분으로 나뉜다. 시스템논리는 칩 설계의 원래 목적대로 정상 동작을 수행하는 회로다. 시험논리는 시스템 논리를 제외한, 표준에서 요구하는 회로로서, IC나 회로기판의 시험시 사용되며 시스템의 정상동작에는 기여를 하지 않는다.

1. 試驗論理의 構造^[10]

경계면-스캔 구조의 최상위 개념은 그림 1과 같다.

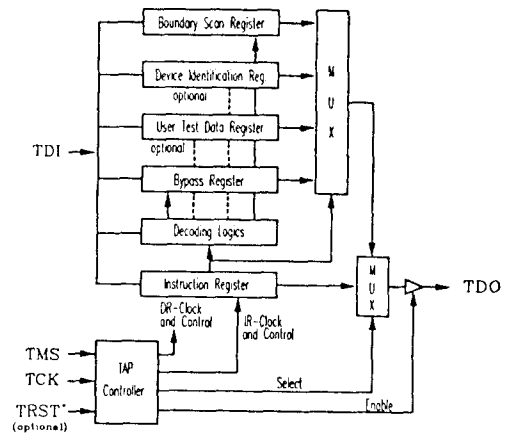


그림 1. IEEE 1149.1 표준의 블럭도
Fig. 1. Block diagram of IEEE 1149.1 standard.

이 구조는 세 가지 핵심 블럭 즉, TAP 制御器(test access port controller: TAPC), 명령 레지스터(instruction register: IR) 및 시험 데이터 레지스터(test data register: TDR)들로 구성된다. IR은 쉬프트 레지스터로 된 회로로서 수행될 명령이 여기에 직렬로 로드된다. TDR은 쉬프트 레지스터 기반 회로의 뱅크로서, 한 테스트가 필요로 하는 자극이나 조건을 부여하기 위한 값들이 현명명에 의해 선정된 TDR로 직렬로 로드된다. 이들 블럭들은 하나의 TAP에 연결된다. TAP은 칩의 시스템 클럭과는 독립적이며 PCB 상의 여러 칩들 사이에 시험동작을 동

기화시는 Test Clock Input(TCK), 시험논리의 동작을 제어하기 위한 비트열이 입력되는 Test Mode Select Input(TMS). TMS에 인가된 비트열에 따라 IR 혹은 TDR 속에 들어 갈 데이터가 입력되는 Test Data Input(TDI), 및 TMS에 인가된 비트열에 따라 IR 혹은 TDR로부터 데이터가 출력되는 Test Data Output(TDO) 등 4 개의 신호를 포함한다. 側路(bypass register)는 TDI와 TDO 사이에 길이 1 즉 최단경로를 마련한다. 지연시험을 할 동안 동작하지 않는 칩들은 스캔 체인의 길이를 줄이기 위해 BYAPSS 모드에 머문다. 경계면-스캔 레지스터는 제3절에서 기술한다.

2. TAPL制御器

TAPC는 16개의 상태를 가지며 그림 2의 狀態遷移圖에 따라 동작하는 同期式 有限狀態機械다. TAPC는 TCK와 TMS를 입력으로 받아서 제어구조의 여타 부분들을 위한 클럭 신호들과 제어 신호들을 생성한다. 0과 1은 천이를 유발키 위해 TCK의 上昇에지(rising edge) 때 TMS 상에 나타나야 할 논리값이다. 16 상태 중 다음의 8 상태들은 시험기능을 수행토록 하면서 시험논리의 동작을 결정한다.

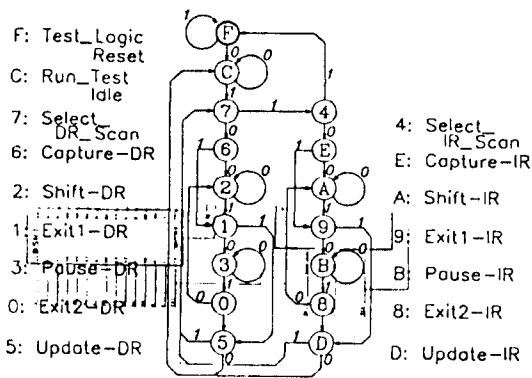


그림 2. TAP 제어기의 상태천이도
Fig. 2. State transition diagram of TAP controller.

- Test-Logic-Reset: 모든 시험논리를 디스에이블시키고 TMS=1인 동안 시스템논리를 지속한다.
- Run-Test/Idle: 시험논리는 IR 속의 명령에 따라 동작한다. 현명령이 스캐닝하기 위해 DR을 선정하는 것이면 시험논리는 idle한다.
- Capture-DR(IR): 선택된 TDR(IR)의 병렬 입력들로부터 그것의 쉬프트 레지스터 경로로 로드된다

· Shift-DR(IR): TDI와 TDO 사이에 데이터를 쉬프트시키는데 사용될 하나의 TDR(IR)을 각 명령이 식별해야 한다. 쉬프팅은 앞서 포획한 데이터를 검사하고 새로운 시험입력 데이터가 들어오도록 허용한다.

· Update-DR(IR): 한 TDR(IR)은 래치된 병렬 출력을 준비하고, 시스템 논리에 인가되는 신호를 막는다 현명령이 그와 같은 TDR(IR)을 선택하면 새 데이터가 이 상태에서 TDR(IR)의 병렬출력으로 전송된다 Update-DR(-IR) 상태에서 기술된 동작은 TCK의 하강에지에서 발생한다. 기타 다른 상태에서의 동작은 TCK의 상승에지에서 발생한다. TDO는 Shift-DR(-IR) 상태에서만 작동한다.

3. 경계면-스캔 레지스터와 시험명령

경계면-스캔 레지스터(Boundary-scan register: BSR)는 하나의 쉬프트 레지스터 기반 구조로서, 그림 3은 시스템논리의 입력측과 출력측에 전형적인 BSR을 가진 구조의 예이다. ClockDR, ShiftDR, 및 UpdateDR 신호는 TAPC가 TCK와 TMS 입력핀의 변화에 대한 응답으로 생성한다. Mode 입력에 적절한 신호를 인가하면 다음에 기술하는 BSR 명령들을 지원한다. SAMPLE/PRELOAD: 정상 동작의 스냅샷을 허용하는 필수명령이다. 이 명령의 실행시 데이터는 그림 3의 회로에서 입력측의 셀은 [PI-M2-SL] 경로와 [PI-Q1-SO]의 경로로, 출력측은 [SL-M2-PO] 경로와 [SL-Q1-SO] 경로를 따라 흐른다. 이 명령은 다른 경계면-스캔 시험명령의 선택에 앞서 데이터 값을 BSR의 래치된 병렬출력 상에 로드할 수 있게 한다. 이 명령은 Shift-DR 상태에서 TDI와 TDO 사이에 연결된 BSR만을 선택해야 한다.

· EXTEST: 필수명령 EXTEST가 현명령이 되면, BSR은 데이터를 스캐닝하기 위해 TDI와 TDO 사이를 연결하는 유일한 레지스터다. 데이터는 입력측은 [PI-Q1-SO] 경로로, 출력측은 [SI-Q1-Q2-PO]의 경로로 흐른다. 이 명령은 기간간 연결(interconnection)과 같은 소자 패키지 외부 회로를 시험할 수 있게 한다. 이 명령이 사용되는 동안 출력핀의 BSR 셀은 시험 패턴을 인가하는데 사용되고, 입력측의 BSR은 포획된 결과를 스캔해 낸다. 명령코드는 {000..000}으로 정해져 있다.

· INTEST: 소자가 기관에 조립된 다음 칩 속의 시스템 로직을 시험할 수 있게 하는 옵션명령이다. 데이터는 입력측은 [SI-Q1-Q2-SL] 경로로, 출력측은 [SL-Q1-SO] 경로와 [SL-Q1-Q2-PO]의 두 경로로 흐른다. 이 명령을 써서 시험 자극이 한번

에 하나씩 시프트되어 들어 가서 칩 상의 시스템 논리에 인가된다. 내부시험결과는 IC의 BSR 속에 포획되고, 후속되는 쉬프트에 의해 검사된다.

· BYPASS: 시험대상에서 제외되는 IC칩의 TDI와 TDO 사이를 측로레지스터로 연결하여 최장경로를 형성시켜 시험대상 칩으로 데이터를 고속으로 쉬프트해 넣기 위한 필수명령으로서, 명령코드는 {111..111}이다

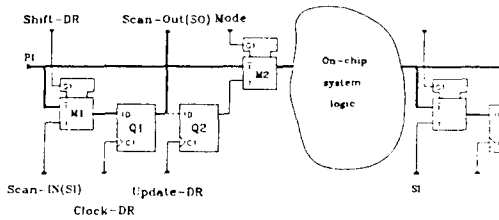


그림 3. BSR 셀을 가진 IC 칩의 예
Fig. 3. An IC chip with BSR cells.

III. 경계면-스캔 기저 구조에서의 遲延試驗

지연시험의 목적은 PI에서 PO까지의 각 경로가 신호를 시스템 클럭 간격보다 짧은 시간 내에 전파하는가를 확인하는 것이다.^{[11][13]} 이를 위해서는 적절한 지연모델과 시험방법 및 시험패턴을 선정해야 한다.

1. 지연모델

지연결함 모델로는 게이트지연결함(gate delay faults)^[11]과 경로지연결함(path delayfaults)^{[12][14]} 및 혼성지연결함(hybrid delay faults)^[13]이 소개되어 있다. 게이트지연결함 모델은 시험회로 중의 게이트의 입력 혹은 출력에 집중된 지연결함(lumped delay fault)을 전제로 하고, 경로지연결함 모델은 활성신호경로에 따라 분포된 지연들이 누적되어 야기된다. 혼성지연결함 모델은 앞의 두 모델을 모두 고려한 것이다. 집중지연결함 모델은 게이트의 입출력에서의 상승지연(slow-to-rise delay)결함과 하강지연(slow-to-fall delay)결함을 고려하며, 경로지연결함은 결함부위를 통과하는 최장전파지연경로를 택한다. 시험경로의 출력응답은 시스템의 동작시간 간격에서 관측한다. 각 지연결함에 대한 최장전파지연경로를 시험함으로써 집중지연결함 및 분산지연결함의 누적으로 인해 발생하는 시스템의 타이밍결함이 검출된다. 한 지연결함으로 인해 시스템 타이밍 결함이 발생되기 위해서는 delay defect size(정상회로의 천이

시각과 결함회로의 천이시각의 차이)가 시스템 클럭 간격과 경로 상의 전파지연 사이의 간격보다 커야 한다. 본 연구에서는 이 혼성모델을 대상으로 한다.

2. 遲延試驗을 위한 테스트 生成

결함검출의 기본은 회로의 결함 위치에 정상과 반대되는 값을 갖도록 유발하는 PI값들을 인가하는 결함誘發(fault excitation)과 결함효과를 PO 쪽으로 옮겨 내는 결함效果傳播(faulty effect propagation)과정이다.^[15] 결함유발은 결함유형에 따라 다르나 결함효과전파는 대부분의 결함유형에 대해 공통적으로 다음과 같은 조건을 가진다.

$$\frac{dv}{dg} |v = f(g(v), v) \quad f(g(v), v) \quad (1)$$

여기서 v는 PI 입력벡터, g(v)는 결함지점의 논리 함수, 그리고 f(g(v), v)는 PO에서의 관측이다. 부울 디퍼런스가 1이면 PO에서 고장을 검출할 수 있다. 따라서 조합회로의 지연 결함을 위한 시험은 다음의 조건을 만족하는 두 개의 PI 벡터 (v1, v2)를 요한다.

$$g(v1) = a, \quad g(v2) = a' \quad \frac{df}{dg} |v2 = 1 \quad (2)$$

여기서 v1은 초기화 벡터이며, a는 상승(하강)지연 결함시는 0(1)이다. v2는 상승(하강)지연결함시는 s-a-0(s-a-1)을 위한 테스트 벡터다.

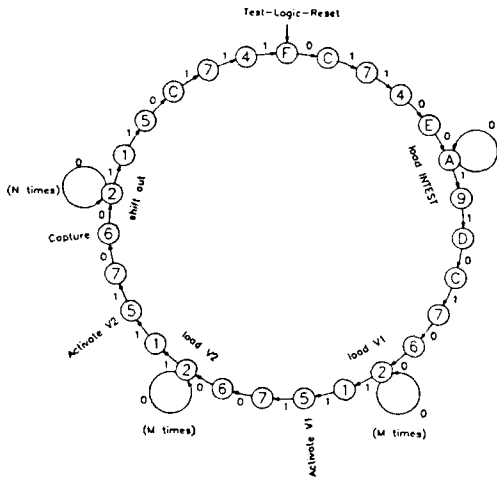
조합논리회로의 지연시험을 위해 시스템논리의 모든 PI와 PO에 래치들을 삽입하고 입력과 출력래치를 시스템 클럭과는 별개의 클럭으로 동작하게 한다. 먼저 v1을 입력래치에 로드하여 시스템논리가 초기값에 안정되게 한 뒤, v2를 입력래치에 로드한다. 이후 시스템클럭 간격만큼 지난 시점에서 출력응답을 출력래치에 로드한다. 이것이 정상출력과 차이가 나면 지연 결함이 검출된다

3. 遲延試驗 節次

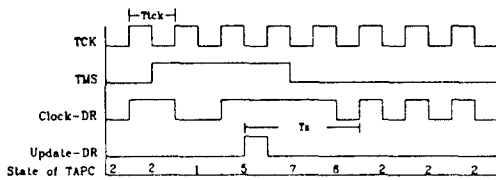
그림 3의 BSR 셀을 써서, 회로기판 수준에서 다음 節次에 따라 지연시험을 할 수 있다.

1. Shift-DR = 1, Mode = 1로 설정한다.
2. Clock-DR을 써서 초기화 벡터 V1을 BSR로 쉬프트해 넣는다.
3. Update-DR에 클럭펄스를 인가한다.
4. Clock-DR로써 천이전파벡터 V2를 BSR로 쉬프트해 넣는다.
5. 천이를 전파하기 위하여 Update-DR에 클럭펄스를 인가한다.

6. 출력측 경계면-스캔 셀의 Shift-DR을 0으로 설정한다.
7. Update-DR 후 시스템 클럭 간격에서 지연시험 결과를 로드하기 위해 Clock-DR에 클럭펄스를 인가한다.
8. Shift-DR = 1로 설정하고 Clock-DR에 클럭펄스를 인가한다. 지연시험결과는 검사를 위해 쉬프트되어 나온다.



(a)



(b)

그림 4. 지연시험 중 TAPC의 상태천이도(a) 및 타이밍 차트(b)

Fig. 4. State diagram(a) and timing chart (b) of TAPC during delay test.

실제 이 일련의 과정이 TMS 및 TCK입력에 의해 TAPC 내에서 자동적으로 일어난다. 이 과정에 대한 천이도는 그림 4(a)와 같다. 천이 화살표 옆의 0과 1은 TMS의 값이다. 그림 4(b)는 V2를 시스템논리에 인가하고 그 결과를 출력측에서 포획하는 과정의 타이밍 차트의 주요부분이다. V2 로드 단계의 상태 5에서 Q2는 V2를 시스템논리 속으로 전파한다. 상태 6의 Capture 상태에서 출력측 Q1은 지연시험의 결

과를 포획한다. 지연시험 결과를 포획하기 위하여 상태 6의 Clock-DR은 V2 로드 단계의 상태 5의 Update-DR 클럭 후 시스템 클럭만큼 지연 시점에서 인가된다. IEEE Std 1149.1에 따르면 Clock-DR은 TCK의 상승에지에서 발생하는 반면, Update-DR은 TCK의 하강에지에서 발생되어야 한다. 그러므로 시스템 클럭 간격은 상태 5의 Update-DR과 상태 6의 Clock-DR 사이의 천이시간과 같아야 한다. 이 시간을 T_s 라 하고 TCK의 클럭주기를 T_{tck} 라 하면 이 둘 사이에는 다음과 같은 관계가 성립된다.

$$T_s = 2.5T_{tck} \quad (3)$$

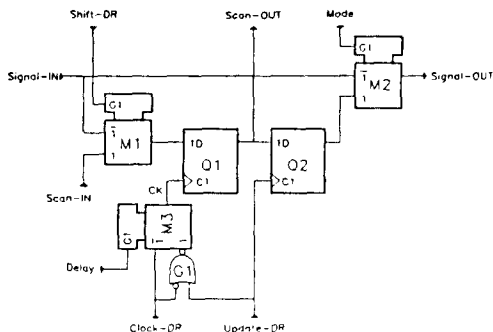
4. 경계면-스캔 레지스터 셀과 지연시험 절차의 개량
지연시험을 위해 시스템클럭보다 2.5배 빠른 TCK를 사용하는 것은 실제적이지 못하다. 그리고 delay defect size도 TCK의 2.5배로서 이보다 짧은 지연은 검출할 수 없다. 따라서 보다 효과적인 지연시험을 위해 BSR을 개량하고 지연시험 명령과 시험절차를 개발할 필요가 있다. V2를 별도로 입력하지 않고 V1을 토글시켜 V2로 대응시키도록 BSR의 구조와 시험 절차를 고침으로써 개선에 도모할 수도 있으나 이 방법은 시험패턴의 생성에 큰 제약을 받게되어 이 또한 실용적이지 못하다. 두 개의 시험벡터 (V1, V2) 쌍을 사용하면서 목적을 달성하도록 개량한 것이 그림 5(a)의 BSR 셀이다. 이 셀에서 Delay 신호가 새로이 추가되었다. Q1의 클럭신호 CK는 다음과 같은 논리값을 가진다.

$$CK = \text{Delay} \cdot \text{Clock-DR} \cdot \text{Update-DR}' + \text{Delay}' \cdot \text{Clock-DR} \quad (4)$$

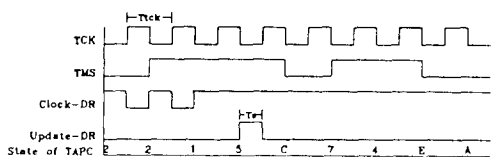
이 개량 BSR 구조를 지연시험에 이용하기 위해 DELAY명령과 DSHIFT 명령을 추가한다. 전자는 Delay신호를 1로 만드는 명령으로서 명령코드는 {110}으로 정한다. 후자는 그림 7의 OUT 불력의 Dshift 신호를 1로 만드는 명령으로 명령코드는 {011}로 정한다. 이 셀에 의한 지연시험 절차는 다음과 같다.

1. Shift-DR=1, Mode=1, Delay=1로 정한다.
2. Clock-DR을 써서 V1을 BSR로 쉬프트해 넣는다.
3. Update-DR에 펄스를 인가한다.
4. Clock-DR을 써서 V2를 BSR로 쉬프트해 넣는다.
5. Shift-DR=0로 설정하고 Upadte-DR에 펄스를 인가한다.

6. Dshift=1로 설정하고 Clock-DR을 써서 지연시 험결과를 쉬프트해 낸다.



(a) The modified boundary-scan cell



(b) The timing chart for delay test

그림 5. 지연시험을 위해 개량한 경계면-스캔 셀과 주요부분의 타이밍 차트

Fig. 5. Modified boundary-scan cell and timing chart for delay test.

그림 5(b)는 시험절차의 4 및 5의 단계를 설명하는 타이밍 차트다. Update-DR의 상승에지에서 입력측 BSR의 Q1의 클럭 CK는 식(4)에 의해 0의 값이 인가되어 Q1의 값은 변하지 않는다. 한편 Q2의 클럭에는 Update-DR신호가 걸려 Q2의 값이 Q1의 값에 의해 갱신되어 V2가 시스템논리에 인가된다. 이보다 0.5Ttck 지난 시점 즉 Update-DR의 하강에지에서 출력측 BSR의 Q1의 CK는 1의 값이 인가되어 V2 입력에 대한 시스템논리의 응답이 Q1에 포획된다. 이 타이밍 차트에서 다음과 같은 관계를 확인할 수가 있다.

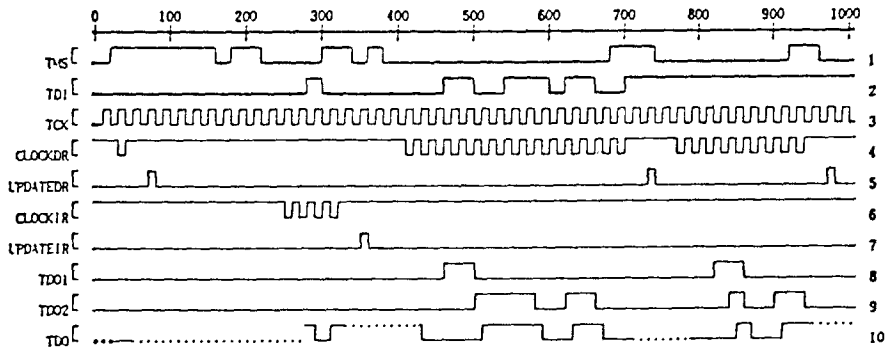
$$T_s = 0.5Ttck \quad (5)$$

IV. 시뮬레이션 및 考察

그림 6과 같은 4-bit ALU를 시뮬레이션 대상으로 선정하였다. 이 회로는 전형적인 조합논리회로로서 14 개의 입력신호와 8 개의 출력신호를 가지고 있다.

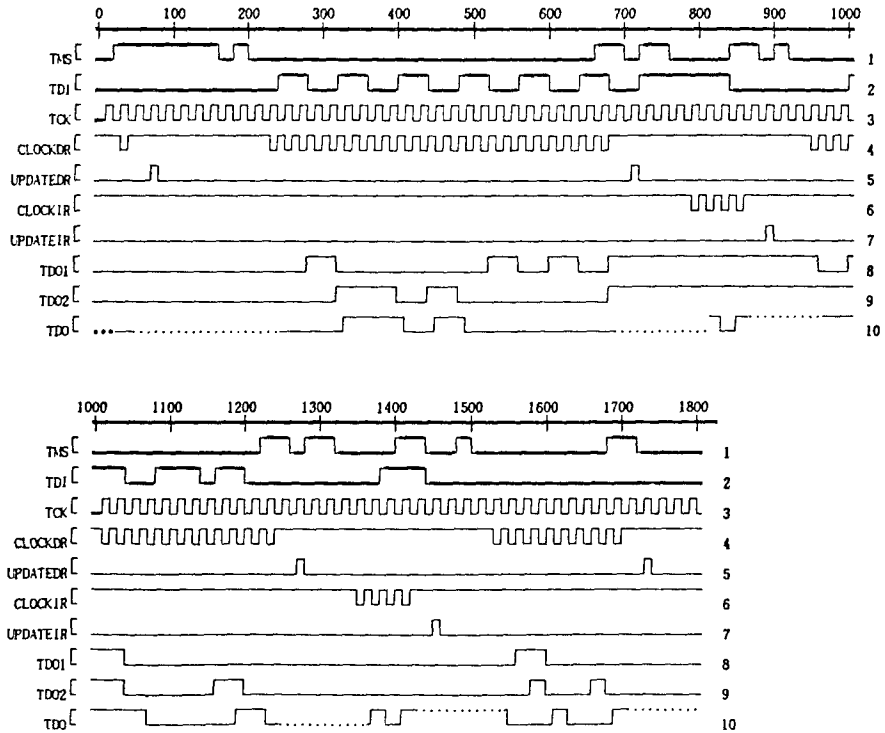
그림 7은 이 ALU에 경계면-스캔 구조를 적용시킨 것을 모듈로 나타낸 것이다. 이 그림에서 ALU 모듈이 시험 대상 회로이고, BSRIN와 BSRO가 각각 ALU의 입력측 및 출력측 BSR 모듈이다. TAPC는 TAP제어기이며 BPR은 축로레지스터다. IR_M은 IR 모듈이며, IRDEC는 명령해독기이다. SEL모듈은 여러 TDO 중 하나를 선택하여 출력하는 기능을 가지고 있다. OUT모듈은 DSHIFT명령 동작시 F/F로 작동하여 포획한 값을 TDO로 보내는데 사용된다. ALU의 출력 F1의 지연결함을 가정하고 지연시험을 두 가지로 시뮬레이션한다. 먼저 대상회로에 대해 BSR 셀을 이용한 표준의 명령 INTEST로써는 지연결함을 검출하지 못하는 상황을 보이고, 그 다음 DELAY명령으로 지연결함을 검출하는 것을 보인다. 초기화 벡터 V1으로는 (11001100110011)을 선정하며 이에 대한 정상출력은 (01100101)이다. 지연결함 천이벡터 V2로는 (00110011101100)을 선정하며 정상출력은 (00010001)이다. 이상의 환경을 SILOS 시뮬레이터로 시뮬레이션하여 그림 8과 같은 결과를 얻었다. 그림 8(a)에서는 V1입력과정은 생략하고 표현하였다. 시각 240에서 TAPC 상태Shift-IR에서 INTEST명령 {010}을 TDI를 통해 IR에 인가한다. 시각 400에서 V2 입력패턴을 TDI를 통해 BSR에 로드한 뒤 시각 700에서 Update-DR로 ALU에 병렬 인가한다. V2에 대한 ALU의 응답을 시각 740의 TAPC상태 Capture-DR에서 포획한다. 시뮬레이션 주기가 20이고 V2 인가 시점부터 포획시점까지 50의 시간이 소요되므로 2.5TCK가 소요됨을 알 수 있다. 포획한 값을 시각 760부터 Shift-DR신호로 TDO로 출력해낸다. 출력값은 시각 790부터 (00010011)이며 이는 정상출력과 같아 F1선의 지연결함을 검출하지 못하고 있다. 한편 그림 8(b)는 DELAY명령을 써서 시뮬레이션한 결과다. 시각 220의 TAPC상태 Shift-DR에서 BSR에 V1을 쉬프트해 넣는다. 시각 780의 TAPC 상태 Shift-DR에서 V2입력패턴을 TDI를 통해 BSR에 쉬프트해 넣는다. 시각 1240의 Update-DR의 상승에지에서 ALU에 인가하고 하강에지에서 ALU의 응답을 출력단의 BSR에 포획해 넣는다. 이 시간이 10이므로 불과 0.5TCK다. 시각 1340의 Shift-IR 상태에서 DSHIFT명령 {011}을 IR에 로드한다. 시각 1520부터 Shift-DR로써 TDO로 쉬프트해 내는 포획결과는 (00010001)이다. 정상출력과 비교할 때 F1에서 차이가 나므로 지연결함이 검출된 것이다. 이 시뮬레이션 결과는 delay defect size $\geq 0.5 Ttck$ 인 지연결함이 정확히 검출됨을 보이고 있다. 그리고 식(5)의 관계를 정확히 보이고 있어 개량

• P/C-SILCS 4.02 • FS.DAT



(a) The instruction INTEST fails to detect the delay fault on the line F1

• P/C-SILCS 4.02 • FD.DAT



(b) THE new instruction DELAY detects it successfully

그림 8. 두 가지 시뮬레이션 결과

Fig. 8. The results of two simulations.

전 식(3)의 성질을 완벽하게 개선하고 있다 즉 시스템 클럭 주파수의 절반의 주파수로 지연시험이 가능하여 동작속도로 인해 지연시험이 불가능한 경우는 없다. 그리고 개량을 위해 추가한 하드웨어가 소규모

여서 설계, 제작 원가면에 주는 부담도 경미하다. 또 개량 BSR셀은 식 (4)로부터 Delay=0일 때는 CK = Clock-DR이므로 변경 전의 BSR셀과 동일하게 동작한다. 따라서 개량 BSR셀은 ANSI/IEEE Std

1149.1-1990을 완벽하게 지원한다 이 개량된 메카니즘은 칩 간의 결선회로(interconnection)의 시험이나 glue logic을 위한 지연시험 및 LSSD 구조 기저의 순서회로의 시험에도 성능 저하 없이 그대로 이용할 수 있다.

V. 結 論

본 논문에서는 ANSI/IEEE Std 1149.1-1990의 표준을 지원하는 경계면-스캔 셀을 가진 IC 칩과 그들이 장착된 PCB의 지연시험방법을 개발하였다. 지연결함모델로는 혼성지연결함을 선정하였다. 표준을 지원하는 전형적인 경계면-스캔 셀을 선정하고 그것을 기반으로 하는 회로의 지연시험절차를 개발하고 분석한 결과 TAP 제어기의 상태 천이를 추종하는 셀 구조와 시험명령집합으로는 시스템클럭 간격(T_s)과 시험클럭 주기(T_{tck}) 간에 $T_s = 2.5T_{tck}$ 의 관계를 유지해야 함과 실용성의 결여를 확인하였다. 이를 개선하기 위해 소규모의 하드웨어를 추가하여 $T_s = 0.5T_{tck}$ 의 성능을 보이도록 경계면-스캔 셀을 개량하고 이를 기반으로 하는 회로의 지연시험 절차를 개발하였으며 ANSI/IEEE 표준을 준수함을 확인하였다. 4-bit ALU를 시험대상회로 선정하여 SILOS 시뮬레이터로 시뮬레이션하여 개량의 정확성과 효율성을 확인하였다. 본 연구에서 개발한 경계면-스캔 셀은 구조가 간결하고 시험성능면에서 보다 짧은 지연결함 까지도 검출할 수 있었다. 그리고 시험을 위한 클럭 주파수도 시스템 클럭 주파수의 절반 수준으로 가능하여 시험으로 인해 시스템에 가하는 제약을 완전히 배재할 수 있었다.

參 考 文 獻

- [1] Y.K. Malaiya and R. Narayanaswamy. "Modeling and Testing for Timing Faults in Synchronous Sequential Circuits." *IEEE Design and Test of Computers*. Nov. 1984 pp.62-74.
- [2] 盧植鎬, 姜秉旭, 安光善 "NAND回路網의 시험 패턴 발생을 위한 D알고리즘의 효율개선에 관한 연구." *대한전자공학회 논문집*, 25권 7호. 1988 pp. 20-31.
- [3] M.A. Breuer. "The Effects of Races, Delays and Delay Faults on Test Generation." *IEEE Trans. Computers*. Oct. 1974. pp. 1078-1092.
- [4] K. Kishida, et al., "A Delay Test System for High Speed Logic LSIs." *Proc. 23rd Design Automation Conf.*, Jun. 1986, pp. 786-790.
- [5] E. S. Park, et al. "Statistical Delay Fault Coverage and Defect Level for Delay Faults." *Proc. of the 1988 Int'l Test Conf.* pp. 492-499.
- [6] M. L. Fitchenbaum and G. D. Robinson, "Scan Test Architectures for Digital Board Testers." *Proc. Int'l Test Conf.*, 1990. pp. 304-310.
- [7] D. Sterba, A. Halliday, and D. McClean, "ATPG Issues for Board Designs Implementing Boundary Scan." *Proc. Int'l Test Conf.*, 1990. pp. 243-251.
- [8] R. G. Bennets and A. Osseran, "IEEE Standard 1149.1-1990 on Boundary Scan: History, Literature Survey, and Current Status." *JETTA*, vol.2. no.1. 1991. pp. 11-25.
- [9] IEEE Std. 1149.1-1990, *IEEE Standard Test Access Port and Boundary Scan Architecture*, May 21, 1990.
- [10] C. M. Maunder and R. E. Tulloss. *The Test Access Port and Boundary Scan Architecture*. IEEE, 1990.
- [11] J. D. Lesser and J. J. Schedletsy. "An Experimental Delay Test Generation for LSI." *IEEE Trans. Comput.*, vol. c-29, no.3. 1980. pp.235-248.
- [12] G. L. Smith, "Model for Delay Faults Based upon Path." *Proc. Int. Test Conf.*, 1985, pp. 342-349.
- [13] E. S. Park and M. R. Mercer. "Robust and Nonrobust Tests for Delay Faults in Combinational Circuits." *Proc. Int. Test Conf.*, pp. 1027-1034.
- [14] C. J. Lin and S. M. Reddy. "On Delay Fault Testing in Logic Circuits." *IEEE Trans. CAD*, Sep. 1987, pp.694-703.
- [15] T. Kirkland and M. R. Mercer. "Algorithms for Automatic Test Pattern Generation." *IEEE Design and Test of Comp.*, Jun. 1988. pp.43-55.

著 者 紹 介

姜 秉 旭(正會員) 第 27卷 7號 參照
영남대학교 공과대학 전산공학과
교수

安 光 善(正會員) 第 27卷 7號 參照
경북대학교 공과대학 컴퓨터공학과
교수