

저전력형 TTL-to-CMOS 변환기의 설계

(Design of low power TTL-to-CMOS converter)

俞昌植*, 金元燦*

(Changsik Yoo and Wonchan Kim)

要約

본 논문에서는 전력 소모가 적은 TTL-to-CMOS 변환기를 제안한다. 이 변환기는 통상의 TTL 출력 전압에 대해서는 정적 상태에서 전력 소모가 없는 특성을 갖는다. 일반적으로 사용되는 CMOS 반전기를 이용한 변환기에 비해 전력 소모가 약 1/20로 줄어드는 것을 모의 실험을 통하여 확인하였다. 또한 양의 되먹임에 의해 히스테리시스를 갖고 있어 잡음에 강한 성질을 갖는다. 히스테리시스 특성상의 논리 문턱 전압은 트랜지스터들의 크기 비를 변화시킴으로써 조절할 수 있다.

Abstract

This paper proposes a new TTL-to-CMOS converter which has low power dissipation. This converter has no static power dissipation for typical TTL output voltage levels. The simulation result shows that the power dissipation is reduced to about 1/20 of conventional level converter using CMOS inverters. It also has hysteresis due to the positive feedback which makes the converter noise immune. The logic threshold voltages in the hysteresis characteristic can be optimized by changing the size ratios of the transistors.

1. 서론

전력 소모와 집적도, 그리고 비용의 측면에서 CMOS 회로를 이용하여 시스템을 구성하는 경향이 늘어남에 따라 CMOS 회로가 기존의 TTL 회로와 같이 쓰이기 위해서는 TTL 출력 전압 - 논리 "1"일 경우 보통 3.4V이고, 논리 "0"일 경우 보통 0.2V이다. - 을 CMOS 수준으로 변환시켜주는 TTL-to-

CMOS 변환기가 필요하다. 가장 흔히 쓰이는 TTL-to-CMOS 변환기는 그림 1에 나타낸 것과 같이 CMOS 반전기의 nMOS 트랜지스터를 pMOS 트랜지스터에 비해 크게함으로써 논리 문턱 전압을 논리 "1", 논리 "0"일 때의 TTL 출력 전압의 가운데 값인 1.4V로 만드는 형태이다. 이 경우에 TTL 출력이 논리 "1"인 경우 CMOS 반전기의 pMOS 트랜지스터와 nMOS 트랜지스터가 동시에 켜지게 되므로 정적 상태에서 전력 소모가 있게 된다. TTL 회로의 fan-out이 많아지면 출력 전압은 논리 "1"일 경우에 2V 정도까지 낮아질 수 있는데 이렇게 되면 전력 소모는 더욱 늘어나게 된다. 또한 nMOS 트랜지스터가

* 正會員, 서울大學校 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)
接受日字 : 1993年 8月 5日

pMOS 트랜지스터에 비해 (W/L)이 크므로 출력이 0V에서 5V로 올라가는데 걸리는 시간이 5V에서 0V로 떨어지는데 걸리는 시간에 비해 매우 커지게 되는 문제점이 있다.

본 논문에서는 이러한 문제점을 피하기 위해 정적 상태에서는 VDD에서 접지까지 직렬로 연결된 트랜지스터가 동시에 켜지는 일이 없도록 한 새로운 형태의 TTL-to-CMOS 변환기를 제안한다. 이와 같이 함으로써 통상의 TTL 출력 전압을 입력으로 받았을 경우 정적 상태에서의 전력 소모를 없앨 수 있었다. 이 변환기는 또한 히스테리시스 특성을 갖고 있어 잡음에 강한 장점을 갖는다.

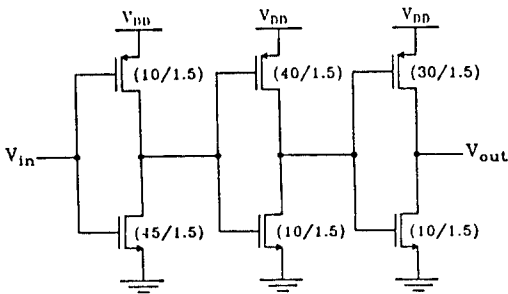


그림 1. CMOS 반전기를 이용한 TTL-to-CMOS 변환기
Fig. 1. TTL-to-CMOS converter using CMOS inverters.

II. 변환기의 동작

그림2는 제안하는 변환기의 회로도이다. M₁과 M₂는 출력을 구동하는 트랜지스터이고, M₃, M₄, M₅는 정적 상태에서의 전력 소모를 없애기 위한 트랜지스터이다. 회로의 동작을 입력 전압이 통상의 TTL 출력 전압 수준인 3.4V일 때와 0.2V일 때에 대해 나누어 설명한다.

입력 전압이 3.4V인 경우의 동작은 다음과 같다.

입력 전압이 M₁의 문턱 전압(threshold voltage)보다 크므로 M₁이 켜져서 출력 단자를 방전시키게 된다. 출력 단자가 방전됨에 따라 M₅의 게이트 전압이 낮아져 M₅가 켜지고 M₂의 게이트를 5V까지 충전시켜 M₂는 꺼진다. 만일 M₄가 없다면 M₃의 소오스 전압이 5V가 되므로 M₃의 게이트-소오스 전압이 문턱 전압보다 커져 M₃이 켜지게 된다. 이렇게 되면 M₃과 M₅가 동시에 켜지므로 정적 상태의 전력 소모가 있다. 하지만 M₃과 M₅ 사이에 M₄를 삽입하면

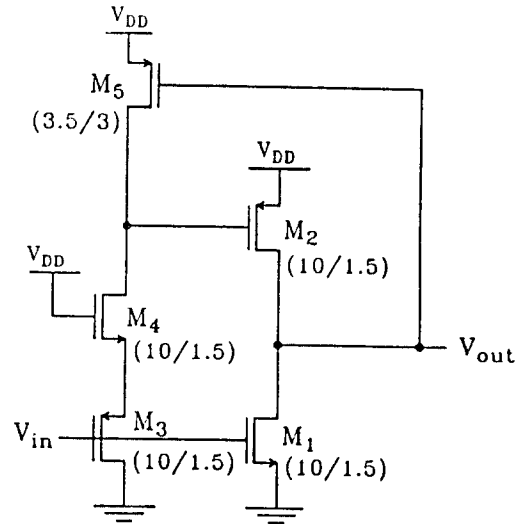


그림 2. 제안하는 TTL-to-CMOS 변환기의 회로도
Fig. 2. Proposed TTL-to-CMOS converter.

M₃의 소오스 전압은 5V에서 M₄의 문턱 전압 - body effect에 의해 이 문턱 전압은 1V 보다 커진다. - 만큼 떨어진 값을 갖게 되므로 M₃가 꺼진다. 이와 같이 입력 전압이 3.4V일 때 직렬로 연결된 트랜지스터들이 동시에 켜지지 않으므로 정적 상태의 전력 소모가 없다.

입력 전압이 0.2V인 경우의 동작은 다음과 같다.

입력 전압이 M₁의 문턱 전압보다 작으므로 M₁은 꺼지고, M₃과 M₄는 켜져 M₂의 게이트를 방전시킨다. 이 때 출력 전압의 초기값이 0V이면 M₅는 M₂의 게이트를 충전시킨다. 올바른 동작을 얻기 위해서는 M₂의 게이트가 방전되어야 하므로 M₃과 M₄의 전류 구동 능력을 M₅의 전류 구동 능력보다 크게 해야한다. 이와 같은 조건을 만족하면 M₂의 게이트가 방전되어 출력 단자를 충전시킨다. 출력 단자가 충전됨에 따라 M₅는 꺼지므로 이 경우에도 역시 직렬로 연결된 트랜지스터들이 동시에 켜지는 일은 없어 정적 상태의 전력 소모가 없다.

변환기의 최대 동작 속도는 부하 캐패시턴스의 크기에 의해 결정된다. 동작 속도를 증가시키기 위해서는 출력을 구동하는 트랜지스터인 M₁과 M₂의 크기를 크게 해서 전류 구동 능력을 증가시켜야 한다. 하지만 M₂의 크기를 크게 하면 게이트 캐패시턴스가 커지므로 M₃, M₄, M₅가 이 게이트 캐패시턴스를 충전시키는데 걸리는 시간이 늘어난다. 따라서 동작 속도를 증가시키기 위해서는 이 둘 사이의 적절한 타협

이 필요하다.

Ⅲ. 히스테리시스 특성 분석

두 개의 pMOS 트랜지스터 M₂와 M₅는 히스테리시스를 일으키는 양의 되먹임 경로를 형성한다. 따라서 이 변환기는 입력 전압이 증가할 때와 감소할 때 서로 다른 논리 문턱 전압을 갖는다. 이 두 개의 논리 문턱 전압은 다음과 같이 구할 수 있다. 표기의 편의를 위하여 pMOS 트랜지스터의 문턱 전압은 모두 절대값으로 표시한다.

입력 전압이 0V에서 5V로 증가할 때 출력 전압이 V_{DD}-V_{TP5} 가 되어 M₅가 켜지기 전까지 M₂의 게이트 전압은 V_{in}+V_{TP3} 이다. 출력 전압이 V_{DD}-V_{TP5} 보다 작아지면 M₅가 켜져 M₂의 게이트를 충전시켜 M₂가 완전히 꺼진다. 따라서 출력 전압이 V_{DD}-V_{TP5} 되는 시점이 출력이 논리 "1"에서 논리 "0"으로 바뀌는 경계가 된다. 이 때 M₁은 포화 영역에서, M₂는 선형 영역에서 동작하므로 이 두 트랜지스터의 전류는 다음과 같다.^[1]

$$I_1 = \frac{1}{2} \beta_1 (V_{in} - V_{Tn1})^2 \quad (1)$$

$$I_2 = \beta_2 \left\{ (V_{DD} - V_{G2} - V_{TP2})(V_{DD} - V_{out}) - \frac{1}{2}(V_{DD} - V_{out})^2 \right\} \quad (2)$$

이 때 V_{out}=V_{DD}-V_{TP5}, V_{G2}=V_{in}+V_{TP3} 이고 트랜지스터 M₁과 M₂의 전류 크기는 같으므로 식 (1)과 (2)로부터 논리 문턱 전압은 다음과 같다.

$$V_{HL} = V_{Tn1} - \frac{\beta_2}{\beta_1} V_{TP5} + \sqrt{\frac{\beta_2}{\beta_1} V_{TP5} \left\{ \left(\frac{\beta_2}{\beta_1} - 1 \right) V_{TP5} + 2(V_{DD} - V_{TP3} - V_{TP2} - V_{Tn1}) \right\}} \quad (3)$$

입력 전압이 5V에서 0V로 감소할 때 M₂의 게이트 전압이 V_{DD}-V_{TP2} 가 되어 M₂가 켜지기 전까지 출력 전압은 0V이다. M₂의 게이트 전압이 V_{DD}-V_{TP2} 보다 작아지면 M₂가 켜져서 출력 단자를 충전시킨다. 출력 단자가 충전되어 전압이 올라가면 M₅가 꺼지므로 M₂의 게이트는 더 빠른 속도로 방전되어 결과적으로 출력 단자를 더욱 빠르게 충전한다. 따라서 M₂의 게이트 전압이 V_{DD}-V_{TP2} 가 되는 시점이 출력이 논리 "0"에서 논리 "1"로 바뀌는 경계가 된다. 이 때 M₃는 포화 영역에서, M₄와 M₅는 선형 영역에서 동작하므로 이 세 트랜지스터의 전류는 다음과 같다.^[1]

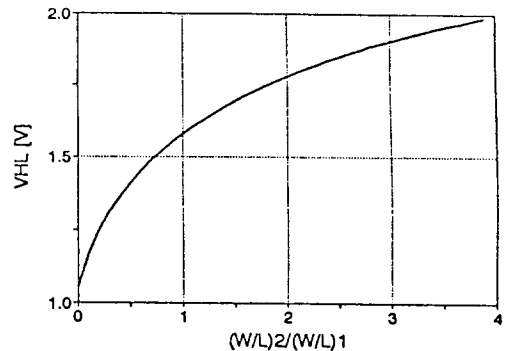
$$I_3 = \frac{1}{2} \beta_3 (V_{s4} - V_{in} - V_{TP3})^2 \quad (4)$$

$$I_4 = \beta_4 \left\{ (V_{s4} - V_{in} - V_{TP3})(V_{G2} - V_{s4}) - \frac{1}{2}(V_{G2} - V_{s4})^2 \right\} \quad (5)$$

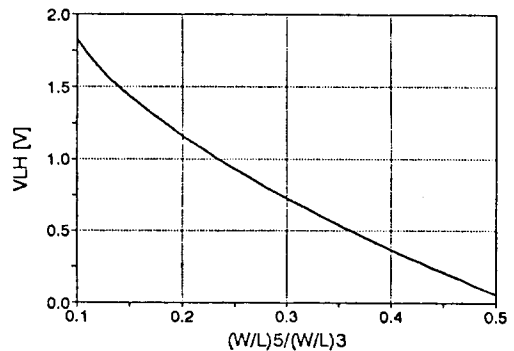
$$I_5 = \beta_5 \left\{ (V_{DD} - V_{out} - V_{TP5})(V_{DD} - V_{G2}) - \frac{1}{2}(V_{DD} - V_{G2})^2 \right\} \quad (6)$$

이 때 V_{out}=0V, V_{G2}=V_{DD}-V_{TP2} 이고 트랜지스터 M₃, M₄, M₅의 전류 크기가 모두 같으므로 식 (4), (5), (6)으로부터 논리 문턱 전압은 다음과 같다.

$$V_{LH} = V_{s4} - V_{TP3} + \sqrt{2 \frac{\beta_5}{\beta_3} V_{TP2} \left(V_{DD} - V_{TP5} - \frac{V_{TP2}}{2} \right)} \quad (7)$$



(a)



(b)

그림 3. 트랜지스터의 크기비와 논리 문턱 전압의 관계 (a) 논리 "1"에서 논리 "0"으로 변할 때의 논리 문턱 전압 (b) 논리 "0"에서 논리 "1"로 변할 때의 논리 문턱 전압

Fig. 3. Logic threshold voltages.

(a) High-to-low logic threshold voltage.

(b) Low-to-high logic threshold voltage.

$$V_{i4} = V_{DD} - V_{Tn4} - \sqrt{V_{Tn4}^2 + V_{Tp2}(V_{Tp2} - 2V_{Tn4}) + 2V_{Tp2} \frac{\beta_3}{\beta_4} \left(V_{DD} - V_{Tp5} - \frac{V_{Tp2}}{2} \right)} \quad (8)$$

위의 식 (3)과 (7)에서 볼 수 있듯이 두 개의 논리 문턱 전압은 트랜지스터들의 크기 비를 변화시킴으로써 조절할 수 있다. 위와 같이 구한 트랜지스터의 크기 비와 논리 문턱 전압의 관계를 그림3에 보였다. 논리 "0"에서 논리 "1"로 변할 때의 논리 문턱 전압을 구할 때 트랜지스터 M_3 과 M_4 는 같은 크기임을 가정하였다.

IV. 모의 실험 결과

이 변환기는 $1.5\mu\text{m}$ n-well CMOS 공정을 이용하여 설계하였다. SPICE 모의 실험에 의한 이 변환기의 전압 전달 특성을 그림4에 표시하였다. [2] 모의 실험으로부터 구한 논리 문턱 전압은 각각 1.54V, 1.25V이다. 잡음 여유(noise margin)를 계산하면 다음과 같다. [3]

논리 "1"에서 논리 "0"으로 변할 때 :

$$NM_H = V_O - V_{IH} = 4.5V - 1.47V = 3.03V \quad (9)$$

$$NM_L = V_{IL} - V_{OL} = 1.54V - 0V = 1.54V \quad (10)$$

논리 "0"에서 논리 "1"로 변할 때 :

$$NM_H = V_{OH} - V_{IH} = 4.75V - 1.23V = 3.52V \quad (11)$$

$$NM_L = V_{IL} - V_{OL} = 1.34V - 0.2V = 1.14V \quad (12)$$

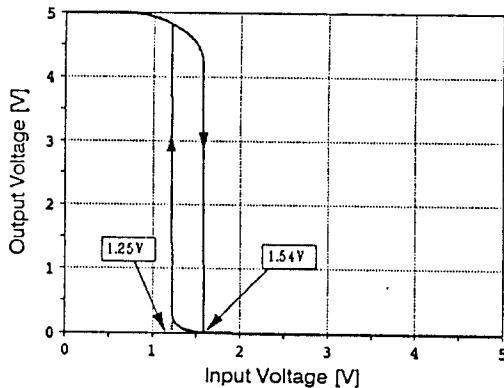


그림 4. 변환기의 전압 전달 특성
Fig. 4. Voltage transfer characteristic of the proposed converter.

그림 5는 모의 실험에 의해 구한 제안하는 변환기와 통상의 CMOS 반전기를 이용한 변환기의 정적 상태에서의 전력 소모 특성 곡선이다. 특성 곡선을 통

해 제안하는 변환기의 전력 소모가 통상의 변환기에 비해 매우 작은 것을 확인할 수 있다. 제안하는 변환기의 경우에는 입력 전압이 2.8V보다 크거나 0.7V보다 작으면 V_{DD} 에서 접지로 흐르는 전류가 없으므로 전력 소모가 없음을 알 수 있다. 최악의 경우로서 TTL 출력 전압이 논리 "0"일 때 0.8V 이고 논리 "1"일 때 2.2V 일 때 V_{DD} 에서 접지로 흐르는 전류는 통상적인 변환기의 경우 각각 87.2uA, 435.1uA인데 비해, 제안하는 변환기의 경우에는 12.3uA, 25.9uA밖에 되지 않는다.

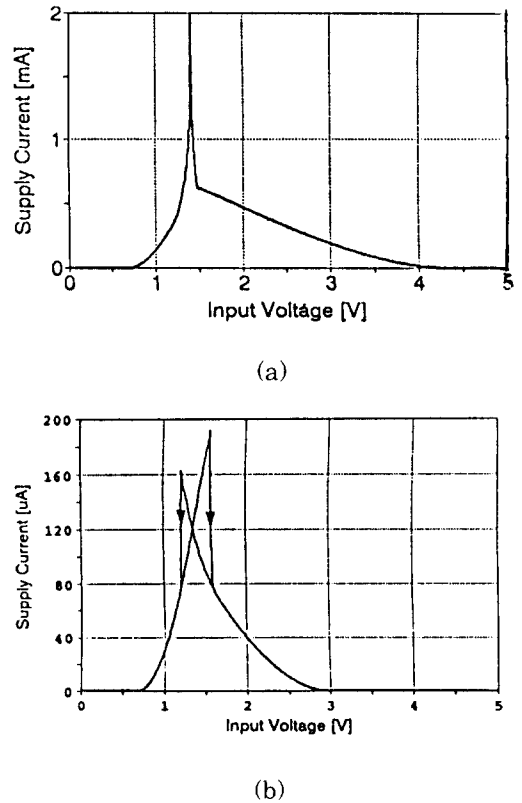


그림 5. 제안하는 변환기와 통상의 변환기의 전력 소모 특성 곡선 (a) 통상의 변환기의 정적 상태에서의 전력 소모 (b) 제안하는 변환기의 정적 상태에서의 전력 소모
Fig. 5. Static power dissipation. (a) Static power dissipation of the conventional converter, (b) Static power dissipation of the proposed converter.

그림 6은 100MHz의 사각파를 입력으로 하고 출력에 50fF의 부하 캐패시턴스가 있을 때 이 변환기의

출력 전압이다. 인가한 사각파는 논리 "1", 논리 "0" 일 때 각각 통상적인 TTL 출력 전압의 수준인 0.3V 와 3.4V의 크기를 갖는다.

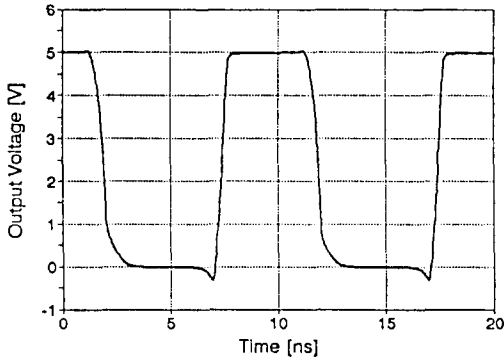


그림 6. 제안하는 변환기의 과도 응답
Fig. 6. Transient response of the proposed converter.

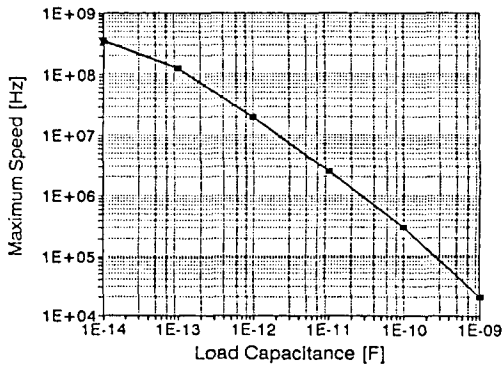


그림 7. 부하 캐패시턴스와 최대 동작 속도의 관계
Fig. 7. Maximum speed of operation of the proposed converter.

그림 7은 모의 실험으로 구한 설계한 변환기의 최

대 동작 속도와 부하 캐패시턴스의 관계이다. 설계에 사용한 공정의 경우 최소 크기의 CMOS 반전기 ($W_n=1.5\mu m$, $W_p=4.5\mu m$, $L_n=L_p=1.5\mu m$)의 게이트 캐패시턴스는 약 10fF이다. 이러한 크기의 CMOS 반전기를 변환기의 출력에 연결하였을 경우 최대 동작 속도는 350MHz이다.

V. 결론

통상의 TTL 출력 전압에 대해 정적 상태에서의 전력 소모가 전혀 없는 저전력형 TTL-to-CMOS 변환기를 제안하였다. TTL 출력 전압이 논리 "0"일 때 0.8V, 논리 "1"일 때 2.2V라고 하더라도 V_{DD} 에서 접지로 흐르는 전류는 각각 12.3uA, 25.9uA 밖에 되지 않음을 모의 실험을 통해 확인 하였다. 최소 크기의 CMOS 반전기를 구동할 경우 변환기의 최대 동작 속도는 350MHz이다. 제안하는 회로는 집적회로 내에서 nMOS 스위치를 통과하여 전압 수준이 0V, 3.8V로 열화된(degraded) 신호를 0V, 5V 신호로 정적 상태의 전력 소모 없이 재생하는 데에도 쓰일 수 있다.

參考文獻

- [1] P. E. Allen, D. R. Holberg, "CMOS Analog Circuit Design," Holt, Reinhart and Winston, Inc., NewYork, 1987.
- [2] L. W. Nagel, "SPICE2 : A computer program to simulate semiconductor circuits," College Eng., Univ. of California, Berkeley, Memo. ERL-M520, 1975.
- [3] J. Millman, A. Grabel, "Microelectronics," McGraw-Hill Book Co., Singapore, 1987.

— 著 者 紹 介 —



金元燦(正會員)

1945年 서울 출생. 1972年 서울대학교 전자공학과 졸업. 1976年 독일 아헨공대 전기공학과에서 석사 학위 취득. 1981年 독일 아헨공대 전기공학과에서 박사 학위 취득. 주관심 분야는 반도체 소자

개발 및 아날로그, 디지털 회로 설계 등임.



俞昌植(正會員)

1969年 대전 출생. 1992年 서울대학교 전자공학과 졸업. 1994年 서울대학교 대학원 전자공학과 졸업.

1994年 3월 부터 서울대학교 전자공학과 박사과정 재학중. 주관심 분야는 아날로그 회로 설계 등임.