

論文94-31A-6-14

N₂O 산화막을 갖는 MOS 캐패시터의 전기적 및 신뢰성 특성

(Electrical and Reliability properties of MOS capacitors with N₂O oxides)

李相敦*, 盧載盛**, 金鳳烈*

(Sang Don Lee, Jae Sung Rho and Bong Ryul Kim)

要約

본 논문에서는 N₂O 가스를 사용하여 로(furnace)에서 950℃와 1000℃의 온도로 각각 74Å과 82Å의 두께로 성장시킨 N₂O 산화막의 전기적 및 신뢰성 특성들을 O₂ 가스로 850℃에서 성장시킨 84Å 두께의 순수한 산화막 특성과 비교하였다. N₂O 산화막의 초기 I_g-V_g 특성은 순수한 산화막과 유사하였고, 또한 F-N 스트레스 인가시의 전하포획량 및 계면상태밀도와 낮은 전계에서의 누설전류 등과 같은 N₂O 산화막의 신뢰성 특성들은 순수한 산화막보다 상당히 더 개선되었다. 그러나, 캐패시터 면적이 증가됨에 따라 N₂O 산화막의 TDDB 특성은 순수한 산화막보다 더 나쁘게 되었으며, 이러한 TDDB 특성은 950℃ N₂O 산화막보다는 1000℃ N₂O 산화막에서 더 나쁘게 되었다. N₂O 산화막의 TDDB를 제외한 신뢰성 특성들의 개선은 기판 Si과 박막의 계면에 포함된 질소(N)기에 의하여 계면의 특성이 향상되었기 때문이며, 반면에 TDDB 특성의 열화 현상은 N₂O 산화막의 성장시 계면에 과다하게 포함된 질소기로 인하여 박막의 국부적인 얇아짐이 증가된 현상으로 관찰되었다.

Abstract

In this paper, electrical and reliability properties of N₂O oxides, grown at the temperature of 950℃ and 1000℃ to 74Å and 82Å, respectively, using N₂O gas in a conventional furnace, have been compared with those of pure oxide grown at the temperature of 850 to 84Å using O₂ gas. Initial I_g-V_g characteristics of N₂O oxides were similar to those of pure oxide, and reliability properties of N₂O oxides, such as charge trapping, interface state density and leakage current at low electric field under F-N stress, were improved much better than those of pure oxide. But, with increasing capacitor area, TDDB characteristics of N₂O oxides were more degraded than those of pure oxide, and this degradation of TDDB characteristics was more severe in 1000℃ N₂O oxide than in 950℃ N₂O oxide. The improvement of reliability properties excluding TDDB in N₂O oxides was attributed to the hardness of the interface improved by nitrogen pile-up at the interface of Si/SiO₂, but on the other hand, the degradation of TDDB characteristics in N₂O oxides was observed due to the increase of local thinning spots caused by excessive nitrogen at interface during the growth of N₂O oxides.

* 正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yensei Univ.)

** 正會員, 金星 일렉트론(주) 중앙연구소 8연구실

(Dept. #8, Central R & D Lab., GoldStar
Electron Co. Ltd.)

接受日字 : 1993年 8月 31日

I. 서론

최근 반도체 IC 칩의 집적도가 ULSI 수준으로 증가함에 따라 IC내의 수동 소자 및 능동 소자들의 크기가 감소되고, 이에 비례하여 게이트 유효 산화막 두께도 100Å보다 얇게 되고 있다. 그러나 공급 전압은 게이트 산화막 두께에 비례하여 감소될 수 없기 때문에 단위 소자에 인가되는 수직 및 수평전계가 증가되어 기존의 순수한 산화막으로는 다음과 같은 문제들, 즉 100Å이하의 산화막 성장에 따른 박막의 결함밀도 증가와 박막의 균일성 및 수율의 저하, 채널전계 증가로 인한 핫-캐리어(hot-carrier) 효과의 증가, 산화막에 인가되는 수직전계의 증가로 인한 계면상태 밀도(interface state density: D_{it}) 및 전하포획량과 누설전류량의 증가, 그리고 게이트 산화막을 통한 채널 영역으로의 불순물 침투 현상 등을 해결하기 어렵게 되었다.

이러한 문제들을 해결하기 위하여 산화막을 암모니아(NH₃) 가스로 질화시킨 NO(Nitrided Oxide) 박막이 연구되어 왔으나¹⁻³, NO 박막에는 활성수소(active hydrogen)의 영향으로 인하여 순수한 산화막보다 초기의 고정전하 밀도(fixed charge density: N_f)와 계면상태 밀도가 증가하게 되었고, 따라서 활성수소의 영향을 감소시키기 위하여 NO 박막을 재산화한 ONO(re-Oxidized Nitrided Oxide) 박막에 관한 연구가 진행되어 왔다.⁴⁻⁶ 그러나 ONO 박막은 공정이 복잡하여 100Å이하의 산화막을 성장시키기 위한 최적 공정 조건을 유지하기가 어렵기 때문에, 최근에는 활성수소를 포함하지 않는 N₂O 산화막을 로(furnace) 및 RTP(Rapid Thermal Process) 장비에서 성장시키는 연구가 진행되고 있다.⁷⁻¹² N₂O 산화막은 순수한 산화막에 비교될 수 있는 간단한 공정으로 질소기(N)만을 Si/SiO₂ 계면에 포함시킬 수 있기 때문에 기판 주입의 경우에 순수한 산화막에 비하여 개선된 특성을 나타내고, 게이트 주입인 경우에는 순수한 산화막과 유사하거나 약간 열등한 특성을 보이는 것으로 알려져 왔으나¹⁰, 이에 대해 상세하게 비교 분석된 발표는 없었다.

따라서, 본 연구에서는 로에서 성장시킨 N₂O 산화막과 순수한 산화막의 전기적 및 신뢰성 특성을 기판 주입의 경우와 게이트 주입인 경우에 대하여 비교 검토하고, 박막의 면적에 따른 TDDB 특성을 관찰함으로써 게이트 주입의 경우에 더 열화된 특성을 나타내는 원인을 전기적으로 분석하고자 한다.

II. 소자 제작 및 측정

본 연구에서 사용되는 소자는 비저항이 9-12Ω cm 이고 결정방향이 (100)인 p-형 웨이퍼를 사용하여 표준 세척 공정 후에 twin-well CMOS 공정으로 제작된 캐패시터들이며, 소자의 공정 흐름도는 그림 1과 같다. n-well 형성을 위하여 P(Phosphorus)를 1.0x10¹³/cm², 160KeV로 이온 주입하였고, p-well 형성을 위해 BF₂를 4.0x10¹³/cm², 40KeV로 이온 주입하였다. 소자 분리를 위하여 field oxide를 성장한 후, 게이트 산화막을 로에서 각각 N₂O 가스를 사용하여 950℃와 1000℃의 온도에서 그리고 O₂ 가스를 사용하여 850℃에서 성장하였다. 게이트 전극은 2000Å 두께의 amorphous-Si을 POCl₃로 도핑시킨 n⁺ 형으로 만들어졌고, LDD-MOSFET를 제작하기 위하여, n/p 소오스와 드레인은 As(Arsenic)를 3.0x10¹³/cm², 40KeV 그리고 BF₂를 3.0x10¹³/cm², 40KeV로 각각 이온 주입하여 형성하였다. Sidewall을 형성한 후, n⁺/p⁺ 소오스와 드레인은 As를 5.0x10¹⁵/cm², 40KeV 그리고 BF₂를 3.0x10¹⁵/cm², 30KeV로 각각 이온 주입하여 형성하였다. HLD(High pressure & Low temperature Deposition) 산화막과 BPSG의 deposition후에 850℃에서 1시간 동안 reflow를 하고, 최종적으로 metal 전

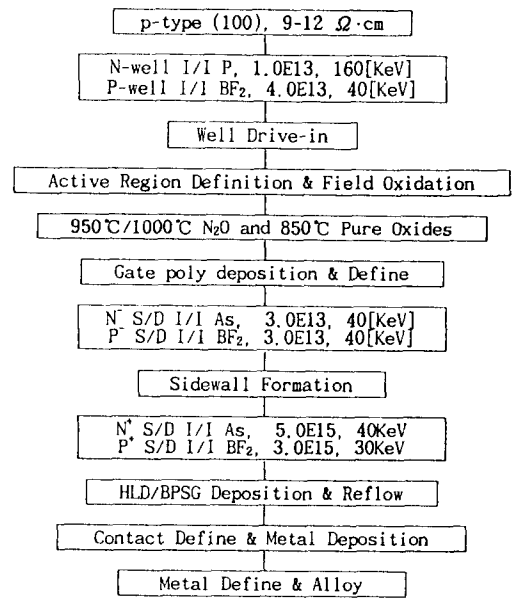


그림 1. 소자 제작을 위한 공정 순서도
Fig. 1. The process flow for device fabrication.

극을 형성한 후에 alloy 공정을 함으로써 소자를 제작하였다.

각 게이트 박막의 두께는 HP4275A LCR Meter 를 사용하여 면적이 60800 μm^2 인 캐패시터의 고주파 C-V 방법으로 C_{max} 을 측정하여 비유전율 3.9를 적용하여 평가하였으며, 평가된 박막의 두께는 공정중에 굴절을 1.46을 적용하여 ellipsometer로 측정된 값 과도 거의 일치하였다. 각 박막의 두께는 950 $^{\circ}\text{C}$, 1000 $^{\circ}\text{C}$ N_2O 산화막과 순수한 산화막에 대하여 p-well 위에서는 각각 74 \AA , 82 \AA , 84 \AA 로 측정되었고, 그리고 n-well 위에서는 각각 77 \AA , 84 \AA , 86 \AA 로 측정되었다. 박막들의 특성은 기관의 축적 (accumulation) 상태에서 캐리어가 주입되도록, 즉 n-well인 경우에는 게이트에 양(+의 스트레스를 인가하여 기관 주입을 하고 p-well의 경우에는 게이트에 음(-)의 스트레스를 인가하여 게이트 주입을 하여 측정하였다.

III. 실험 및 결과 고찰

1. 초기 I_g - V_g 특성 분석

N_2O 산화막과 순수한 산화막에 대한 초기의 I_g - V_g 특성 곡선을 그림 2에 나타내었다. N_2O 산화막의 초기 I_g - V_g 특성은 순수한 산화막과 매우 유사하였으나, 항복 전계는 순수한 산화막과 950 $^{\circ}\text{C}$ /1000 $^{\circ}\text{C}$ N_2O 산화막의 경우에 각각 15.7MV/cm, 14.5MV/cm, 14.0MV/cm로 순수한 산화막보다 작게 나타났다. 그러나 임의의 전류값에 도달되는 임계전계의 분포는 순수한 산화막과 N_2O 산화막이 서로 유

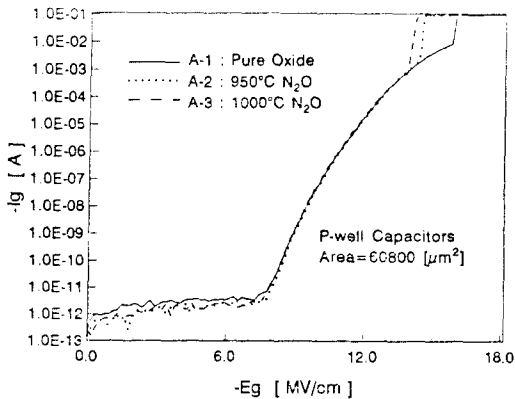


그림 2. 순수한 산화막과 N_2O 산화막들에 대한 초기 전류 특성

Fig. 2. The initial currents for pure and N_2O oxides.

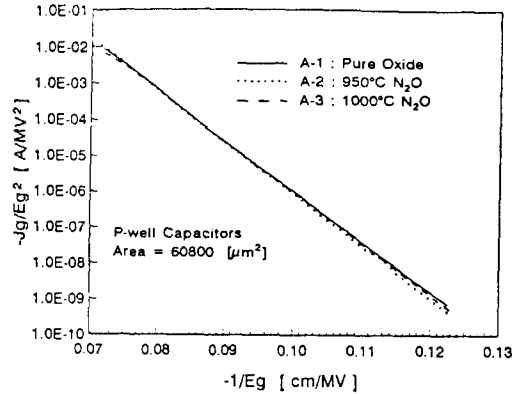


그림 3. 그림 2의 캐패시터들에 대한 F-N 특성 곡선
Fig. 3. F-N cures for the capacitors shown in Fig. 2.

사하게 나타났으며⁷⁾, 따라서 세 박막에서 핀홀 (pinhole) 등과 같은 결함의 영향은 서로 유사하다고 할 수 있다. 그러므로 그림 2에서 보여진 항복 전계의 차이는 TDDB 특성에서와 같이 N_2O 산화막의 성장시 Si/SiO_2 계면에 과다한 질소가 포함되는 국부적인 부분에서 박막의 성장이 늦게 되어 박막의 얇아짐이 증가되었기 때문인 것으로 설명할 수 있다. 그림 3은 그림 2의 I_g - V_g 특성 곡선을 $\ln(J_g/E_g^2)$ 대 $1/E_g$ 로 다시 그린 것이며, 이 그림에서의 직선 특성으로부터 N_2O 산화막으로 흐르는 전류도 순수한 산화막과 마찬가지로 식 (1)로 나타나는 F-N 터널링 전류임을 알 수 있다.

$$\ln \left[\frac{J_g}{E_{ox}^2} \right] = \frac{q^3}{8 \cdot \pi \cdot h \cdot \Phi_B} - \frac{4 \cdot (2 \cdot m^*)^2 \cdot \Phi_B}{3 \cdot h \cdot q} \cdot \frac{1}{E_{ox}} \quad (1)$$

여기에서 E_{ox} 는 박막에 인가된 전계이며, m^* 은 전자의 유효질량을 나타낸다. F-N 터널링 전류가 흐르는 높은 전계에서 박막에 인가된 전계 E_{ox} 는 게이트 전계 E_g 로 근사화 할 수 있다. 그림 3에서 보여진 직선의 기울기로부터 식 (1)에서 $m^*=0.65m_e$ 를 이용하여 구한 박막의 장벽의 높이는 순수한 산화막과 950 $^{\circ}\text{C}$ /1000 $^{\circ}\text{C}$ N_2O 산화막의 경우에 각각 3.13eV, 3.16eV, 3.14eV로 장벽의 높이가 서로 유사함을 알 수 있다.

2. F-N 스트레스 인가시 박막의 특성 분석

n-well(a)에 $J_g=+10\text{mA}/\text{cm}^2$ 와 p-well(b)에 $J_g=-10\text{mA}/\text{cm}^2$ 의 정전류 F-N 스트레스로 1.0C/cm 2 의 전하량(Q_{inj})를 주입하기 전 후의 누설전류 특성을 그림 4에 나타내었다. 게이트 주입을 한 p-well 캐패시

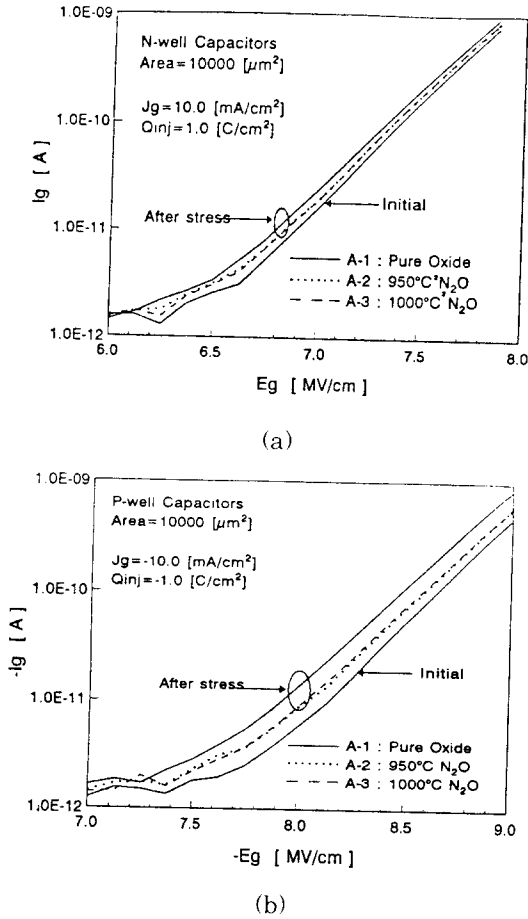


그림 4. 정전류 스트레스 인가 전·후의 누설 전류 특성

- (a) n-well 캐패시터들 ($J_g=+10\text{mA/cm}^2$)
- (b) p-well 캐패시터들 ($J_g=-10\text{mA/cm}^2$)

Fig. 4. Leakage currents before and after constant current stress.

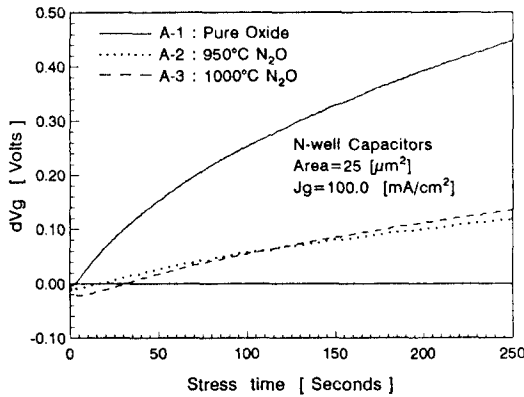
- (a) n-well capacitors ($J_g=+10\text{mA/cm}^2$).
- (b) p-well capacitors ($J_g=-10\text{mA/cm}^2$).

터와 비교할 때, 기판 주입을 한 n-well 캐패시터의 게이트 전류가 더 낮은 게이트 전계에서 흐르기 시작하는 것을 알 수 있다. 이는 n+형인 게이트와 n-well 사이의 일함수 차이가 게이트와 p-well 사이의 일함수 차이와 다르고, 이들 일함수 차이와 기판-박막의 경계면에 포함된 고정전하의 영향으로 인한 평탄대역 전압 만큼의 전계가 게이트에 양(+)의 전압을 인가하는 n-well 캐패시터의 경우에는 박막에 인가된 전계를 증가시키고 게이트에 음(-)의 전압을 인가하는 p-well 캐패시터의 경우에는 박막에 인가된 전계

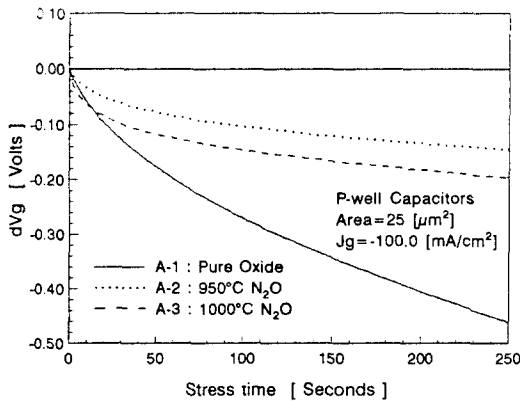
를 감소시키기 때문이다. 스트레스 후에 게이트 주입을 한 p-well 캐패시터의 누설전류의 증가량은 순수한 산화막과 950°C/1000°C N₂O 산화막의 모든 박막들에 대하여 기판 주입을 한 n-well 캐패시터에서 보다 더 크게 나타났으며, 이는 TDDDB 특성 분석에서 설명되는 것과 같이 게이트 주입을 한 p-well 캐패시터의 항복시간이 모든 박막들에 대하여 기판 주입을 한 n-well 캐패시터의 항복시간보다 더 짧게 나타나는 것과 연관이 있으며, p-well 캐패시터에서 측정된 박막의 국부적인 얇아짐과 밀도가 모든 박막들에 대하여 n-well 캐패시터에서 보다 더 크기 때문인 것으로 설명할 수 있다. 또한 N₂O 산화막에 대한 누설전류의 증가는 순수한 산화막에 비하여 상당히 적은 것을 알 수 있으며, 950°C와 1000°C N₂O 산화막의 누설전류 증가는 서로 유사하게 됨을 알 수 있다. 이러한 낮은 전계에서 흐르는 전류는 박막에 인가된 전계의 도움으로 캐리어들이 한 트랩에서 다른 트랩으로 이동하기 때문이며, 따라서 정전류 F-N 스트레스 인가 후에 N₂O 산화막에는 순수한 산화막에 비하여 더 적은 트랩이 발생되기 때문에 누설전류의 증가량이 적은 것으로 판단된다. N₂O 산화막에서 누설전류 특성의 개선은 기존의 SIMS 분석^[11]에서와 같이 산화막과 기판 Si 사이의 계면에 누적된 질소기의 영향으로, 박막의 성장시에 Si-O 결합의 압축력을 Si-N 결합의 인장력이 효과적으로 상쇄하여 계면의 특성이 향상되기 때문인 것으로 알려지고 있다.^[13]

게이트에 $J_g = \pm 10\text{mA/cm}^2$ 의 전류를 인가했을 때, 시간에 따른 게이트 전압(V_g)의 변화를 그림 5에 나타내었다. 전자포획량의 증가를 나타내는 dV_g/dt 의 값^[14]이 N₂O 산화막의 경우가 순수한 산화막의 경우보다 훨씬 적음을 알 수 있다. 또한 250초 스트레스 후의 게이트 전압의 변화량(dV_g)의 크기는 기판 주입을 한 n-well 캐패시터(a)의 경우에 순수한 산화막과 950°C/1000°C N₂O 산화막에 대하여 각각 0.448V, 0.119V, 0.135V로 게이트 주입을 한 p-well 캐패시터(b)의 경우의 0.462V, 0.145V, 0.196V의 값보다 작고 950°C N₂O 산화막이 가장 작은 값으로 전자포획량의 증가량이 제일 작게 나타났다. N₂O 산화막에서 이러한 전자포획량의 감소는 박막의 성장시에 질소기가 박막을 통하여 확산되면서 박막과 Si 계면에서 Si-O 결합을 이루지 못하는 불완전한 결합들과 Si-N의 완전한 결합을 이루기 때문인 것으로 알려지고 있다.^[15]

게이트에 $J_g = \pm 10\text{mA/cm}^2$ 의 정전류 F-N 스트레스를 인가하기 전 후의 C-V 곡선을 그림 6에 나타내었다. 초기 C-V 곡선은 세 박막에 대하여 모두 유사



(a)



(b)

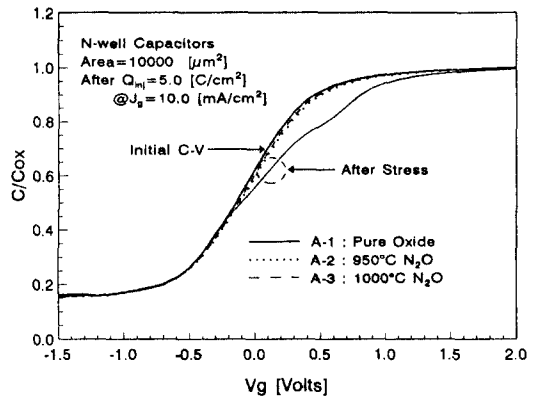
그림 5. 정전류 스트레스 인가시의 게이트 전압의 변화(ΔV_g)

- (a) n-well 캐패시터들 ($J_g=+100\text{mA/cm}^2$)
- (b) p-well 캐패시터들 ($J_g=-100\text{mA/cm}^2$)

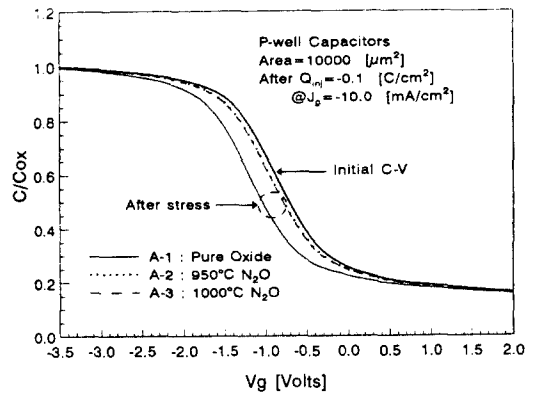
Fig. 5. Gate voltage shifts (ΔV_g) under constant current stress.

- (a) n-well capacitors ($J_g=+100\text{mA/cm}^2$).
- (b) p-well capacitors ($J_g=-100\text{mA/cm}^2$).

하게 나타났으며, n-well 캐패시터(a)에 대하여 기판 주입으로 $Q_{inj}=5.0\text{C/cm}^2$ 의 전하량을 주입한 후의 C-V 곡선에서 순수한 산화막은 V_g 가 증가함에 따라 C-V 곡선의 기울기의 변화가 증가하였다. 이러한 C-V 곡선의 기울기의 변화는 계면상태(interface state) 밀도의 증가로 인한 것이며, 따라서 N_2O 산화막은 순수한 산화막에 비하여 계면상태 밀도의 증가가 훨씬 적음을 알 수 있다. p-well 캐패시터(b)에 대하여 $Q_{inj}=-0.1\text{C/cm}^2$ 의 전하량을 주입한 후의 C-V 곡선은 초기 C-V 곡선의 기울기와 유사하였으나 초기 C-V 곡선에 대하여 전압축을 따라 음(-)의 방향



(a)



(b)

그림 6. 정전류 스트레스 인가 전·후의 C-V 곡선

- (a) n-well 캐패시터들 ($J_g=+10\text{mA/cm}^2$)
- (b) p-well 캐패시터들 ($J_g=-10\text{mA/cm}^2$)

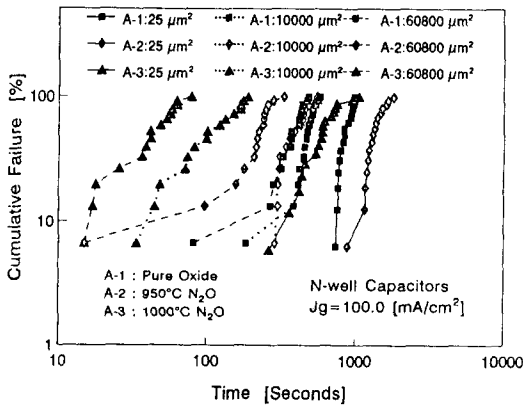
Fig. 6. C-V curves before and after constant current stress.

- (a) n-well capacitors ($J_g=+10\text{mA/cm}^2$).
- (b) p-well capacitors ($J_g=-10\text{mA/cm}^2$).

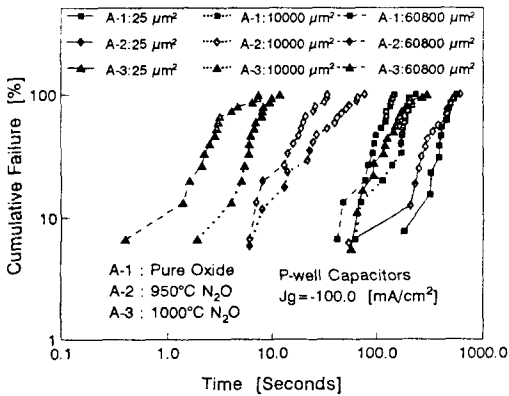
으로 이동된 특성을 나타냈으며, 이는 계면부근의 박막에 포함된 홀 포획량이 증가하였기 때문이다. 스트레스를 인가한 후에 950°C, 1000°C N_2O 산화막과 순수한 산화막의 평탄대역 전압 이동은 각각 0.074V, 0.081V, 0.326V로 950°C와 1000°C N_2O 산화막의 홀 포획량이 순수한 산화막의 1/4 이하로 나타났다.

3. TDDB 특성 분석

N_2O 산화막과 순수한 산화막에 대하여 $25\mu\text{m}^2$, $10000\mu\text{m}^2$, $60800\mu\text{m}^2$ 의 면적을 갖는 캐패시터들에



(a)



(b)

그림 7. 정전류 스트레스 인가시 다른 면적(25, 10000, 60800 μm²)의 캐패시터들에 대한 TDDB 특성

(a) n-well 캐패시터들 ($J_E=+100\text{mA/cm}^2$)

(b) p-well 캐패시터들 ($J_E=-100\text{mA/cm}^2$)

Fig. 7. TDDB properties under constant current stress for capacitors with different areas(26, 1000, 60800 μm²).

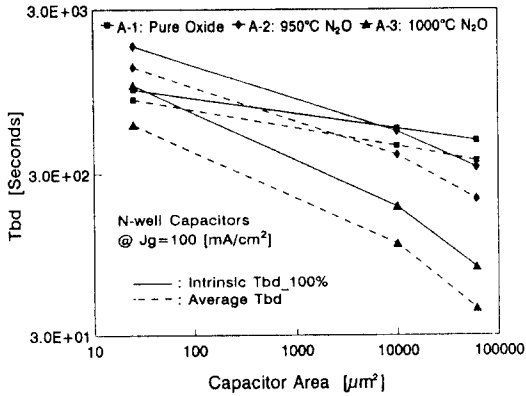
(a) n-well capacitors ($J_E=+100\text{mA/cm}^2$).

(b) p-well capacitors ($J_E=-100\text{mA/cm}^2$).

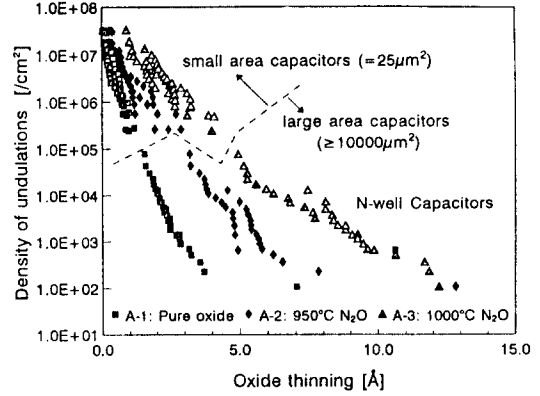
$J_E=100\text{mA/cm}^2$ 의 전류를 주입했을 때의 TDDB 특성을 그림 7에 나타내었다. 기판 주입을 한 n-well (a)의 경우에 면적이 25μm²인 캐패시터의 TDDB 특성에서는 950°C N₂O 산화막이 가장 우수한 특성을 나타내었고 1000°C N₂O 산화막이 가장 열등한 특성을 나타내었으나, 10000μm²과 60800μm²의 캐패시터에서는 순수한 산화막이 가장 우수한 특성을 그리고

1000°C N₂O 산화막이 가장 열등한 특성을 나타내었다. 반면에, 게이트 주입을 한 p-well(b) 캐패시터의 경우에는 모든 박막들에 대하여 n-well의 경우보다 더 열등한 TDDB 특성을 나타내었고, 또한 캐패시터 면적에 관계없이 순수한 산화막이 가장 우수한 특성을 그리고 1000°C N₂O 산화막이 가장 열등한 특성을 나타내었으며, 이러한 TDDB 특성의 차이는 캐패시터 면적이 증가함에 따라 더욱 크게 나타났다. 여기에서 관찰된 작은 면적(=25μm²)의 n/p-well 캐패시터들에 대한 TDDB 결과들은 기존에 발표된 논문^[10]과 일치하는 특성들이며, n/p-well에 성장된 박막 특성의 차이 때문이 아니라 게이트 전류의 주입 방법의 차이에 의한 것으로 알려진다. 즉, 순수한 산화막과 비교할 때, N₂O 산화막은 기판 주입을 한 경우에는 개선된 TDDB 특성을, 그리고 게이트 주입을 한 경우에는 약간 열등한 특성을 나타내는 것으로 발표되었다.^[10] 이러한 게이트 전류의 주입 조건에 따른 TDDB 특성의 차이는 기판 Si와 N₂O 산화막의 경계에서는 질소기가 밀집되어 있는 반면에, 게이트와 N₂O 산화막의 경계에는 질소기가 거의 없기 때문인 것으로 밝혀졌다.^[9] 또한, 950°C에서 성장된 N₂O 산화막이 1000°C에서 성장된 것보다 더 좋은 TDDB 특성을 갖는 것은 N₂O 산화막의 성장 온도가 증가함에 따라 Si 표면에 국부적으로 과다한 질소량이 포함되어 박막의 성장을 방해함으로써 박막의 국부적인 얇아짐이 증가하는 현상으로 발표되었다.^[16] 그러나 그림 7에서 보여진 것과 같은 캐패시터 면적의 증가에 따른 N₂O 산화막의 TDDB 특성에 관하여 발표된 논문은 아직까지는 없었던 것으로 알고 있다.

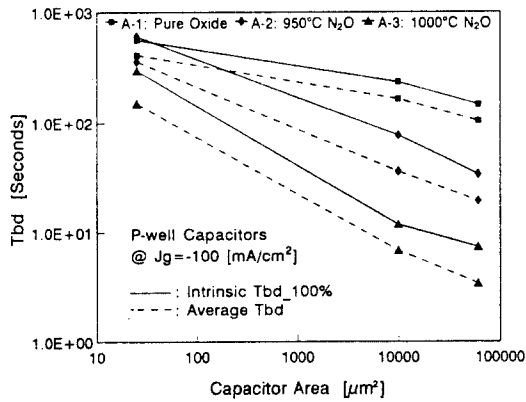
그림 8에는 그림 7의 TDDB 특성에서 평균 항복 시간(T_{bd})과 박막의 100% 항복시간($T_{bd,100\%}$)들을 캐패시터 면적에 따라 다시 나타낸 것이다. 결함 밀도를 나타내는 면적의 증가에 따른 T_{bd} 값과 $T_{bd,100\%}$ 값의 감소율^[17]은 1000°C N₂O 산화막이 가장 큰 값으로 나쁘게 나타났으며, 순수한 산화막이 가장 작은 값으로 양호한 특성을 나타내었다. 따라서, 순수한 산화막의 결함 밀도가 N₂O 산화막의 결함 밀도보다 더 작고, 1000°C N₂O 산화막의 경우에 결함 밀도가 가장 큰 것으로 판단된다. 이러한 N₂O 산화막의 증가된 결함 밀도는 그림 2의 설명에서도 지적한 바와 같이 핀홀 등과 같은 박막의 결함에 의한 것이 아니라, 그림 7에서 설명된 것과 같이 온도가 증가함에 따라 N₂O 박막의 성장시에 기판 Si 표면에 국부적으로 과다한 질소량이 포함되어 박막의 성장을 방해함으로써 박막의 국부적인 얇아짐이 증가한 것으로 설명할 수 있다.



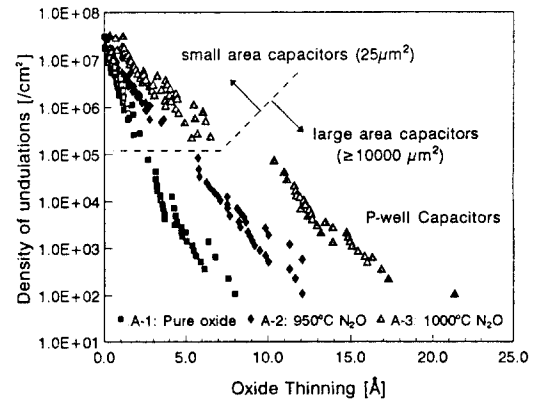
(a)



(a)



(b)



(b)

그림 8. 평균 항복시간(T_{bd})과 100% 항복시간($T_{bd-100\%}$)의 면적에 대한 관계

- (a) n-well 캐패시터들 ($J_g=+100\text{mA/cm}^2$)
- (b) p-well 캐패시터들 ($J_g=-100\text{mA/cm}^2$)

Fig. 8. The dependence of average time to breakdown(T_{bd}) and time to 100% cumulative failure($T_{be-100\%}$) on the area.

- (a) n-well capacitors ($J_g=+100\text{mA/cm}^2$).
- (b) p-well capacitors ($J_g=-100\text{mA/cm}^2$).

그림 7과 그림 8에서 보여진 TDDB 특성을 분석하기 위하여, 통계적인 방법^[16,18,19]을 사용하여 추출한 각 박막의 국부적인 얇아짐의 두께(ΔT_{ox})와 밀도($D(\Delta T_{ox})$)를 그림 9에 나타내었다. 모든 박막에 대하여 기판 주입을 한 n-well 캐패시터(a)의 ΔT_{ox} 와 밀도가 게이트 주입을 한 p-well 캐패시터(b)의 ΔT_{ox} 와 밀도보다 작은 좋은 특성을 나타내었다. 이는

그림 9. Tbd 값들로부터 전기적으로^[18] 평가한 박막의 국부적인 얇아짐 (ΔT_{ox})과 밀도

- (a) n-well 캐패시터들 ($J_g=+100\text{mA/cm}^2$)
- (b) p-well 캐패시터들 ($J_g=-100\text{mA/cm}^2$)

Fig. 9. Local oxide thinning(ΔT_{ox}) and density electrically evaluated^[18] from Tbd values.

- (a) n-well capacitors ($J_g=+100\text{mA/cm}^2$).
- (b) p-well capacitors ($J_g=-100\text{mA/cm}^2$).

그림 4에서 F-N 스트레스 인가시의 누설전류 특성이 n-well인 경우보다 p-well인 경우에 더 크게 되는 원인으로 지적한 것이다. 즉, 기판 Si와 박막의 경계면은 고온에서 성장된 안정된 결합구조를 갖는 반면에, 게이트인 비정질 Si와 박막의 경계면은 낮은 온도에서 증착된 Si와의 계면이기 때문에 안정된 결합구조를 갖지 못할 뿐만 아니라 비정질 Si의 바닥 표면이 거칠기 때문인 것으로 판단된다. 이러한 두 계

면의 차이는 기판 주입을 한 n-well 캐패시터들이 게이트 주입을 한 p-well 캐패시터들보다 더 우수한 TDDB 특성을 보이는 것과는 일치되는 결과이다. 또한 그림 9에서는 1000°C N₂O 산화막이 가장 큰 ΔT_{ox}와 밀도를 나타내었으며, 순수한 산화막이 가장 작은 ΔT_{ox}와 밀도를 나타내었다. 캐패시터 면적의 증가에 따른 ΔT_{ox}와 밀도의 증가량도 순수한 산화막이 가장 작은 값으로 측정되었고, 1000°C N₂O 산화막이 가장 큰 값으로 측정되었다. 여기에서 측정된 950°C N₂O 산화막의 ΔT_{ox}와 밀도의 값들은 기존의 논문^[16]에서 발표된 값들과 일치되는 결과이다.

따라서, n/p-well 캐패시터들에 대하여 그림 7과 그림 8에서 보여진 TDDB 특성의 차이는 아래와 같이 설명할 수 있다. n-well 및 p-well 위에 성장된 순수한 산화막 및 N₂O 산화막들은 모두 동일한 구조를 갖고 있는 것으로 볼 수 있다. 따라서, n-well 캐패시터들이 p-well 캐패시터들보다 개선된 TDDB 특성을 보이는 이유는 박막 특성의 차이 보다는 그림 7에서 설명된 것과 같이 전류의 주입조건에 따른 차이로 보아야 한다. 즉, 모든 박막들에 대하여 기판과 박막의 계면이 게이트와 박막의 계면보다 안정된 결합 구조를 갖고 또한 박막의 국부적인 얇아짐도 더 작기 때문에, 기판 주입을 한 n-well 캐패시터들이 게이트 주입을 한 p-well 캐패시터들보다 더 좋은 TDDB 특성을 보이는 것이라 할 수 있다. 이러한 두 계면의 차이는 F-N 스트레스 인가시의 누설전류 특성 및 게이트 전압의 변화 특성과는 일치하는 결과이다. 또한, 전류 주입 방법 및 캐패시터 면적에 따른 순수한 산화막과 N₂O 산화막의 상대적인 TDDB 특성의 차이는 박막의 국부적인 얇아짐과 N₂O 산화막에서의 질소기의 분포에 의하여 다음과 같이 설명할 수 있다. n/p-well 위에 성장된 N₂O 산화막내에서의 질소기의 분포는 동일한 것으로 볼 수 있으며, 즉 기판과 박막의 경계면에는 상대적으로 많은 양의 질소기가 포함되어 있는 반면에 게이트와 박막의 경계면에는 극히 적은 질소기가 포함되어 있다고 볼 수 있다. 또한 그림 9에서 보여진 것과 같이 25μm²의 작은 면적을 갖는 캐패시터에서는 950°C N₂O 산화막의 ΔT_{ox} 값은 순수한 산화막에 비하여 약간 높은 값 (<1.5Å)을 갖는 반면에 1000°C N₂O 산화막의 T_{ox}와 밀도의 값은 이보다 더 큰 값(1~4Å)을 갖는다. 따라서, 25μm²의 작은 면적을 갖는 950°C N₂O 산화막에 대하여, 기판 주입을 한 n-well 캐패시터의 경우에는 기판과 박막 사이의 계면에 누적되어 있는 질소기에 의한 영향이 작은 ΔT_{ox} 차이에 의한 영향보다 더 크기 때문에 순수한 산화막보다 더 좋은

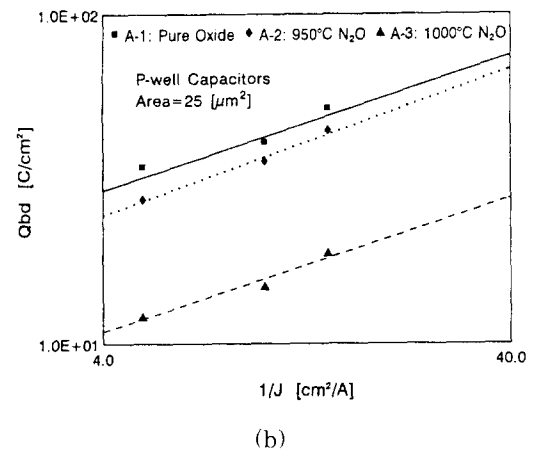
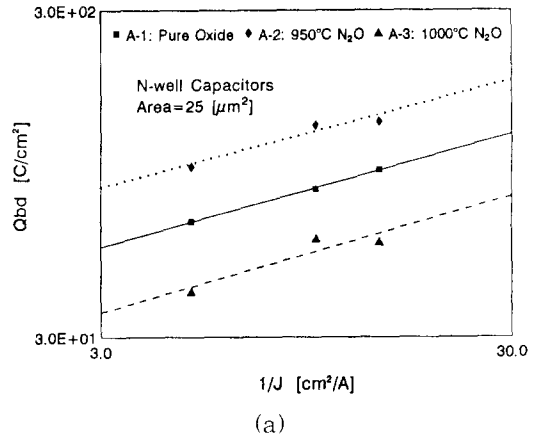


그림 10. 평균 항복전하량(Q_{bd})과 스트레스 전류밀도의 관계

- (a) n-well 캐패시터들
- (b) p-well 캐패시터들

Fig. 10. The dependence of average charge to breakdown(Q_{bd}) on stress current density.

- (a) n-well capacitors .
- (b) p-well capacitors.

TDDB 특성을 나타내는 것으로 볼 수 있는 반면에, 게이트 주입을 한 p-well 캐패시터의 경우에는 게이트와 박막 사이의 계면에 포함된 질소기의 양이 상당히 작기 때문에 계면의 특성에 거의 영향을 미치지 못하므로^{[10][11]} ΔT_{ox}가 큰 N₂O 산화막이 순수한 산화막보다 열등한 특성을 나타내는 것으로 볼 수 있다. 그러나, 25μm²의 작은 면적을 갖는 1000°C N₂O 산화막 캐패시터에서는 ΔT_{ox}의 값이 순수한 산화막

이나 950℃ N₂O 산화막보다 더 높은 값을 갖기 때문에 ΔT_{ox} 차이에 의한 영향이 기판과 박막 사이의 계면에 포함된 질소기에 의한 영향보다 더 크게 되고, 따라서 기판 주입을 한 n-well 캐패시터의 경우에도 순수한 산화막보다 열등한 TDDB 특성을 나타내는 것으로 볼 수 있다. 또한, 면적이 10000 μm^2 과 60800 μm^2 인 큰 캐패시터에서 950℃ 및 1000℃ N₂O 산화막의 기판과 박막 사이의 계면에 포함된 질소기에 의한 영향은 변하지 않고 동일하게 유지되는 반면에, ΔT_{ox} 와 밀도의 값들은 순수한 산화막에 비하여 훨씬 더 커지게 되고, 따라서 이 때에는 ΔT_{ox} 의 영향이 박막과 기판 Si 사이의 계면에 포함된 질소기에 의한 영향보다 더 크게 되기 때문에, n-well 및 p-well 캐패시터들에 대하여 N₂O 산화막이 순수한 산화막보다 열등한 TDDB 특성을 나타내는 것으로 설명할 수 있다 그림 10에는 25 μm^2 의 작은 면적을 갖는 캐패시터에 대한 평균 Q_{bd} 와 J_R 의 관계를 나타내었다. 낮은 전류밀도로까지 연장된 직선으로부터 추출된 $J_R=10\mu\text{A}/\text{cm}^2$ 의 전류가 흐를 때의 수명시간은 950℃, 1000℃ N₂O 산화막과 순수한 산화막에 대하여, n-well인 경우 각각 7.75년, 4.84년, 6.81년으로 950℃ N₂O 산화막의 평균 수명시간이 가장 길었으며, p-well인 경우에는 각각 4.05년, 2.16년, 5.07년으로 순수한 산화막의 경우에 가장 긴 평균 수명시간을 갖는 것으로 나타났다.

IV. 결론

로(furnace)에서 성장한 각각 74Å과 82Å의 두께를 갖는 950℃와 1000℃ N₂O 산화막의 전기적 및 신뢰성 특성들을 850℃에서 성장한 84Å의 두께의 순수한 건식 산화막의 특성과 비교하였다. N₂O 산화막의 초기 I_R-V_R 특성은 순수한 산화막과 유사하고 F-N 터널링 전류임을 알 수 있었다. 정전류 F-N 스트레스 인가시의 낮은 전계에서의 누설전류, 박막내에 포획되는 전하의 증가량과 계면상태의 증가량 등의 신뢰성 특성들에 대해서는 N₂O 산화막이 순수한 산화막에 비하여 상당히 개선된 특성을 나타냈으며, 이는 N₂O 산화막내에 있는 질소기에 의한 영향으로 알려지고 있다.^{[4] [13] [15]} 그러나, F-N 전류 주입 방법에 관계없이 캐패시터 면적이 증가함에 따라 N₂O 산화막의 TDDB 특성은 순수한 산화막보다 더 나빠지게 되어 60800 μm^2 의 큰 면적을 갖는 캐패시터에서는 950℃/1000℃ N₂O 산화막이 순수한 산화막에 비하여 상당히 열등한 특성을 나타내었다. 반면에, 25 μm^2 의 작은 면적을 갖는 캐패시터의 TDDB 측정에서

는 기판 주입을 한 n-well 캐패시터의 경우에는 950℃ N₂O 산화막, 순수한 산화막, 1000℃ N₂O 산화막 순으로 950℃ N₂O 산화막이 가장 우수한 특성을 나타냈으며, 게이트 주입을 한 p-well 캐패시터의 경우에는 순수한 산화막, 950℃ N₂O 산화막, 1000℃ N₂O 산화막 순으로 순수한 산화막이 가장 우수한 특성을 보여주었다. 이러한 정전류 스트레스 주입 방법 및 캐패시터 면적에 따른 N₂O 산화막의 TDDB 특성들은 박막과 기판 Si 사이의 계면에 모여 있는 질소기에 의한 영향과 N₂O 산화막의 성장시 Si 기판 표면에 불균일하게 분포된 질소기로 인하여 박막의 국부적인 얇아짐이 증가된 현상에 의하여 설명되었다.

이러한 N₂O 산화막의 국부적인 얇아짐은 공정의 특성상 항상 존재하는 문제로 생각되며, 따라서 앞으로 100A 이하의 얇은 박막을 요구하는 256Mbit DRAM이나 EEPROM의 터널링 유전체로 N₂O 산화막을 사용하기 위해서는 우선적으로 N₂O 산화막의 국부적인 얇아짐을 최소로 할 수 있는 공정을 개발해야 할 것이다.

參考文獻

- [1] T. Hori and H. Iwasaki, "Impact of ultrathin nitrided oxide gate dielectrics on MOS device performance improvement," in *IEDM. Tech. Dig.*, p. 459, 1989.
- [2] Z.H. Liu, P.T. Lai, and Y.C. Cheng, "Characterization of charge trapping and high field endurance for 15nm thermally nitrided oxides," *IEEE. Trans. Electron Devices*, vol. 38, p. 344, 1991.
- [3] M.M. Moslehi and K.C. Sarawat, "Thermal Nitridation of Si and SiO₂ for VLSI," *IEEE. Trans. Electron Devices*, vol. 32, p. 106, 1985.
- [4] T. Hori, H. Iwasaki, and K. Tsuji, "Electrical and physical properties of ultrathin reoxidized nitrided oxides prepared by rapid thermal processing," *IEEE. Trans. Electron Devices*, vol. 36, p. 340, 1989.
- [5] T. Ito, T. Nakamura, and H. Iwasaki, "Advantages of thermal nitrided and nitroxide gate films in VLSI process."

- IEEE. Trans. Electron Devices*, vol. 29, p. 498, 1982.
- [6] 손 문 회, "급속 열처리 방법으로 성장한 재산화된 질화 산화막의 전기적 특성," 연 세 대 학 교 전자공학과 석사학위 논문, 1991.
- [7] 여 협 구, 이 현 창, 이 상 돈, 김 환 명, 노 재 성, 김 봉 열, "Furnace에서 N₂O 가스로 성장시킨 게이트 산화막의 전기적 특성," 대한전자공학회, 추계종합학술대회 논문 집, 제 15권, 제 2호, p. 255, 1992.
- [8] H. Hwang, W. Ting, B. Malti, D.L. Kwong, and J. Lee, "Electrical characteristics of ultrathin oxynitride gate dielectrics prepared by rapid thermal oxidation of silicon in N₂O," *Appl. Phys. Lett.*, vol. 57, p. 1010, 1990.
- [9] W. Ting, H. Hwang, J. Lee, and D.L. Kwong, "Composition and Growth kinetics of ultrathin SiO₂ films formed by oxidizing Si Substrates in N₂O," *Appl. Phys. Lett.*, vol. 57, p. 2808, 1990.
- [10] W. Ting, G.Q. Lo, Jinho Ahn, Thomas Y. Chu, and D.L. Kwong, "Comparison of dielectric wear-out between oxides grown in O₂ and N₂O," in *IEEE. IRPS.*, p. 323, 1991.
- [11] A. Uchiyama, H. Fukuda, T. Hayashi, T. Iwabuchi, and S. Ohno, "High Performance Dual gate sub-halfmicron CMOSFETs with 6nm-thick Nitrided SiO₂ Films in an N₂O ambient," in *IEDM Tech. Dig.*, p. 425, 1990.
- [12] Zhihong Liu, Hsing-Jen Wann, Ping K. Ko, Chenming Hu, and Yiu Chung Cheng, "Effect of N₂O Anneal and Reoxidation on Thermal Oxide Characteristics," *IEEE. Electron Dev. Lett.*, vol. 13, p. 402, 1992.
- [13] R.P. Vasquez and A. Madhukar, "Strain-dependent defect formation kinetics and a correlation between flatband voltage and nitrogen distribution in thermally nitrided SiO_xN_y/Si structures," *Appl. Phys. Lett.*, vol. 47, p. 998, 1985.
- [14] S.K. Lai, J. Lee, and V.K. Dham, "Electrical properties of nitrided-oxide systems for use in gate dielectrics and EEPROM," in *IEDM Tech. Dig.*, p. 190, 1983.
- [15] H. Fukuda, M. Yasuda, T. Iwabuchi, and S. Ohno, "Novel N₂O-Oxynitridation Technology for Forming Highly Reliable EEPROM Tunnel Oxide Films," *IEEE. Electron Dev. Lett.*, vol. 12, p. 587, 1991.
- [16] G.W. Yoon, A.B. Joshi, J. Kim, G.Q. Lo, and Dim-Lee Kwong, "Effects of Growth Temperature on TDDB Characteristics of N₂O-Grown Oxides," *IEEE. Electron Dev. Lett.*, vol. 13, p. 606, 1992.
- [17] J.S. Gibson and D.W. Dong, "Direct evidence for 1nm pores in "dry" thermal SiO₂ from high resolution transmission electron microscopy," *J. Electrochem. Soc.*, vol. 127, p. 2722, 1980.
- [18] Jack Lee, In-Chin Chen, and Chenming Hu, "Statistical Modeling of Silicon Dioxide Reliability," *IEEE. IRPS.*, p. 131, 1988.
- [19] Hiroyuki Tanaka, Hidetsugu Uchida, Norio Hirashita, and Tsunec Ajioka, "The Effect of surface roughness on TDDB characteristics of ONO Films," in *IEEE. IRPS.*, p. 31, 1992.

著者紹介

李相敦(正會員) 第 30卷 A編 第 12號 參照
현재 연세대학교 전자공학과 박사
과정

盧載盛(正會員)
1960年 11月 27日生. 1984年 2月 연세대학교 요업
공학과 졸업. 1988年 8月 한국과학기술원(KAIST)
재료공학과 졸업(공학박사). 1988年 9月 ~ 현재 금
성일렉트론 중앙연구소 8연구실 선행공정개발실 책임
연구원으로 근무중.

金鳳烈(正會員) 第 25卷 第 11號 參照
현재 연세대학교 전자공학과 교수