

論文94-31A-6-13

증착시 도핑된 비정질 Si 게이트를 갖는 MOS 캐패시터와 트랜지스터의 전기적 특성

(Electrical Properties of MOS Capacitors and Transistors with in-situ doped Amorphous Si Gate)

李相敦*, 李炫昌*, 盧載盛**, 金鳳烈*

(Sang Don Lee, Hyun Chang Lee, Jae Sung Rho and Bong Ryul Kim)

要約

본 논문에서는 증착시 도핑된 비정질 Si 게이트를 갖는 MOS 캐패시터와 트랜지스터의 전기적 특성을 증착후 POCl_3 로 도핑한 비정질 Si과 다결정 Si 게이트를 갖는 MOS 캐패시터와 트랜지스터의 전기적 특성과 비교하였다. 정전류 F-N 스트레스하에서 증착시 도핑된 비정질 Si 게이트의 MOS 캐패시터는 누설 전류의 변화, 게이트 전압의 변화, 평탄대역 전압의 이동, Q_{bd} 등과 같은 신뢰성 특성에서 가장 좋은 특성을 보여주었다. 또한 증착시 도핑된 비정질 Si 게이트의 MOSFET는 문턱전압, 트랜스컨덕턴스, 드레인 전류 등과 같은 트랜지스터 특성에서도 더 적은 성능 저하를 보여주었다. 증착시 도핑된 비정질 Si 게이트를 갖는 MOS 소자에서의 이러한 특성의 개선은 큰 결정립과 게이트/ SiO_2 의 완만한 표면에 의하여 게이트/ SiO_2 계면에서의 국부적 얇아짐이 적어졌기 때문인 것으로 관찰되었다.

Abstract

In this paper, the electrical properties of MOS capacitors and transistors with gate of in-situ doped amorphous Si have been compared with those of MOS capacitors and transistors with gate of amorphous Si and poly Si doped by POCl_3 . Under constant current F-N stress, MOS capacitors with in-situ doped amorphous Si gate have shown the best resistance to degradation in reliability properties such as increase of leakage current, shift of gate voltage(V_g), shift of flat band voltage(V_{fb}) and charge to breakdown(Q_{bd}). Also, MOSFETs with in-situ doped amorphous Si gate have shown to have less degradation in transistor properties such as threshold voltage, transconductance and drain current. These improvements observed in MOS devices with in-situ doped amorphous Si gate is attributed to less local thinning spots at the gate/ SiO_2 interface, caused by the large grain size and the smoothness of the surface at the gate/ SiO_2 interface.

1. 서론

* 正會員, 延世大學校 電子工學科

(Dept. of Elec. Eng., Yonsei Univ.)

** 正會員, 金星 일렉트론(주) 중앙연구소 8연구실

(Dept. #8, Central R & D Lab., GoldStar Electron Co. Ltd.)

接受日字 : 1993年 8月 24日

반도체 IC칩의 집적도가 증가함에 따라 유효 산화막의 두께가 더 얇아지게 되었고, 이에 따라 높은 전계에 의한 핫 캐리어(hot carrier) 주입 효과로 인한 소자의 신뢰성 문제가 대두되었다. 또한 제작 공정도 더 복잡하게 되었고, 따라서 소자의 신뢰성 뿐만 아

니라 제작 공정을 단순하게 하는 것이 중요하게 대두 되었다. 이에 MOS 게이트 제작공정을 기존의 증착 및 도핑으로 구분되는 2단계 공정에서 증착시 도핑된 다결정 Si를 사용하는 간단한 단일 공정으로 대체하고자 하는 연구가 진행되어 왔었다.^{1,2,3} 그러나 이러한 게이트 공정의 변화는 MOS 구조의 얇은 게이트 산화막에 영향을 미칠 수 있기 때문에, 게이트 재료에 따른 게이트 산화막의 전기적 및 신뢰성 특성의 변화를 관찰하는 것이 필요하다. 따라서 본 연구에서는 동일 산화막위에 증착후 도핑한(ex-situ doped) 비정질 Si과 다결정 Si 그리고 증착시 도핑한(in-situ doped) 비정질 Si의 3가지 종류의 게이트를 갖는 MOS 캐패시터와 트랜지스터들의 전기적 및 신뢰성 특성을 비교 검토하고, 또한 이들의 특성 차이가 게이트와 산화막 사이에서의 게이트 결정의 차이에 따른 박막의 국부적인 얇아짐에 의하여 설명될 수 있음을 보이고자 한다.

II. 소자 제작

비저항이 6-9Ω·cm이고 결정 방향이 (100)인 p-형 웨이퍼를 사용하여 표준 세척 공정을 거친뒤 twin-well CMOS 공정으로 소자를 제작하였다. 공정 순서와 조건은 각각 그림 1과 표 1에 나타내었다. n-well 형성을 위하여 phosphorus를 1.0x10¹³/cm², 160KeV로 이온 주입하였고, p-well 형성을 위해 BF₂를 9.0x10¹²/cm², 60KeV로 이온 주입하였다. 소자 분리를 위해 LOCOS 공정을 거친 후, 게이트 산화막을 850℃의 온도에서 110A의 두께로 O₂ 분위기에서 성장하였다. 게이트 전극은 표 1에서와 같이 증착후 도핑한 다결정 Si(poly+POCl₃) 및 비정질 Si(a-Si+POCl₃)과 증착시 도핑된 비정질 Si(in-situ doped a-Si)의 3가지로 분류하여 2000 A 두께의 n⁻형으로 제작하였다. 게이트의 면저항(RS:sheet resistance)은 대략 40Ω/□로 서로 유사하였다. n⁻/p⁺ 소오스/드레인을 형성시키기 위해 각

표 1. 게이트 공정 조건

Table 1. The condition of gate process.

게이트 종류	게이트의 결정형태	Si의 증착온도	압력 (Torr)	Si의 증착속도 (SCCM)	도핑 방법
a-Si+POCl ₃	amorphous	504℃	0.5	280	900℃, POCl ₃
in-situ doped a-Si	amorphous	504℃	0.5	280	504℃, PH ₃
poly+POCl ₃	poly	620℃	0.5	280	900℃, POCl ₃

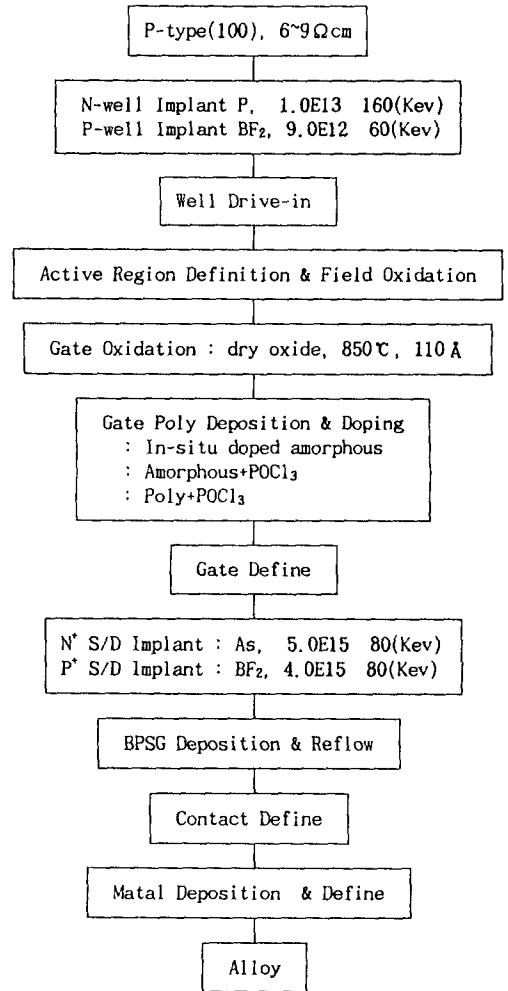


그림 1. 소자 제작을 위한 공정 순서도
Fig. 1. The process flow for device fabrication.

각 As를 5.0x10¹⁵/cm², 80KeV 그리고 BF₂를 4.0x10¹⁵/cm², 80KeV로 이온 주입하고 N₂ 분위기로 900 에서 30분간 열처리하였다. 그리고, BPSG를 증착한 후, 최종적으로 metal 전극을 형성하고 alloy함으로써 소자를 제작하였다. 여기에서 제작된 캐패시터는 면적이 42000μm²이며 트랜지스터는 p-MOSFET의 경우 20 m/0.6μm, 20μm/0.8μm 그리고 n-MOSFET의 경우 20μm/0.6μm, 200μm/5 μm의 크기를 갖는다. 여기서의 측정은 HP4145B parameter analyzer와 HP4275A LCR meter를 사용하여 측정하였으며, 기판의 축적(accumulation)상태에서 측정되도록 p-well에는 음(-)의 게이트 바이

어스를, 그리고 n-well에서는 양(+)의 게이트 바이어스를 가하여 측정하였다.

Ⅲ. 실험 결과 및 고찰

1. ΔV_g 특성

홀 포획 특성을 보기 위하여 n-well 캐패시터에 대하여 $J_g=+10\mu A/cm^2$ 의 작은 정전류 스트레스를 인가했을 때의 시간에 따른 게이트 전압의 변화(ΔV_g)를 그림 2에 나타내었다. 그림에서 볼 수 있듯이 100초 스트레스 후에 in-situ doped a-Si 게이트의 ΔV_g 는 -0.025V로 다른 두 경우의 -0.030V, -0.032V 보다 변화가 더 적었으며, 따라서 홀 포획량이 상대적으로 더 적은 것을 의미한다.^[4] 여기에서는 나타내지 않았으나 p-well에 $J_g=-10\mu A/cm^2$ 을 인가했을 때에는 이러한 개선의 폭이 더 작게 나타났다.

그림 3은 전자 포획 특성을 보기 위해 비교적 큰 정전류 $J_g= \pm 100mA/cm^2$ 을 가하여 ΔV_g 의 변화를 본 것인데 큰 정전류를 사용하는 것은 스트레스 초기에는 홀 포획이 우세하기 때문에 작은 정전류 스트레스로서는 전자 포획 특성을 볼 수 없기 때문이다.^[5] 그림에서 보듯이 in-situ doped a-Si 게이트는 다른 두 경우보다 더 작은 ΔV_g 를 나타냈으며, 따라서 전자 포획량이 상대적으로 적은 것을 의미한다.

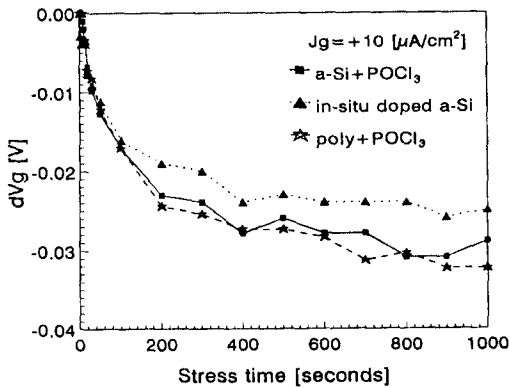
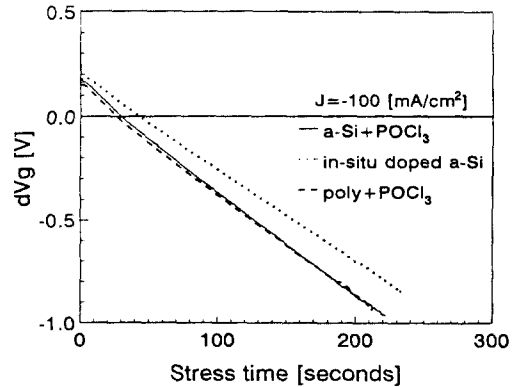


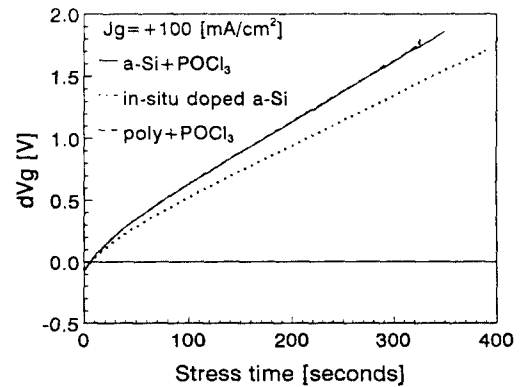
그림 2. 정전류 인가시 홀 포획에 의한 ΔV_g 변화 ($J_g=10\mu A/cm^2$, n-well 캐패시터)
 Fig. 2. Gate voltage shifts of n-well capacitors due to hole trap under constant current stress ($J_g=+10\mu A/cm^2$).

2. C-V 특성 분석

그림 4에서는 n-well 캐패시터에 $J_g=10mA/cm^2$ 의 정전류 스트레스로 $+10C/cm^2$ 의 전하량을 인가하기



(a)



(b)

그림 3. 정전류 인가시 전자 포획에 의한 ΔV_g 변화
 (a) n-well 캐패시터 ($J_g=+100mA/cm^2$)
 (b) p-well 캐패시터 ($J_g=-100mA/cm^2$)

Fig. 3. Gate voltage shifts due to electron trap under constant current stress.
 (a) n-well capacitor ($J_g=+100mA/cm^2$),
 (b) p-well capacitor ($J_g=-100mA/cm^2$).

전 후의 고주파 C-V 특성을 나타낸 것이다. 스트레스 전 · 후의 평탄대역 전압의 변화량(ΔV_{fb})은 in-situ doped a-Si이 +0.53V, a-Si+POCl3은 +0.63V, poly+POCl3은 +0.68V로 in-situ doped a-Si의 경우에 ΔV_{fb} 가 제일 작았다. ΔV_{fb} 는 SiO₂/Si 계면 근처의 전하에 영향을 받는다고 알려져 있으며^[6], 따라서 이것은 그림 3(a)에서 나타난 전자 포획 특성과 일치하는 것이다. p-well인 경우에는 여기에서는 보여지지 않으나 스트레스를 $-10C/cm^2$ 가했을 때 Δ

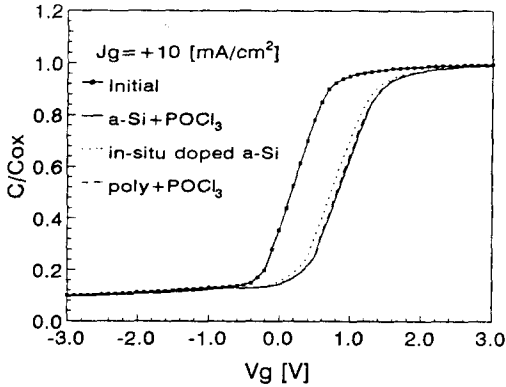


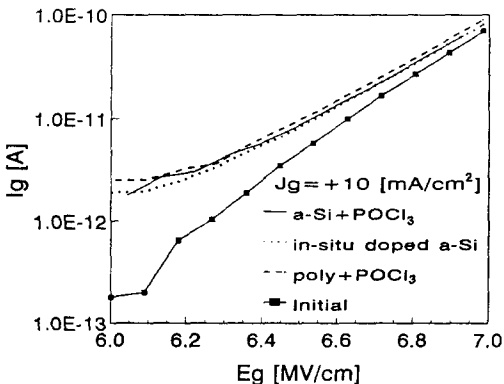
그림 4. 정전류 스트레스 전·후의 고주파 C-V 곡선(n-well 캐패시터, 주입 전하량 10C/cm²)

Fig. 4. High frequency C-V curves of n-well capacitor before and after 10C/cm² stress.

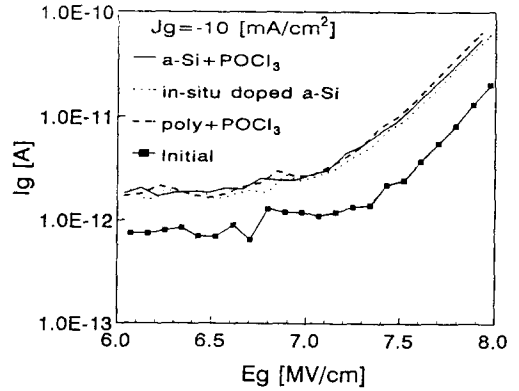
ΔV_{fb} 가 세가지 경우에 대하여 모두 약 -1.1V로 유사하게 나타났는데 이것은 p-well에 $J_R = -100\text{mA/cm}^2$ 스트레스를 가했을 경우 SiO₂/Si 계면에서 in-situ doped a-Si를 갖는 캐패시터의 경우 다른 두 경우의 캐패시터들보다 전자 트랩의 발생율이 더 작으므로 홀의 영향이 커지지 때문인 것으로 판단되며 이러한 특성은 초기에는 홀 트랩이 우세하다는 ΔV_{fb} 의 홀 트랩 특성에서 설명된 것과 동일한 결과이다.

3. 누설 전류 특성 분석

$J_R = \pm 10\text{mA/cm}^2$ 의 정전류 스트레스로 1C/cm²의 전하량을 주입하기 전·후의 낮은 전계에서 측정된 산화막의 누설 전류를 그림 5에 나타내었다. 그림 5



(a)



(b)

그림 5. 스트레스 전·후의 낮은 전계에서의 누설 전류 특성(주입 전하량 10C/cm²)

(a) n-well 캐패시터($J_R = +10\text{mA/cm}^2$)

(b) p-well 캐패시터($J_R = -10\text{mA/cm}^2$)

Fig. 5. Leakage currents at low electric fields before and after constant current stress($Q_{inj} = 10\text{C/cm}^2$)

(a) n-well capacitor($J_R = +10\text{mA/cm}^2$).

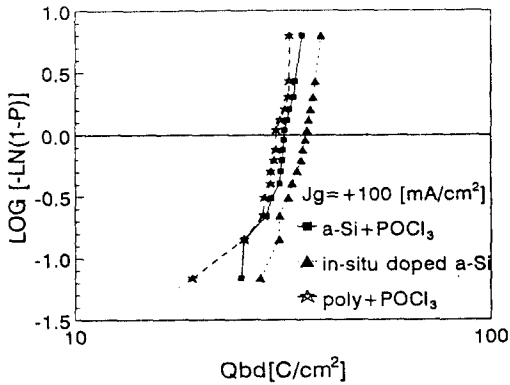
(b) p-well capacitor($J_R = -10\text{mA/cm}^2$).

에서 보듯이 n-well(a) 및 p-well(b) 캐패시터에 대하여 in-situ doped a-Si이 a-Si+POCl₃나 poly+POCl₃보다 누설전류가 작음을 알 수 있다. 누설 전류의 원인을 포획된 전하나 계면 상태들에 의한 전위 장벽의 변형 또는 전계에 의해 캐리어들이 한 트랩에서 다른 트랩으로 뛰어 넘는 것 때문으로 본다 면^[7], in-situ doped a-Si의 경우 트랩된 전하로 인한 국부적인 전위 장벽의 변화량이 더 적은 것으로 판단되며, 이는 전하의 트랩이 작다는 앞의 실험 결과와도 일치되는 결과이다.

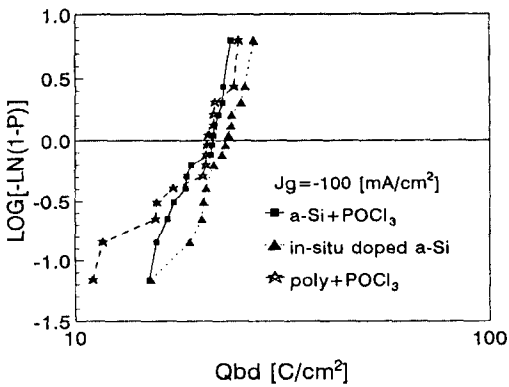
4. Q_{bd} 및 TDDB 특성

그림 6에는 $J_R = \pm 100\text{mA/cm}^2$ 의 정전류를 주입했을 때의 Q_{bd} 특성을 나타내었다. n-well/p-well에 대해 in-situ doped a-Si 게이트를 갖는 캐패시터가 가장 우수한 Q_{bd} 특성을 나타내는 것을 보여주고 있으며, 특히 그림 6(a)의 기판 주입 경우에 약간 더 큰 개선을 나타내는 것을 알 수 있다.

기존의 논문^[8,9,10]에서 Q_{bd} 및 TDDB 특성의 차이는 그림 7에서와 같이 게이트 박막의 유효 국부적 얇아짐으로 해석될 수 있음이 보여졌다. 즉 제일 작은 면적의 캐패시터에 대하여 측정된 모든 박막들이



(a)



(b)

그림 6. 정전류 스트레스하에서의 Q_{bd} 분포
(a) n-well 캐패시터 ($J_g=+100\text{mA/cm}^2$)
(b) p-well 캐패시터 ($J_g=-100\text{mA/cm}^2$)

Fig. 6. Q_{bd} distributions under constant current stress.

(a) n-well capacitor ($J_g=+100\text{mA/cm}^2$),
(b) p-well capacitor ($J_g=-100\text{mA/cm}^2$).

100% 파괴되는 시간인 $T_{bd,100\%}$ 와 그때의 전계와의 그래프로부터 전계에 의한 항복 가속 상수(field acceleration factor)인 기울기 K_1 의 값을 구한다. 여기서 구한 K_1 과 각 박막들의 항복 시간들로부터 식 (1)과 같이 ΔT_{ox} 를 구한다.

$$\Delta T_{ox} = T_{ox} \left[\frac{E_g}{K_1} \log \left(\frac{T_{bd,100\%}}{T_{bd}} \right) \right] \quad (1)$$

여기서 T_{ox} 는 산화막의 두께이고 E_g 는 산화막에 인가된 전계이다.

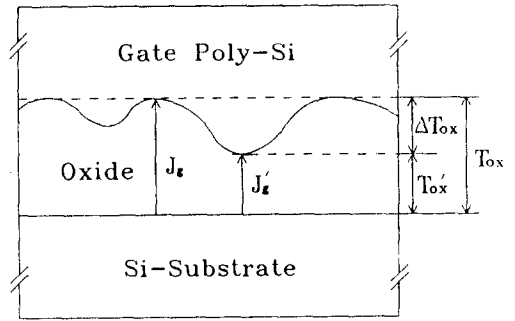


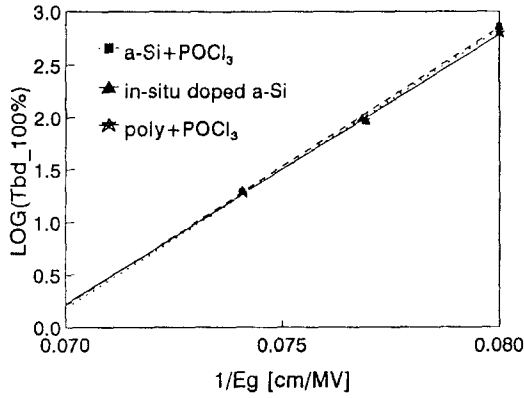
그림 7. 캐패시터의 단면도

Fig. 7. Cross section of a capacitor.

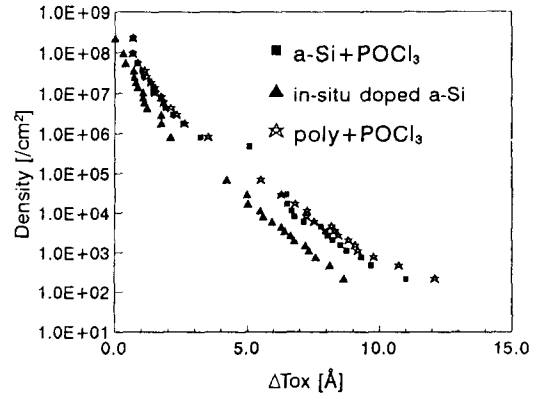
ΔT_{ox} 의 밀도(D)는 면적이 다른 캐패시터들의 누적불량율(F: cumulative failure ratio)을 이용하여 식 (2)에서와 같이 구할 수 있다.^[8,9,10]

$$F = 1 - \frac{1}{(1 + ADS)^{1/S}} \quad (2)$$

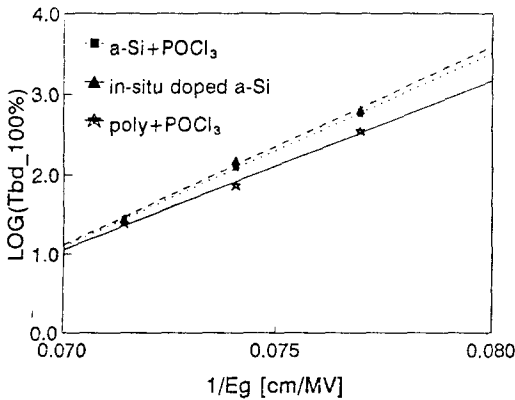
여기서 A는 캐패시터의 면적, S는 결함 밀집도(defect clustering)이고 그 값은 0.65이다. 그림 8에는 게이트 물질의 종류별로 산화막에 인가된 전계와 $T_{bd,100\%}$ 의 관계를 나타내었다. 그림 9에는 그림 8에서 구한 K_1 과 식 (1), (2)를 이용하여 구한 ΔT_{ox} 와 밀도의 관계를 각 게이트 물질 종류별로 나타내었다. in-situ doped a-Si 게이트를 사용했을 때의 ΔT_{ox} 와 밀도가 가장 적은 우수한 특성을 나타냈으며, poly+POCl₃ 게이트를 사용했을 때의 ΔT_{ox} 와 밀도가 가장 큰 값으로 열등한 특성을 나타내었다. 이는 앞에서 설명한 전기적 특성에도 일치되는 결과로 게이트 물질이 다른 산화막의 전기적 특성의 차이는 산화막의 유효 국부적 얇아짐으로 아래와 같이 해석할 수 있다. 즉 다결정 Si의 경우에는 결정들 사이의 측면 성장보다는 수직성장이 더 빠르게 되기 때문에 게이트 산화막 위의 바다 표면이 거칠고 날카로운 것으로 알려져 있다.^[11] 반면에 비정질 Si와 in-situ doped a-Si는 비정질 상태로 증착하여 표면이 다결정 Si보다 완만하다.^[12] 그러나 a-Si+POCl₃의 경우 도핑과 drive-in 등의 열처리 동안의 재정렬로 인하여 비정질 Si의 일부가 다결정 Si이 되어 게이트/SiO₂ 표면에서 in-situ doped a-Si보다 더 거칠게 되는 것으로 알려져 있다.^[13] 따라서 도핑과 drive-in이 필요 없는 in-situ doped a-Si는 SiO₂와의 계면이 가장 완만하게 된다. 게이트와 산화막이 인접한 바다 표면이 거칠 경우 이는 게이트 산화막을 국부적으로 얇게



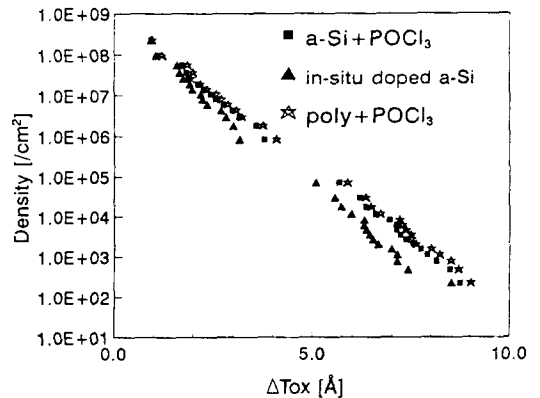
(a)



(a)



(b)



(b)

그림 8. 산화막의 전계(E_R)에 대한 100% 누적 항복 시간($T_{bd+100\%}$)의 관계

- (a) n-well 캐패시터($J_R=+100\text{mA/cm}^2$)
- (b) p-well 캐패시터($J_R=-100\text{mA/cm}^2$)

Fig. 8. Oxide field dependence of the time to 100% cumulative failure($T_{bd+100\%}$).
(a) n-well capacitor($J_R=+100\text{mA/cm}^2$).
(b) p-well capacitor($J_R=-100\text{mA/cm}^2$).

할 가능성이 있으며, 따라서 더 큰 ΔT_{ox} 를 나타내게 된다. 특히 게이트에 전계가 인가된 경우에 이러한 전계는 박막표면의 날카로운 부분 즉 ΔT_{ox} 가 큰 부분으로 집중하게 되고, 이로 인하여 박막의 Q_{bd} 가 작아지는 것으로 설명할 수 있다.

5. 박막의 수명시간

그림 10에는 세가지 게이트를 갖는 캐패시터들에 대한 J_R 와 Q_{bd} 의 관계를 나타내었다. n-well 캐패시

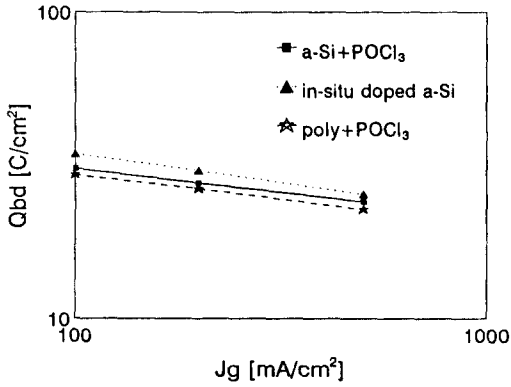
그림 9. TBD 분포로부터 전기적으로 평가한 산화막의 얇아짐과 밀도

- (a) n-well 캐패시터
- (b) p-well 캐패시터

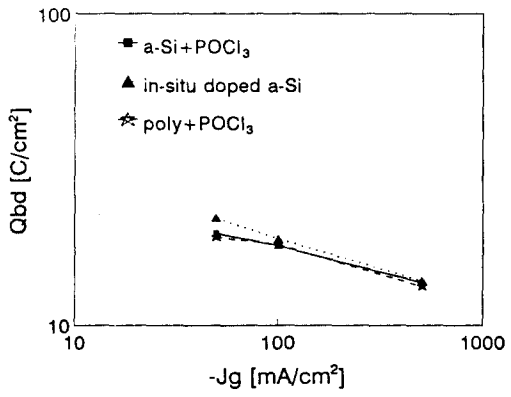
Fig. 9. Local oxide thinning(ΔT_{ox}) and density(D) electrically estimated from TBD distributions.

- (a) n-well capacitor.
- (b) p-well capacitor.

터(a)의 경우에는 J_R 값에 관계없이 in-situ doped a-Si이 다른 것들에 비해 더 큰 Q_{bd} 값을 나타냈으며, p-well 캐패시터(b)의 경우에는 J_R 가 작은 값일 수록 확연하게 in-situ doped a-Si이 다른 것들에 비하여 더 큰 Q_{bd} 값을 나타낸 반면에 J_R 가 클수록 비슷한 Q_{bd} 값을 나타내었다. I_R-V_g 곡선으로부터 $E=10\text{MV/cm}$ 일때의 J_R 값을 구하여 그림 10으로부터 extrapolate하여 수명시간을 구하였다. 수명시간은



(a)



(b)

그림 10. 평균 항복 전하량(Q_{bd})과 전류와의 관계
(a) n-well 캐패시터
(b) p-well 캐패시터

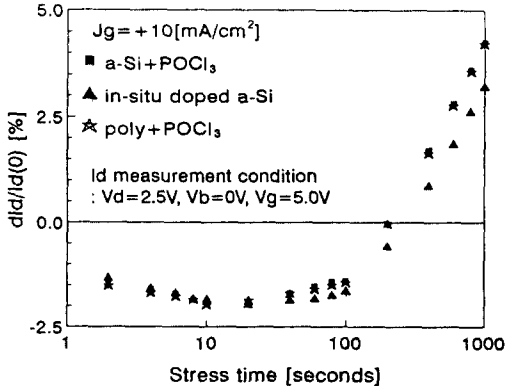
Fig. 10. The dependence of average charge to breakdown(Q_{bd}) on stress current(J_g).

(a) n-well capacitor.
(b) p-well capacitor.

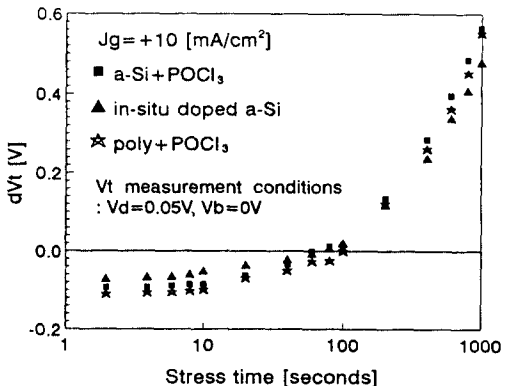
in-situ doped a-Si, a-Si+POCl₃과 poly+POCl₃의 세가지 경우에 대하여 n-well 캐패시터의 경우에는 각각 4669초, 3379초와 3082초로 측정되었으며, p-well의 경우에는 각각 3.459x10⁵초, 2.372x10⁵초, 2.365x10⁵초로 측정되었다. 따라서 in-situ doped a-Si이 나머지 두 경우보다 박막의 수명시간 측면에서도 더 개선되었음을 알 수 있다.

6. 스트레스 전 후의 MOSFET 특성 저하
in-situ doped a-Si를 게이트 재료로 썼을 때의

신뢰성을 보기 위해 채널 길이 0.8 μ m, 폭 20 μ m인 p-MOSFET와 채널 길이 5 μ m, 폭 200 μ m인 n-MOSFET에 J_g= \pm 10mA/cm²의 정전류 스트레스를 1000초 동안 가하면서 트랜스컨덕턴스(G_m) 및 문턱 전압(V_t)과 드레인 전류(I_d)의 변화 등을 관찰하였다. I_d, V_t와 G_m 값은 게이트 산화막에 핫 캐리어가 주입되어 Si/SiO₂ 계면에 생기는 계면 전하와 산화막 내부에 트랩된 전하에 의하여 변화된다.^[14] 그림 11에서는 스트레스동안 p-MOSFET에서 I_d의 변화량(dI_d/I_{d(0)})(a)과 V_t의 변화량(dV_t)(b) 및 n-MOSFET에서의 G_m의 변화량(dG_m/G_{m(0)})(c)을 나타내었다. 기판 주입을 한 p-MOSFET의 I_d의 변화량(a) 및 V_t의 변화량(b)이 in-situ doped a-Si인 경우에 가장 적었다. 본 논문에서는 보여지지 않았으나 p-MOSFET에 게이트 주입을 한 경우에는 I_d의 변화량이 서로 유사하였으며, n-MOSFET의 G_m의 변화량(c)에서도 in-situ doped a-Si이 기판 주입의 경우에 가장 적은 값을 나타냈으며, 여기서는 보여지



(a)



(b)

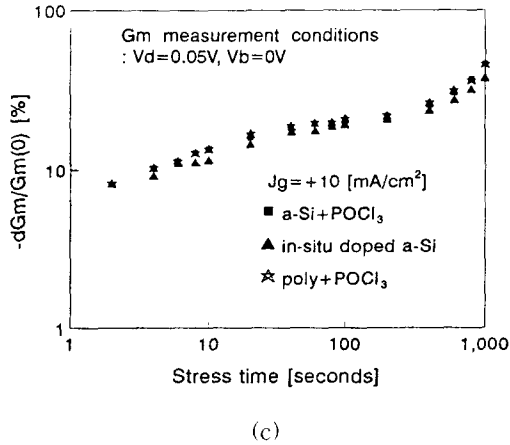


그림 11. 정전류 스트레스 인가시 MOSFET의 특성 저하($J_g=+10\text{mA/cm}^2$)
 (a) 드레인 전류(p-MOSFET)
 (b) 문턱 전압(p-MOSFET)
 (c) 트랜스컨덕턴스(n-MOSFET)

Fig. 11. Degradation of MOSFET characteristics under constant current stress ($J_g=+10\text{mA/cm}^2$).
 (a) drain current(I_d) of p-MOSFET.
 (b) threshold voltage(V_t) of p-MOSFET.
 (c) transconductance(G_m) of n-MOSFET.

지 않았으나 게이트 주입인 경우 세가지가 거의 비슷한 변화량을 보였다. 이러한 F-N 스트레스 인가시의 in-situ doped a-Si 게이트를 갖는 MOSFET의 특성의 개선은 앞에서 관찰된 것과 같이 게이트/SiO₂ 계면의 국부적 얇아짐에 의해 변형된 전계가 in-situ doped a-Si의 경우 가장 작아서 때문에 전하 포획이 적어졌기 때문이라고 할 수 있다.

IV. 결론

정전류 스트레스를 가한 후의 ΔV_g 및 ΔV_{th} , 누설 전류의 변화, 그리고 Q_{bd} 및 TDDB 등의 신뢰성 특성들의 측정으로부터 증착시 도핑된 비정질 Si 게이트를 갖는 산화막이 증착후 POCl₃로 도핑한 비정질 Si 및 다결정 Si을 갖는 산화막보다 더 우수한 신뢰성 특성을 나타내며, 전자 포획 및 홀 포획량도 더 적은 것으로 관찰되었다. 또한, 정전류 F-N 스트레스 인가시의 G_m 및 I_d 변화, V_t 의 변화 등과 같은 MOSFET의 특성 변화에서도 증착시 도핑된 비정질

Si 게이트를 갖는 MOS 트랜지스터가 다른 두 경우에 비해서 개선된 특성을 나타내는 것으로 관찰되었다. 이러한 개선은 기관 주입인 경우가 게이트 주입인 경우보다 약간 더 개선되는 것으로 나타났으며, 게이트 게이트와 산화막 사이의 경계면의 거칠음과 산화막의 유효 국부적 얇아짐에 의하여 아래와 같이 설명할 수 있었다. 즉 다결정 Si 게이트의 경우에는 게이트 산화막 위에서 다결정 Si의 바닥 표면이 거칠고 날카로운 반면에, 비정질 Si의 바닥 표면은 완만하다. 그러나 증착후 도핑한 비정질 Si의 경우에는 도핑과 drive-in 등의 열처리 동안 비정질 Si의 일부가 다결정 Si으로 재결정되기 때문에 바닥 표면이 증착시 도핑된 비정질 Si의 바닥 표면보다 더 거칠게 된다. 따라서 증착시 도핑된 비정질 Si 게이트를 갖는 산화막이 가장 작은 국부적 얇아짐을 나타내며, 또한 스트레스 동안 산화막의 얇은 부분에 강하게 집중되는 전계의 크기가 가장 작기 때문에 개선된 특성을 나타낸다고 할 수 있다. 이와같이 증착시 도핑된 비정질 Si은 기존의 증착과 도핑의 두 공정을 단일 공정으로 할 수 있는 장점과 전기적 특성이 기존의 증착후 도핑한 다결정 및 비정질 Si 게이트에 비해 개선되는 장점을 갖고 있음을 알 수 있다. 따라서 앞으로 256Mbit DRAM 이상의 집적도를 갖는 IC칩을 만드는데 적용될 경우, 공정상의 단순함과 신뢰성의 개선을 동시에 얻을 수 있으며 소자의 수명도 연장시킬 수 있으리라 예상된다.

參考文獻

[1] P.K. Roy, T. Kook, V.C. Kannan, G. J. Felton, R.A. Powell, and A.N. Velaga, "Impact of various polysilicon deposition process on thin gate-oxide properties in submicron CMOS technology", *Mat. Res. Soc. Symp. Proc.*, Vol.182, p.281, 1990.
 [2] Jimmy C. Liao, Ki-Bum Kim, Philippe Maillot, "In-situ doped Polycrystalline Silicon Deposition by Rapid Thermal Vapor Deposition Using Tertiary-butylphosphine", *Mat. Res. Soc. Symp. Proc.*, Vol.182, p.15, 1990.
 [3] Lynnette D. Madsen, Louise Weaver, "Properties Of In-situ doped Polycrystalline Silicon Films Deposited From Phosphine And Disilane", *Mat. Res.*

- Soc. Symp. Proc.*, Vol.182, p.43, 1990.
- [4] Zhihong Liu, Hsing-jen Wann, Ping K. Ko, Chenming Hu, Yiu Chung Cheng, "Improvement of Charge Trapping Characteristics of N_2O -Annealed and Reoxidized N_2O -Annealed Thin Oxides", *IEEE Electron Device Lett.*, vol.13, No.10, p.519, 1992.
- [5] H. Fukuda, M. Yasuda, T. Iwabuchi, and S. Ohno, "Novel N_2O -Oxynitridation Technology for forming Highly Reliable EEPROM Tunnel Oxide Films", *IEEE Electron Device Lett.*, vol.12, No.11, p.587, 1991.
- [6] 여 형구, "Furnace에서 N_2O 가스로 성장시킨 게이트 산화막의 전기적 특성", 연세대학교 석사 학위 논문, 1992.
- [7] 김 명섭, "MOS 소자의 FN 터널링 캐리어에 의한 성능 저하에 관한 연구", 씨에이디, 제 9권, 제 1호, 1991.
- [8] G.W. Yoon, A.B. Joshi, J. Kim, G.Q. Lo, and Dim-Lee Kwong, "Effects of Growth Temperature on TDDB Characteristics of N_2O -Grown Oxides", *IEEE Electron Device Lett.*, vol.13, No.12, p.606, 1992.
- [9] Hiroyuki Tanaka, Hidetsugu Uchida, Norio Hirashita, and Tsuneo Ajioka, "The Effect of Surface Roughness of Si_3N_4 Films on TDDB Characteristics of ONO Films", *IEEE/IRPS*, p.31, 1992.
- [10] Jack Lee, In-Chin Chen and Chenming Hu, "Statistical Modeling of Silicon Dioxide Reliability", *IEEE/IRPS*, p.131, 1988.
- [11] G. Harbeke, "Growth and Physical Properties of LPCVD Poly crystalline Silicon Films", *J. Electrochem. Soc.*, vol.131, p.675, 1984.
- [12] R. Bisaro, J. Magarino, and N. Proust, "Structure and crystal growth of atmospheric and low-pressure chemical-vapor-deposited silicon films", *J. Appl. Phys.*, Vol.59, No.4, p.1167, 15 February 1986.
- [13] C. Y. Wong, A.E. Michel, and R.D. Isaac, "The poly-single crystalline silicon interface", *J. Appl. Phys.*, Vol. 55, No.4, p.1231, 1984.
- [14] T. Tsuchiya, "Trapped-electron and generated interface-trap effects in hot-electron-induced MOSFET degradation", *IEEE Trans. Electron Device*, vol.34, No.11, p.2291, 1987.

著者紹介



李炫昌(正會員)

1967年 3月 12日生. 1992年 2月 연세대학교 전자공학과 졸업. 1994年 2月 연세대학교 전자공학과 석사. 1994年 1月 ~ 현재 금성사 LCD 연구소 연구원으로 근무중



盧載盛(正會員)

1960年 11月 27日生. 1984年 2月 연세대학교 요업공학과 졸업. 1988年 8月 한국과학기술원 (KAIST)재료공학과 졸업(공학박사). 1988年 9月 ~ 현재 금성일렉트론 중앙연구소 8연구실 선행

공정개발실 책임 연구원으로 근무중

李相敦(正會員) 第 30卷 A編 第 12號 參照

현재 연세대학교 전자공학과 박사 과정

金鳳烈(正會員) 第 25卷 第 11號 參照

현재 연세대학교 전자공학과 교수