

오차보정기능을 갖는 10-비트 D/A 변환기

(A 10-bit D/A Converter with a Self Compensation Circuit)

金 旭*, 楊正旭**, 金旻奎**, 金錫基***, 金元燦**

(Ook Kim, Jung Wook Yang, Min Kyu Kim, Suk-Ki Kim, and Won Chan Kim)

要約

고속 고해상도의 D/A 변환기를 구현하기 위하여 INL 값의 자체 보상 기법을 개발하였다. 이 회로의 동작 특성을 확인하기 위하여 10-비트의 해상도를 갖는 D/A 변환기에 적용하였다. 이 회로는 D/A 변환기의 동작중에도 출력에 영향을 주지 않고 오차보정을 수행한다. INL 값은 보정 전의 0.47LSB에서 보정 후 0.22LSB로 감소하였다. 오차 보정 기능을 갖는 D/A 변환기가 0.8 μ m CMOS 공정을 사용하여 제작되었으며, D/A 변환기 부분의 면적은 3.2mm², 오차보정 부분의 면적은 0.64mm²이다.

Abstract

To realize high accuracy and high speed, we developed a new self compensation scheme and applied it to a 10-bit D/A converter. This circuit can compensate the device mismatch without interrupting the D/A converter operation. With the compensation circuit, INL decreased down to 0.22LSB from 0.47LSB. The device was fabricated using a 0.8 μ m CMOS process. The area of the D/A converter core is 3.2mm² and the area of the compensation part is 0.64mm².

1. 서론

CMOS 공정은 저소비전력, 공정의 경제성, 집적도

등의 측면에서 여타 공정에 비하여 많은 장점을 갖고 있으며 그 특성이 계속 개선되고 있어 고속 고해상도의 데이터 변환기를 CMOS 소자로 구현한 회로가 증가하고 있다. 특히, Multi media, HDTV, Camcorder 등의 응용범위 및 동작특성이 개선됨에 따라 이러한 회로에서 디지털 신호와 아날로그 신호를 중계하는 회로인, D/A-A/D 변환기의 해상도(resolution) 및 변환 속도의 요구 조건 또한 높아지고 있으며, 현재 이러한 소자의 동작 영역은 100Ms/s(Mega Samples per Second)대역으로 확대되고 있다.^{1, 2}

*韓國電子通信研究所 半導體研究所
(ETRI, Semiconductor Div.)

** 正會員, 서울大學校 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)

*** 正會員, 三星電子(株) 마이크로 본부
(SamSung Electronics Co.)

接受日字 : 1993年 8月 11日

50Ms/s 이상의 고속 CMOS D/A 변환기는 주로 화상 신호를 변환하기 위하여 사용된다. 종래에는 화상 신호를 재현하기 위한 D/A 변환기의 해상도는 6-8 비트가 주였으나, 현재 HDTV, Camcorder 등의 응용 분야의 발전에 힘입어 10-비트의 소자들이 발표되고 있다. 또한, 디지털 modulation등과 같은 응용 분야에서는 10-비트 이상의 고속 D/A 변환기가 요구되고 있다.²

일반적으로 고속의 D/A 변환기에서 사용되는 segmentation방법은³⁾ 회로의 디코딩(decoding)등이 복잡해지기는 하나 고속과 고해상도를 실현할 수 있으므로, 디지털 로직의 집적도가 높고 소모 전력이 작은 CMOS D/A 변환기에서 자주 사용된다. 그러나, 이러한 segmentation을 통하여 얻을 수 있는 해상도는 소자의 여러 오차때문에 일반적으로 약 10비트 정도가 한계가 된다. 이 이상의 해상도에서는, 특히 Integral NonLinearity(이하 INL)등이 증가하게 되어 바람직하지 않다.

저속 고해상도의 D/A 변환기에서는 별도의 오차보정방법이나 Oversampling등을 사용하여 그 정밀도(accuracy)를 증가시키나, 대부분의 방법이 고속 동작의 회로에서는 적절하지 않다.

본 논문에서는 segmentation방식의 D/A 변환기의에서 고속 동작과 고해상도를 동시에 실현하기 위한 새로운 형태의 오차보정기술과 이를 D/A 변환기에 적용한 결과에 대하여 기술하였다.

II. 誤差補正機能을 갖는 D/A 변환기의 구현

1. 구조

CMOS 소자를 사용한 고속 D/A 변환기에서 주로 사용되고 있는 구조는 그림 1에 나타난 바와 같은 segmentation을 사용한 구조로, 동일한 전류원이 디지털 입력에 따라 차례대로 開閉되는 구조이며 구조적으로 선형성을 보장하고 glitch등이 작아진다는 장점을 갖는다. 그러나, 해상도가 증가할수록 그 전류원의 갯수가 지수함수적으로 증가하므로 일반적으로는 상위전류원과 하위전류원을 혼합한 구조를 사용한다. 이 경우 입력 코드는 상위와 하위의 두 부분으로 나누어, 상위 부분에 대하여서는 전류원을 순차적으로 開閉시키며, 하위 부분에 대하여서는 상위 전류원의 1/2, 1/4, 1/8 등의 전류값을 갖는 전류원을 입력코드에 따라 開閉시킨다. 이러한 구조에서 하위에 할당된 비트수를 증가시키면 전체적으로 구조가 간단해 진다는 장점이 있으나, 상위와 하위 전류원의 동작의 편차에 의한 glitch 오차등과 같은 요인이 증가

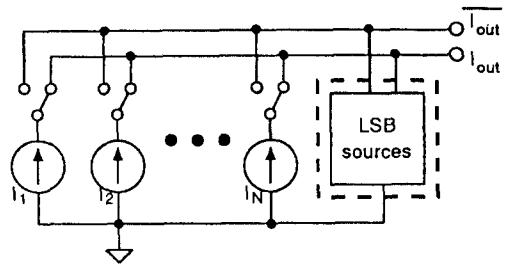


그림 1. Segmentation을 사용하는 전류 출력 D/A 변환기의 개념도

Fig. 1. The schematic of a current output D/A converter using segmentation.

한다는 단점이 있다. 그러므로, 이러한 여러 요인을 감안하여 비트수를 결정하게 된다.

이러한 구조에서 고해상도의 D/A 변환기를 구현할 경우의 오차의 요인은 상위 전류원들간의 편차와 하위 전류원에서의 편차로 나누어 볼 수 있다. 일반적으로 전류원간의 오차가 누적되어 나타나는 INL 값은 상위 전류원간의 정밀도에 의하여 결정된다. 고해상도를 실현하기 위해서는 결국 이러한 편차를 최소화하는 것이 필요하다. 소자의 크기를 증가시키고 레아웃 및 배선의 측면에서 고려를 함에 의하여 어느 정도의 정밀도의 개선을 얻을 수는 있으나 이러한 수

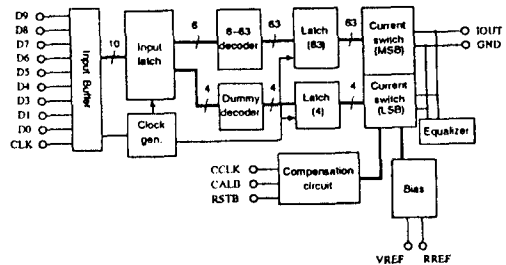


그림 2. 오차보정회로를 내장한 10 비트 D/A 변환기의 블록도

上位 6 비트는 segmentation을 사용하며, 下位 4 비트는 이진비의 전류원으로 구성되어 있다.

Fig. 2. The block diagram of the D/A converter with error compensation circuit.

The upper 6 bits are dedicated for the segmentation and the lower 4 bits are dedicated for the binary scaled current sources.

동적인 방법에는 한계가 있게 된다. 그러므로, 보다 높은 정밀도를 얻기 위해서는 능동적인 방법으로 이러한 오차를 줄여나가는 것이 필요하다.

본 논문에서 제시한 방법은 전류원간의 오차를 내부의 별도의 오차보정회로를 사용하여 능동적으로 줄여나가는 방법이다. 그림 2에는 이러한 오차보정기법을 사용한 10 비트 D/A 변환기의 블록도를 나타내었다. 10 비트의 디지털 입력중 상위 6 비트는 6-63 디코더를 거쳐서 총 63개의 전류스위치를 구동하며, 하위 4 비트는 하위 전류스위치를 구동하여 전류는 출력단에서 합하여 진다. 오차보정회로는 외부에서의 오차보정용 클럭에 따라 각 전류원의 오차전류를 측정하여, 오차를 최소화하는 형태로 오차보정을 행한다.

2. 誤差補正 방법

일반적으로 오차를 보정하는 방법은 소자의 제작시 일회적으로 하는 방법과, 시스템에서 소자를 사용하기 전에 하는 방법 그리고 동작중 하는 방법등이 있다.

소자의 제작시 하는 방법은 종래에 고해상도의 D/A 변환기에 주로 사용된 방법이었으나, 그 생산비가 비싸게 된다는 단점이 있고 오차를 보정한 후에 달라지는 소자의 특성을 보상하지는 못한다는 단점이 있다.

소자의 사용 초기에 오차보정을 하더라도, 소자의 발열에 의하여 동작중의 소자의 특성이 초기와 달라지기 때문에, 정밀도는 열화한다. 그러므로, 오차보정은 소자 동작중 계속적으로 하는 것이 바람직하다. 그러나, 소자의 사용중 오차보정을 하기 위해 소자의 동작을 중지시키는 것은 좋은 방법은 아니다.

동작중 오차보정을 하는 방법은 저속의 D/A 변환기에서는 변환기의 속도가 회로 동작의 속도보다 충분히 낮기 때문에 여러 가지 방법의 오차보정 기법이 가능하나^{4, 5}, 고속 동작인 경우 오차보정 방법이 속도를 제한하는 요소가 될 수 있다. 즉, 종래의 오차보정용 RAM을 사용하여 디지털 입력값에 따라 보정하는 방법은 이 보정 RAM의 동작 속도가 디지털 디코더보다 낮기 때문에 고속 변환기의 속도를 제한하게 되어 고속에는 적당하지 않다. 본 논문에서 기술한 오차보정방식은 회로의 동작중 계속적인 오차보정을 할 수 있는 구조이며 오차보정을 디지털 입력에 대하여 하는 것이 아니라, 각 전류원에 대하여 하기 때문에 오차보정에 의한 속도의 열화가 없게 된다.

그림 3에는 본 D/A 변환기에 적용한 오차보정 방법을 설명하였다. 그림 3의 (a)는 오차보정을 하지

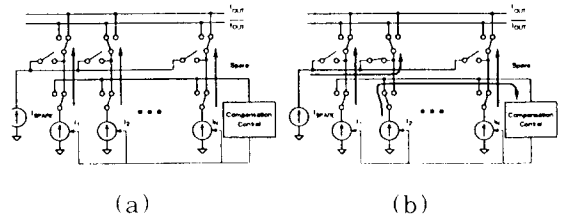


그림 3. 오차보정의 개념도

(a) 오차보정을 하지 않는 상태:

모든 전류원의 전류는 전류 switch를 통하여 출력으로 연결된다.

(b) 오차보정을 하는 상태:

전류원 I₂의 출력은 오차보정회로로 들어가며 I_{SPARE}의 전류가 출력에 연결된다.

Fig. 3. The schematics of the compensation architecture.

(a) without compensation:

All currents of the current sources are connected to the output via current switch.

(b) with compensation:

The output of the current source I₂ is feed to the compensation circuit and the current of I_{SPARE} is connected to the output.

않을 때의 상태이며, 오차보정용의 보조 전류원인 I_{SPARE}는 어느 전류스위치에도 연결되어 있지 않다. 그러므로, 이 경우에는 D/A 변환기의 동작은 일반적인 소자와 동일하게 된다. (b)는 I₂를 오차보정할 때의 경우를 나타내었다. 화살표로 나타낸 바와 같이 I₂의 출력 전류는 전류스위치가 아닌 오차보정부(Compensation Control)로 입력되고, 이 I₂를 보상하기 위하여 I_{SPARE}가 출력단의 전류스위치로 연결된다. 결과적으로 출력단으로 흐르는 전류는 일정하여 출력단에는 이의 영향이 거의 나타나지 않게 되며 오차보정부에서는 이 전류원의 출력 전류를 측정하여 보정하게 된다.

이러한 방법은 D/A 변환기를 사용하고 있는 중에도 오차보정을 수행할 수 있게 해 준다. 또한, 이러한 방법은 D/A 변환기의 구현에 있어 고속으로 동작하는 부분을 오차보정부와 분리시킴으로써 오차보정에 따른 디지털 잡음을 방지하는 작용을 한다.

전체 구조를 나타낸 그림 2의 하단부에 위치한 오

차보정부(Calibration Logic)가 이 기능을 수행하며, 오차보정용 클럭입력 CCLK이 오차보정부의 기본 클럭이 된다. 이 소자는 오차보정을 하지 않은 상태에서 최적의 정밀도를 구현할 수 있도록 설계되었으며, 오차보정을 수행할 경우 오차를 개선하여 보다 높은 정밀도를 얻을 수 있게 설계되었다. 소자의 동작과 병행하여 오차보정이 이루어지고 있으므로, 오차보정의 속도는 높을 필요가 없다. 일반적으로 화상 신호 시스템에는 낮은 주파수의 동기 신호가 존재하므로 이를 오차보정의 클럭으로 사용할 수 있으며 이 정도의 속도도 충분하다.

3. 전류스위치

그림 4에는 본 D/A 변환기에서 사용한 전류스위치의 회로를 도시하였다. 전류스witch는 전체 D/A 변환기의 동작특성을 결정하며, INL을 최소화하기 위해서는 높은 출력 임피던스를 가져야 한다. 전류스위치의 출력전류는 트랜지스터 MR의 게이트에 설정된 바이어스에 의하여 결정된다. MC는 출력 트랜지스터의 출력 저항을 높이기 위하여 cascode로 동작하는 트랜지스터이다.

출력단 I_{out} 은 스위치 역할을 하는 MS1과 MS2에 의하여 스위칭이 된다.

데이터 입력 D 에 의하여 MS1의 게이트 단을 구동하고, 이 MS1의 켜짐과 꺼짐에 의하여 c 점의 전압이 변화하게 된다. MS2의 게이트 전압은 drv로 일

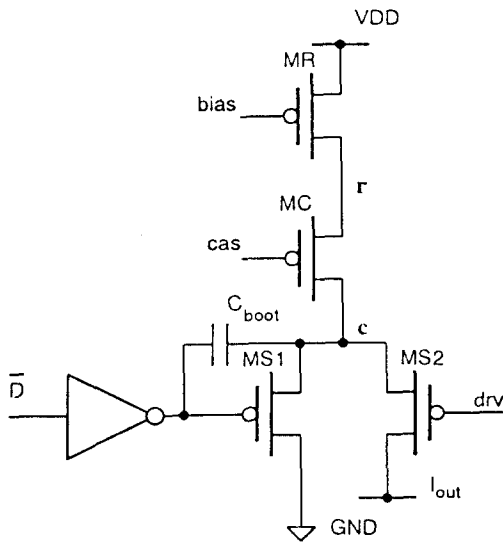


그림 4. 간략화된 전류스위치의 회로도

Fig. 4. The simplified schematic of the current switch.

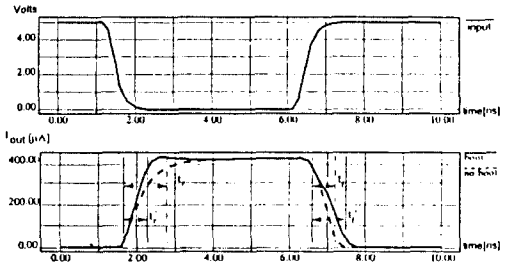


그림 5. 전류스위치의 동작 특성 (SPICE simulation 결과)

Fig. 5. The switching characteristics of the current switch(SPICE simulation result).

정하게 유지되고 있으므로, 이 변화에 의하여 MS2는 꺼지거나 켜지게 된다. 즉, 이 구조는 MS1이 마치 source follower구조로 동작하는 형태가 된다. 이러한 구조에서 C_{boot} 가 없을 경우, MS2를 통하여 흐르는 전류의 양의 시간 변화는 그림 5에서 보는 바와 같이 상승 시간 t_r 과 하강 시간 t_f 가 현격히 다른 형태를 보이게 된다. 이러한 상승 시간과 하강 시간의 차이는 결국 출력에 있어서 glitch등을 증가시키는 요인이 된다.

본 논문에서 제시한 전류스witch는 이 단점을 극복하기 위하여 C_{boot} 를 사용하였다. 이 캐패시터는 c 점의 전압을 직접 조절하여 느린 상승시간을 개선시키는 역할을 하여, 상승 시간과 하강 시간의 차이를 줄일 수 있다. 이 경우 t_r 은 감소하고, t_f 는 증가하게 된다. 즉, 입력 D 가 high에서 low로 변화할 때, MS1의 게이트 전압은 low에서 high로 증가하며, 이에 따라 c 점도 C_{boot} 를 통하여 상승하게 되고 이는 MS2의 $|V_{gs} - V_t|$ 값을 증가시켜서, 결국 MS2의 켜짐을 더욱 도와주게 된다. MS2가 꺼질 경우에는, 이와는 반대로 c점의 전압을 하강시키는 작용을 하기는 하나, MS1의 $|V_{gs} - V_t|$ 의 변화를 방해하고 있으므로, 오히려 속도가 느려지게 된다.

그림 6은 오차보정을 위한 여러 스위치 트랜지스터들을 함께 포함한 전류스switch의 회로도이다. 기준 전류를 공급하는 트랜지스터 MR과 같이 연결된 MA0, MA1은 오차보정을 위한 보조 전류원이다. 오차보정의 최소 단위를 Δ 라 할 때, 켜졌을 때 MA0은 Δ , MA1은 2Δ 의 전류가 흐르도록 설계되어 있으며, 총 $0. \Delta, 2 \Delta, 3 \Delta$ 의 보정을 하게 된다. 현재의 설계에서 Δ 의 값은 약 $0.087LSB$ 로 설정하였으므로 오차보정의 최소 해상도는 약 $0.087LSB$ 에 해당한다.

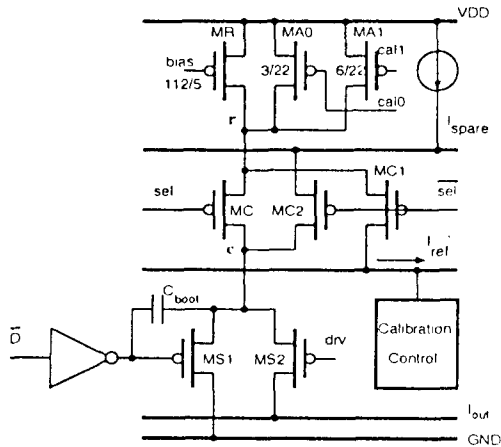


그림 6. 오차보정회로를 포함한 전류스위치의 회로도
Fig. 6. The schematic of the current switch with error compensation circuit.

이 Δ 값이 크게 되면 오차보정의 범위는 증가하나, 오차보정된 D/A 변환기의 정밀도가 떨어지게 되며, 반대로 이 값이 작게 되면 어느 한도 이상의 오차보정을 할 수 없게 되어 보다 많은 오차보정용 RAM이 필요하게 된다. 이 값은 실제로 구현된 전류스위치의 정밀도의 통계적 특성 및 오차보정로직의 특성을 참고하여 모의실험에 의하여 결정되었다.

MC, MC1, MC2는 cascode와 오차보정용의 스위치 역할을 동시에 수행하는 트랜지스터이다. 오차보정을 하지 않을 때에는, MC의 sel에 cascode의 바이어스 전압 V_{bias} 가 연결되나, 오차보정을 하는 경우에는 VDD에 연결되어 꺼지게 되고, 반대로 MC1, MC2의 게이트는 VDD에서 V_{bias} 가 연결되어 cascode 역할을 수행하게 된다. 이에 의하여 MR의 전류 대신에, I_{spare} 가 MC2를 통하여 스위치 트랜지스터로 연결되어 스위치 트랜지스터에 흐르는 전류값은 변화하지 않는다. MR의 출력 전류는 MC1을 통하여 오차보정부로 입력되어, 오차보정용의 A/D 변환기로 기준 값에서의 차이를 디지털 값으로 변환하고, 오차보정 로직으로 입력된다.

오차보정 로직에서는 D/A변환기의 오차를 자체의 A/D변환기를 사용하여 측정후, 이를 최소화하는 방향으로 보조 전류원의 on/off 상태를 결정한다. 이를 위한 A/D 변환기는 고속일 필요가 없으므로 구조가 간단한 SAR(Successive Approximation Register)방식에 의한 6비트 ADC를 사용하였다. D/A 변환기의 출력 전류는 입력 code에 따라 순차적으로 켜지는 전류원에 의하여 결정되고, 출력 전류는 I_1 에서부터 I_N 까지 순차적으로 켜지게 되므로, 각

전류원의 MR의 출력 전류값을 순차적으로 측정하여 이 값과 기준치의 차를 누적하게 되면, 이 누적 값은 각 code에서의 D/A 변환기의 INL이 되고 오차보정 로직은 이를 최소화하는 방향으로 구동하게 된다.

4. 오차보정 알고리즘

본 D/A 변환기에 사용된 오차보정의 알고리즘을 그림 7에 나타내었다. 실제로 오차보정용의 전류는 각 cell당 오차보정의 정보를 2 비트씩 할당하였으므로 0, Δ , 2Δ , 3Δ 값 받을 가진다.

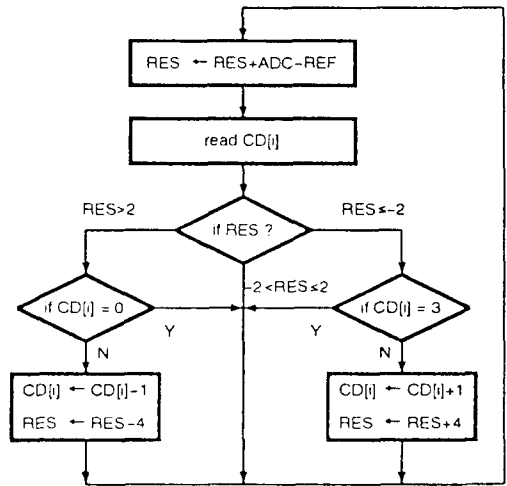


그림 7. 전류원 오차보정의 알고리즘
Fig. 7. The algorithm of the current cell compensation.

보정 전류값은 제한된 영역의 값만을 가질 수 있기 때문에 오차가 누적될 수 있다. 이를 해결하기 위하여 각 전류원의 전류값을 검출하는 오차보정용의 A/D 변환기는 최소 해상도를 이보다 더 작게 함으로써(여기에서는 1/4), 이러한 보상에 의한 오차의 누적을 디지털 적인 양으로 기억하고, 이를 다음 전류원의 보상에 사용한다.

표 1. 오차 보정 데이터에 따른 오차 (최소 보정 단위 Δ 를 4, 오차보정용의 A/D 변환기의 해상도를 1, A/D 변환기의 출력을 23, 보정의 기준치를 30으로 한 경우)

오차보정 데이터(CD)	CD · Δ	보정후 전류원 출력	오차
0	0	23	-7
1	4	27	-3
2	8	31	1
3	12	35	5

예를 들어 최소 보정 단위 Δ 를 4, 오차보정용의 A/D 변환기의 해상도를 1, A/D 변환기의 출력을 23, 보정의 기준치를 30으로 할 때의 보정된 후의 출력 값을 표 1에 나타내었다.

이 경우, 오차를 최소화하는 경우는 오차보정 데이터(CD)의 값이 3인 경우로 오차는 1이 된다.

즉, 각 전류원은 순차적으로 開閉되므로, 출력 전류에 미치는 영향도 누적된 값으로 나타난다. 전류원의 다음 전류를 보정할 경우에는 그 전 전류원까지의 보정 목표치에서 초과되어 있는 정도를(이전의 예제에서 오차성분) 더하여 오차보상을 하게되면 능동적으로 INL을 측정하여 보정하는 것과 같은 결과가 된다. 오차보정을 하지 못하는 나머지를 RES라 할 때, 이 값과 실제의 출력 값 ADC와의 합을 기준 값 REF와 비교함으로써 오차보정을 실현하도록 하였다. i-번째 전류원의 MA1, MA2의 상태 CD [i] 를 읽고 난 후, 이 값의 상태에 따라, 오차보정 전류의 다음 값을 결정한다.

실제로 오차보정을 위한 A/D변환기는 저속에서 동작할 뿐만 아니라, 단지 기준 전류와의 편차만을 측정할 수 있도록 설계되어 있다. 이 A/D 변환기의 해상도는 6 비트로 설정하였는데, 이 중, 상위 2 비트는 offset에 의한 A/D 변환기의 overflow/underflow를 방지하기 위하여 여분으로 설정된 비트이며, 이 A/D 변환기의 해상도는 $1/4\Delta$ 가 되도록 설계하였다.

만일, 이 A/D 변환기가 이상적이고 높은 해상도를 갖는 경우에는, 각 D/A 변환기에서 측정된 출력 값은 모든 code에 대하여 기준치의 $\pm 0.5\Delta$ 에 존재하게 된다. 이는, 결국 INL의 측정치는 약 0.5Δ 가 됨을 의미하고, 이 값은 0.04 LSB 정도가 된다. 그러나, 실제의 경우 이 A/D 변환기가 유한한 해상도를 갖고 있으므로, 결국 각 전류원을 측정할 때마다의 양자화 오차가 누적되어 이 값은 이보다 큰 값을 갖게 될 것이다. 또한, A/D 변환기의 변환 오차 또한, INL이 이보다 큰 값을 갖는 원인이 된다.

오차보정의 기준치 REF가 offset에 의하여 이상적인 값에서 벗어나 있으면, 오차보정용 전류원의 보상 범위를 벗어나게 되어 효율적인 보정이 되지 않는다. 그러므로, 모든 전류원(총 64개)를 보정한 후, 이 CD [i] 의 값을 누적하여, 이를 목표치가 되도록, REF의 값을 수정한다. CD의 값의 평균은 기준치가 이상적으로 설정되어 있을 경우, 약 $\frac{0+1+2+3}{4} = 1.5$ 가 되어야 하며, CD 값의 평균이 1.5가 되도록 64개의 전류원에 대한 보정이 끝난 후 REF의 값을 수정한다. 이러한 REF값의 보정 방법은 A/D 변환기에 존재하는 offset을 능동적으로 상쇄하는 역할을 하게 된다.

이러한 오차보정의 결과로 나타나는 D/A 변환기의 최종적인 정밀도는 오차 보정용 RAM으로 오차보정할 수 있는 범위에 있을 경우는, A/D 변환기의 오차의 누적분과 오차 보정용 전류 Δ 의 양자화 오차인 0.5Δ 에 의하여 결정되게 된다.

III. 측정 결과

본 10 비트 D/A 변환기는 삼성전자(주)의 $0.8\mu\text{m}$ CMOS 공정을 사용하여 제작되었다. 본 설계에서는 오차보정기능의 효율성을 검증하기 위하여 오차보정 전과 오차보정 후의 INL을 측정하였으며 그 결과를 그림 8에 도시하였다.

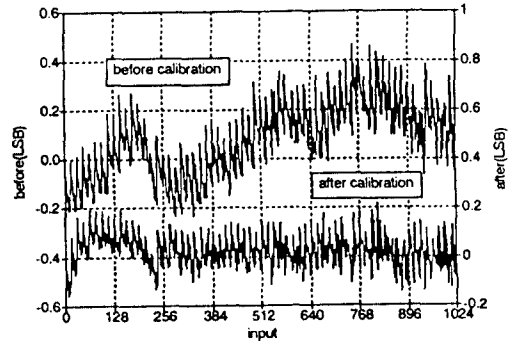


그림 8. 비트 D/A 변환기의 INL 측정값
 上: 오차보정 전 下: 오차보정 후

Fig. 8. The measured INL characteristics of the 10 bit D/A converter.

Upper: before compensation Lower: after compensation.

보정 전의 INL은 0.47 LSB에서 0.22 LSB로 감소하였으며, DNL은 0.38 LSB에서 0.29 LSB로 감소하였다. 본 소자에서 사용한 알고리즘은 결국 실제의 INL을 측정하여 이를 최소화시키기 위한 형태로 동작함을 확인할 수 있었다. 오차보정 후에 나타나는 INL의 그래프에서 볼 수 있듯이, 소자간의 오차의 누적에 의한 INL의 값은, 그림 11의 하단에 나타난 바와 같이 거의 사라졌으며, 주된 INL의 오차는 MSB 전류원과 LSB 전류원간의 오차에 의하여 발생하였다.

그림 9에는 약 1MHz의 정현파 파형의 디지털 코드를 D/A 변환기의 입력으로 하여 128Ms/s로 변환하였을 때의 출력파형의 FFT 결과이다. 약 2MHz 부근에서 -46.7 dB의 Harmonic이 존재하며 THD

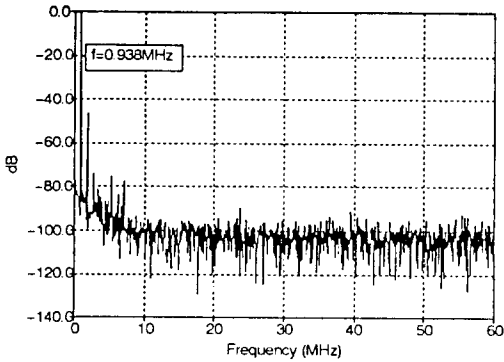


그림 9. 128Ms/s에서 동작할 때의 SNR 특성
 Fig. 9. The SNR characteristics of the D/A converter operating at 128Ms/s.

는 -46.64dB이다. 그러나, 대부분의 잡음 전력은 -100dB 정도의 값을 가지며, Harmonic power를 제외한 잡음 전력은 -66dB가 되기 때문에, S/(N+D)는 -46.60dB가 된다. 측정은 이날록 IC 측정 시스템인 HP9480을 사용하였으며, 소모 전력은 128Ms/s에서 약 230mW, 출력 파형의 상승시간은 2.3ns이다.

V. 결론

설계된 D/A 변환기는 삼성전자(주)의 0.8 μ m CMOS 공정을 사용하여 제작되었다. D/A 변환기 Core부분의 면적은 3.2mm², 오차보정부분의 면적은 0.64mm²이다. 본 오차보정방식은 회로의 동작중에도 계속 동작하여 소자의 온도 상승에 따른 소자값의

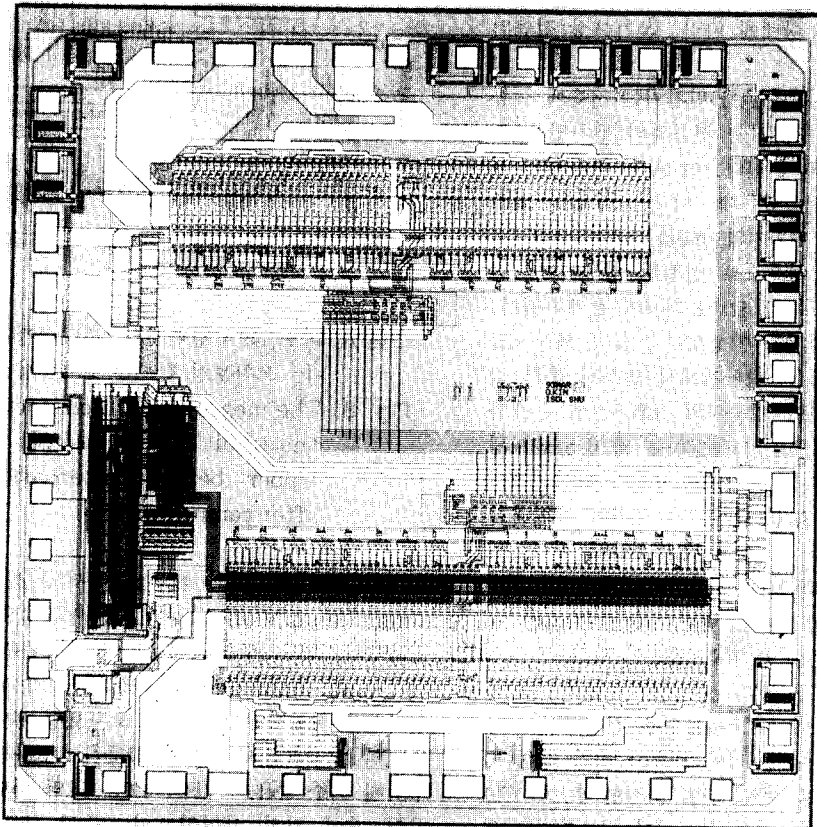


그림 10. 10 비트 D/A 변환기의 현미경 사진
 아래쪽은 오차보정이 있는 D/A 변환기이며 상단은 오차보정이 없는 D/A 변환기. 좌측하단은 오차보정회로이다.

Fig. 10. The microphotograph of the 10 bit D/A converter
 The lower part is a D/A converter with compensation and upper part is a D/A converter without compensation.

변화에 따른 오차를 최소화 한다. 일반적으로 화상 신호에 사용되는 D/A 변환기는 여러 채널을 함께 집적하므로, 이 경우에는 오차보정부분을 공유하게 되어, 면적의 상대적인 비중은 더욱 작아진다.

그림 10에는 설계된 chip의 현미경 사진을 도시하였다. 전체적으로 2가지의 10 비트 D/A 변환기를 설계하였다. 하단부에 위치한 것이 오차보정기능을 갖는 소자이며, 상단부에 위치한 것은 오차보정기능이 없는 D/A 변환기이다. 좌측에 위치한 부분은 오차보정회로이다. 총 64개의 전류원당 2 비트씩의 오차보정 RAM은 전류스위치에 함께 집적되었으며, 이를 제어하는 오차보정부는 오차보정 알고리즘을 수행하는 부분과 오차보정용 6 비트 A/D 변환기가 집적되었다. 오차 보정시에는 오차보정용 외부 클록만에 의하여 모든 오차보정을 수행한다.

오차보정의 offset을 상쇄시키는 알고리즘에 의하여, 작은 양의 오차보정용 RAM으로도 유효한 오차보정을 수행할 수 있도록 하였다.

기존의 전류 segmentation을 적용할 경우 고해상도의 D/A 변환기에서는 INL을 구현하기 위해 보다 높은 정밀도의 전류원이 필요하게 된다. 본 연구에서 개발한 오차보정 방식을 통하여, 각 전류원의 오차를 보정함에 의하여 10 비트에서 0.22 LSB의 INL을 얻었다. 일반적으로 0.5 LSB의 INL값을 선택 기준으로 삼을 때, 오차보정에 의하여 대부분의 소자가 이 기준을 만족하게 되므로, 전체적인 수율이 증가하게 된다. MSB 전류원과 LSB 전류원의 오차가 주된 INL의 원인이 되므로, 이 방식을 12 비트 정도의 해

상도를 갖는 D/A 변환기에 적용할 경우에도 INL을 원하는 수준으로 줄일 수 있을 것이며, 고 해상도에 서 더욱 큰 장점을 가질 것이다.

參 考 文 獻

- [1] Yasuyuki Nakamura et al., "A 10-b, 70-MS/s D/A Converter fabricated in 1um CMOS technology", *IEEE. J. Solid State Circuit*, vol. SC-27, pp. 637-642, Apr. 1991.
- [2] Cormac S. G. Conroy et al., "An 8-b 85-MS/s Parallel Pipeline A/D Converter in 1- m CMOS", *IEEE. J. Solid State Circuit*, vol. SC-28, no. 6, pp. 447-454, Apr. 1993.
- [3] A.B. Greben, *Bipolar and MOS Analog Integrated Circuit Design*, New York: John Wiley & Sons, 1984.
- [4] Kenji Maio et al., "An Untrimmed D/A Converter with 14-Bit Resolution", *IEEE. J. Solid State Circuit*, vol. SC-16, no. 6, pp. 616-620, Dec., 1981.
- [5] D. Woute et al., "A Self-Calibration Techninque for Monolithic High-Resolution D/A Converters", *IEEE. J. Solid State Circuit*, vol. SC-24, no. 6, pp. 1517-1522, Dec., 1989.

著 者 紹 介



金 旭(正會員)

1963年 4月 10日生. 1982年 3月 ~ 1986年 2月 서울대학교 전자공학과(공학사). 1986年 3月 ~ 1988年 2月 서울대학교 전자공학과(공학석사). 1988年 3月 ~ 1994年 2月 서울대학교 전자공학과(공학박사). 1994年 3月 ~ 현재 한국전자통신연구소 선임연구원. 주관심 분야는 아날로그 집적회로 설계, 고속 데이터 변환기, 저전력 고속 회로 기법, BiCMOS 회로 설계 기법 등임.

楊 正 旭(正會員)

1962年 2月 17日生. 1980年 3月 ~ 1984年 2月 서울대학교 전자공학과(공학사). 1984年 3月 ~ 1986年 2月 서울대학교 전자공학과(공학석사). 1988年 3月 ~ 1994年 2月 서울대학교 전자공학과(공학박사). 1994年 5月 ~ 현재 미국 MIT 연구원(Post~Doc.). 주관심 분야는 아날로그 집적회로 설계, 고속 데이터 변환기, 저전력 고속 회로 기법, BiCMOS 회로 설계 기법 등임.

— 著者紹介 —

金 旻 奎(正會員)

1965年 7月 28日生. 1984年 3月 ~ 1988年 2月 서울대학교 전자공학과(공학사). 1988年 3月 ~ 1990年 2月 서울대학교 전자공학과(공학석사). 1990年 3月 ~ 현재 서울대학교 전자공학과 박사 과정 재학. 주관심 분야는 고속 통신용 회로 설계, 데이터 변환 회로 설계, 저전력 고속 회로 기법 등임.

金 元 燦(正會員)

1945年 11月 7日生. 1972年 서울대학교 전자공학과 졸업. 1976年 독일 아헨대학교 전기공학과 석사 학위 취득. 1981年 독일 아헨대학교 전기공학과 박사 학위 취득. 1976年 ~ 1982年 Institut für Theoretische Electrotechnik, RWTH Aachen 연구원. 1982年 ~ 현재 서울대학교 전자공학과 교수. 주관심 분야는 기억 소자, 데이터 변환 회로, 퍼지 칩, 화상 신호 처리 칩의 설계 등임.

金 錫 基(正會員)

현재 (주)삼성전자 마이크로 본부 상무 이사