

論文94-31A-6-6

초고주파 PIN 다이오드 4-bit 변위기의 구현

(Design of a microwave PIN Diode 4-bit Phase Shifter)

盧泰文*, 金燦洪**, 全中昌*, 朴位相*, 金汜晩*

(Tae Moon Roh, Chan Hong Kim, Joong Chang Chun,
Wee Sang Park and Bum Man Kim)

要約

PIN 다이오드를 사용하여 X-밴드에서 동작하는 초고주파 4-bit 변위기를 구현하였다. 22.5°와 45° bit는 부하선로 방식으로, 90°와 180° bit는 가변선로 방식으로 설계하였다. 제작된 4-bit 변위기는 9.75 ~ 10.25GHz 대역에서 최대 위상오차 $\pm 5.4^\circ$ 와 평균 삽입손실 7.2dB의 특성을 보였다.

Abstract

A microwave PIN diode 4-bit phase shifter is designed in X-band. A loaded-line type is used for the 22.5° and 45° bits, and a switched-line type for the 90° and 180° bits. The measured results show that the phase error and average insertion loss are less than $\pm 5.4^\circ$ and 7.2dB, respectively, over a 9.75 ~ 10.25GHz frequency band.

1. 서론

변위기(phase shifter)는 RF 신호의 위상을 진폭의 감쇠없이 변화시키는 것을 기본 기능으로 하는 2 단자 회로이며 위상배열 안테나의 기본적인 소자로서 레이다와 초고주파통신에 폭넓게 사용된다. 기본적으로 변위기는 기계식과 전자식으로 나눌 수 있고 초창기에는 Fox^[1]와 Stark^[2]에 의해 제안된 것처럼 대부분 기계적으로 제어되었다. 그러나 기계식 변위기에 의한 주사(scanning)는 그 속도가 느리기 때문에

이를 대체할 전자식 변위기에 대한 연구가 활발히 진행되어 왔다.

최초의 전자식 변위기는 페라이트를 이용한 것으로서 1957년에 Reggia와 Spencer^[3]가 개발하였고, 1960년대 중반에 반도체 소자를 이용한 변위기로는 처음으로 PIN 다이오드 변위기가 등장하였다. 그 후 페라이트 변위기와 PIN 다이오드 변위기에 대해서 많은 연구가 이루어졌으며 GaAs FET, 배랙터(varactor) 등과 같은 소자를 이용한 변위기도 개발되었다. MMIC(monolithic microwave integrated circuit) 기술의 발전과 함께 1980년대 이후에는 MMIC 변위기에 대한 연구가 현재까지 진행되고 있다.^[4]

전자 제어 변위기에는 배랙터나 페라이트를 이용하여 연속적인 위상변화를 얻는 아날로그 변위기와 페라이트, PIN 다이오드, 그리고 GaAs FET 등을 이용하여 이산적인 위상변화를 얻는 디지털 변위기가 있으며 더

* 正會員, 浦項工科大学校 電子電氣工學科
(Dept of Elec. Eng., Pohang Univ.)** 正會員, 국방과학 연구소
(Agency for Defence Development)

接受日字 : 1993年 9月 17日

지탈 변위기가 디지털 신호처리와 컴퓨터의 발달로 인해 아날로그 변위기보다 많이 쓰이는 추세에 있다.^[5]

PIN 다이오드 변위기의 다양한 방식에 대한 연구는 J. F. White^[6], R. V. Garver^[7]를 비롯한 많은 연구자들에 의해 수행되어 왔으며 국내에서도 이 변위기에 대한 연구가 발표되었다.^[8, 9]

변위기의 성능을 나타내는 중요한 요소로는 위상오차, 삽입손실(insertion loss) 등이 있다. 위상오차는 원하는 위상변위에서 얼마나 벗어나는 지를 나타내는 척도이고, 삽입손실은 변위기가 신호를 감쇠하는 정도를 나타낸다. 삽입손실은 작아야 할 뿐만 아니라 각 위상상태에서 동일해야 한다.

본 논문에서는 PIN 다이오드와 마이크로스트립 선로를 사용하여 22.5°, 45°, 90°, 그리고 180°의 위상변위를 제공하는 4-bit 디지털 변위기를 설계, 제작하였다.

Ⅱ. 변위기의 이론

1. PIN 다이오드 변위기

PIN 다이오드는 순바이어스에서 작은 저항을 갖는 단락회로로, 역바이어스에서는 상대적으로 큰 리액티브 임피던스를 갖는 개방회로로 근사화될 수 있다. 따라서 회로 내에서 PIN 다이오드를 순바이어스와 역바이어스로 개폐함에 따라 RF 신호가 위상차를 갖도록 제어할 수 있다. 회로를 구현하는데 있어서 전송방식(transmission type)과 반사방식(reflection type)이 있고 전송방식은 가변선로 방식(switched line type), 부하선로 방식(loaded line type), 그리고 가변회로망 방식(switched network type)으로 나눌 수 있으며 반사방식은 기본적으로 1단자 회로망인 회로를 2단자 회로망으로 변환시켜 주는 방법에 따라 하이브리드 결합방식(hybrid coupled type)과 써큘레이터 결합방식(circulator coupled type)으로 나눌 수 있다.

이들 여러 방식의 변위기는 각각 장, 단점을 가지고 있어 4-bit 변위기의 구현을 위해 알맞은 방식을 선택해야 한다. 특정한 위상 bit에 대한 선택은 전력 수용능력, 사용 다이오드의 수, 삽입손실, 그리고 회로의 크기와 복잡성을 고려해야 한다.

가변회로망 방식 변위기는 저역통과 여파기와 고역통과 여파기를 스위칭하여 이에 의한 위상차를 얻는 방식으로, 변위기 구현에 집중소자들(lumped elements)을 사용하므로 초고주파대역의 HMIC에 적당하지 않아 본 연구에서 고려하지 않았다. 가변선로 방식 변위기의 경우 순간 최대전력 수용능력과 삽입

손실이 위상차의 함수가 아닌 반면에 반사방식과 부하선로 방식 변위기의 경우는 위상차의 함수이다.^[4]

반사방식과 부하선로 방식 변위기의 경우 위상차가 작을수록 순간 최대전력 수용능력은 커지고 삽입손실은 작아진다. 180° bit의 경우 가변선로 방식 변위기가 순간 최대전력 수용능력면에서 가장 좋고 삽입손실은 하이브리드결합 반사방식 변위기와 같다. 따라서 180° bit의 경우 가변선로 방식이 가장 유리하다. 90° bit의 경우 반사방식이 가변선로 방식과 같은 순간 최대전력 수용능력을 가지고 삽입손실은 더 작으므로 반사방식이 유리하다. 그러나 반사방식은 반사 회로망이 PIN 다이오드를 장착하는데 따라 민감하게 반응하는 단점을 가지고 있다. 45° bit의 경우는 반사방식과 부하선로 방식이 적당하며 부하선로 방식이 보다 간단한 회로구조를 가진다. 22.5° bit의 경우는 부하선로 방식이 가장 유리하다.

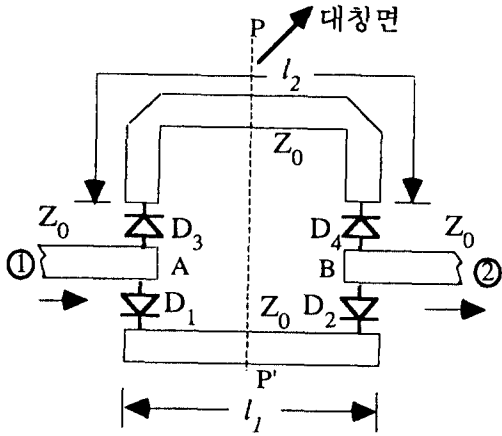
2. 가변선로 방식 변위기

가변선로 방식 변위기는 신호가 서로 다른 경로를 지날 때의 경로차를 이용하는 것으로서 다이오드를 연결하는 방식에 따라 직렬형과 병렬형으로 구분된다. 그림 1(a)에 직렬형 가변선로 방식 변위기를 나타내었고 (b)에 회로해석을 위한 등가회로를 나타내었다. 단자 ①과 단자 ②에 우모드(even mode)를 여기하면 대칭면인 PP'에서 개방이 되고 기모드(odd mode)를 여기하면 PP'에서 단락회로가 된다. 따라서 그림 1(b)와 같이 회로의 반만 해석해도 전달계수를 구할 수 있다.^[6]

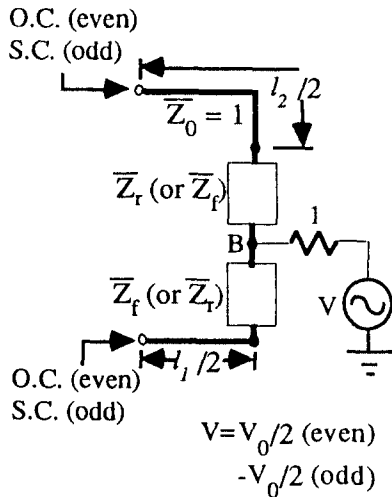
모든 임피던스는 Z_0 에 대하여 정규화되어 있다. 따라서 그림 1(b)에서 $\bar{Z}_1 = Z_1 / Z_0$, $\bar{Z}_2 = Z_2 / Z_0$ 이며 각각 순바이어스 정규화임피던스와 역바이어스 정규화 임피던스를 나타낸다. 그림에서 다이오드 D₁, D₂에 순바이어스가 인가되고 D₃, D₄에 역바이어스가 인가되었을 때를 상태 1이라 하고 이 때 전달계수를 S_{21}^1 이라 하면 S_{21}^1 은 다음과 같다.

$$S_{21}^1 = |S_{21}^1| e^{j\theta} \left[1 + \frac{1}{\bar{Z}_1 - j \cot \beta l_1 / 2} + \frac{1}{\bar{Z}_2 - j \cot \beta l_2 / 2} \right]^{-1} \left[1 + \frac{1}{\bar{Z}_1 + j \tan \beta l_1 / 2} + \frac{1}{\bar{Z}_2 + j \tan \beta l_2 / 2} \right]^{-1} \quad (1)$$

그리고 D₁, D₂에 역바이어스가 인가되고 D₃, D₄에 순바이어스가 인가되었을 때를 상태 2라 하고 이 때 전달계수를 S_{21}^2 라 하면 $S_{21}^2 = |S_{21}^2| e^{j\theta}$ 는 식 (1)에서 아래첨자 f와 r이 서로 바뀐 것과 같다. 상태 1과 상태 2의 전달계수로부터 위상차와 삽입손실을 구할 수 있다.



(a)



(b)

그림 1. (a) 직렬형 가변선로 방식 변위기의 구조
(b) 해석을 위한 등가회로
Fig. 1. (a) Configuration of series switched-line type phase shifter.
(b) Equivalent circuit for analysis.

위상차는 식 (2)와 같이 주어지고 상태 1, 2에서의 삽입손실은 식 (3)과 같다.

$$\Delta\phi = |\phi_2 - \phi_1| \quad (2)$$

$$\alpha(\text{dB}) = 20 \log_{10} |S_{21}^1|, \text{ state 1} \quad (3)$$

$$20 \log_{10} |S_{21}^2|, \text{ state 2}$$

만약에 PIN 다이오드가 이상적인 스위치라면 위상차는 β 를 전파상수라고 할 때 $\beta(l_2 - l_1)$ 와 같이 주어지겠지만 PIN 다이오드가 역바이어스 상태일 때 리액턴스 X_r 은 경로의 전기적 길이(electrical length)를 조금 더해주는 효과를 나타낸다. 선의 전기적 길이에 역바이어스가 걸린 다이오드의 등가 전기 길이를 더한 길이를 유효길이라 할 때 폐경로의 유효길이가 주파수의 반파장이나 혹은 그 배수가 될 때 공진이 일어난다. 공진일 때 반사된 신호가 입사된 신호와 동위상(in phase)이 되어 서로 더해지게 된다. 따라서 삽입손실이 대단히 커지게 되고 큰 위상오차를 일으킨다.^[10] 그러므로 직렬형 가변선로 방식 변위기에서 βl_1 은 $20^\circ \sim 50^\circ$ 에서 선택해야 한다.^[6]

앞에서 해석한 직렬형 가변선로 방식 변위기는 최소한 4개의 PIN 다이오드를 사용하여야 하지만 회로의 구조를 바꾸어 줌으로써 더 적은 수의 다이오드를 사용하여 변위기를 구현할 수 있다.^[11] 그림 2에 직-병렬형 가변선로 방식 변위기의 구조를 나타내었다. 모든 PIN 다이오드에 순바이어스가 인가되면 신호는 아랫경로로 전송되고 역바이어스가 걸리면 윗경로로 전송된다. D_3 와 연결되어 있는 개방스터브 l_3 가 $\lambda/4$ 이면 다이오드가 정바이어스일 때 l_2 에서 개방되어 있는 효과를 나타내어 l_2 로 신호가 전달되지 않으며 다이오드가 역바이어스이면 스태브가 선로 l_2 에서 떨어져 있는 것과 같은 효과를 나타낸다.^[4, 12] 그림 2와 같은 구조를 90도의 위상차를 갖는 변위기에 적용하면 l_1 을 $1/4$ 로 했을 때 l_2 는 $\lambda/2$ 가 된다. 따라서 D_3 는 주접합부에서 각각 $\lambda/4$ 의 거리에 있게 되므로 다이오드가 순바이어스일 때 큰 격리도를 갖게 된다.

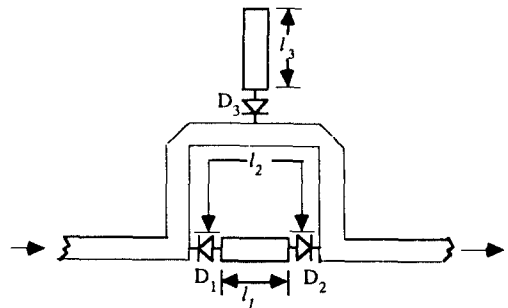


그림 2. 직-병렬형 가변선로 방식 변위기
Fig. 2. Series-shunt switched-line type phase shifter.

3. 부하선로 방식 변위기

부하선로 방식은 주선로에 어느 정도 간격을 두고 병렬로 접속된 부하로 구성되며 이 부하의 변동에 의하여 전달되는 전자파의 위상을 바꾸는 방식이다. 이때 부하의 변동은 PIN 다이오드를 개폐함으로써 얻을 수 있다. 그림 3에 부하선로 방식 변위기를 해석하기 위한 일반적인 등가회로를 나타내었다. 여기서 Y_{si} 는 주선로에 장하되어 있는 병렬스터브의 어드미턴스를 나타낸다.

등가회로의 해석은 ABCD 행렬을 이용하여 산란계수 행렬로 변환을 하면 쉽게 구할 수 있다.^{13, 14)} 그림 3로부터 ABCD 행렬을 구하면 식 (5)와 같이 주어진다. 여기서 $Y_{si} = G_{si} + B_{si}$ ($i = 1, 2$)이고 $Z_c = 1/Y_c$ 이며 G_{si} 는 PIN 다이오드의 저항성분에 의한 손실을 나타낸다.

$$\begin{aligned} A &= D = (\cos\theta - B_{s1}Z_c \sin\theta) + jG_{s1}Z_c \sin\theta \\ B &= jZ_c \sin\theta \\ C &= 2G_{s1}(\cos\theta - B_{s1}Z_c \sin\theta) \\ &\quad + jZ_c [2B_{s1}Y_c \cos\theta + (Y_c^2 + G_{s1}^2 - B_{s1}^2)\sin\theta] \end{aligned} \quad (5)$$

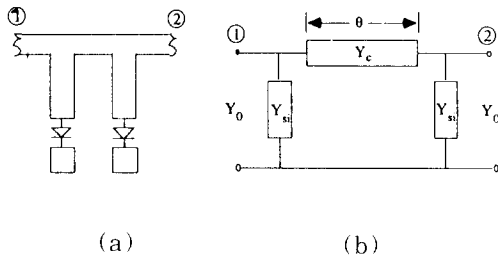


그림 3. (a) 부하선로 방식 변위기의 구조
(b) 해석을 위한 등가회로

Fig. 3. (a) Configuration of loaded-line type phase shifter.
(b) Equivalent circuit for analysis.

식 (5)의 행렬로부터 산란계수는 다음과 같이 구할 수 있다.

$$\begin{aligned} S_{11} &= S_{22} = \frac{BY_0 - CZ_0}{2A + BY_0 + CZ_0} \\ S_{12} &= S_{21} = \frac{2}{2A + BY_0 + CZ_0} \end{aligned} \quad (6a, b)$$

식 (6)에서 $Z_0 (=1/Y_0)$ 는 변위기의 입출력단에서의 특성임피던스이다. 식 (5)에서 PIN 다이오드가 무손실이라고 가정하면 $G_{si} = 0$ 가 되고 입력단 정합조건

인 $S_{11} = 0$ 로부터 전송계수 S_{21} 을 구할 수 있다.

$$S_{21} = \frac{1}{[(\cos\theta - B_{s1}Z_c \sin\theta) + jZ_c Y_0 \sin\theta]} \quad (7)$$

무손실조건과 입력정합조건에서 $|S_{21}| = 1$ 이 될 것이고 위상 ϕ 는 식(8a, b)와 같이 표현될 수 있다.

$$\begin{aligned} \cos\phi &= \cos\theta - B_{s1}Z_c \sin\theta \\ \sin\phi &= -Z_c Y_0 \sin\theta \end{aligned} \quad (8a, b)$$

아랫첨자 i 가 다이오드의 두 상태를 나타낼 때 위상변화량에 대한 표현식은 식 (8)으로부터 구한다.

$$|\Delta\phi| = |\cos^{-1}(\cos\theta - B_{s1}Z_c \sin\theta) - \cos^{-1}(\cos\theta - B_{s2}Z_c \sin\theta)| \quad (9)$$

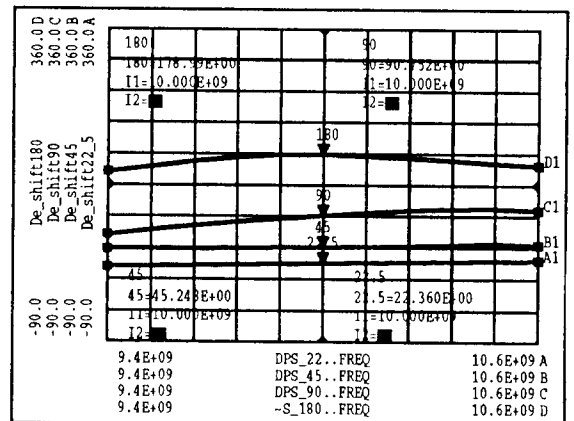
또한, $\phi = (90^\circ \pm \Delta\phi)$ 이라 하면 식 (8a, b)로부터 무손실 부하선로 방식 변위기에 대한 다음과 같은 기본적인 설계식을 구할 수 있다.

$$\begin{aligned} Y_c &= Y_0 \sin\theta \sec\left(\frac{\Delta\phi}{2}\right) \\ B_{si} &= Y_0 \left[\cos\theta \sec\left(\frac{\Delta\phi}{2}\right) \pm \tan\left(\frac{\Delta\phi}{2}\right) \right], \quad i=1,2 \end{aligned} \quad (10a, b)$$

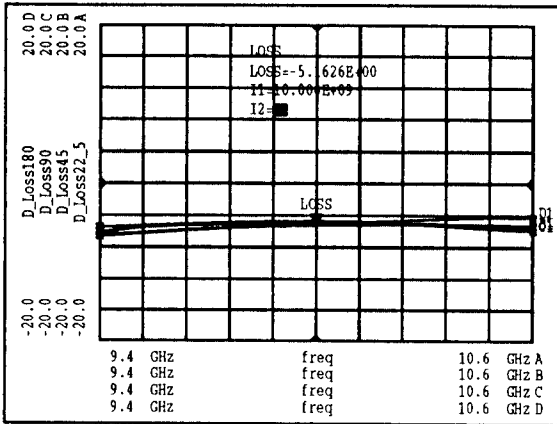
주선로에 장하(裝荷)될 병렬스터브의 형태가 선택되면 이 병렬스터브의 구조에 알맞은 계산식을 유도할 수 있으며 식 (10a, b)의 기본식과 유도식으로부터 부하선로 방식 변위기를 설계할 수 있다.

III. 변위기의 설계

본 논문에서는 10 GHz를 중심주파수로 하는 4-bit 변위기를 설계하였다. 사용된 PIN 다이오드는 Hewlett - Packard사의 HPND - 4028이며 마이



(a) Phase performance



(b) Insertion loss

그림 4. 4-bit 디지털 변위기의 설계결과
Fig. 4. Simulations of the 4-bit digital phase shifter.

크로스스트립 기판은 유전율 10.8, 기판두께 25 mil, 그리고 동박두께가 0.7 mil인 Rogers사의 RT-6010이 사용되었다. 변위기 구현에 사용된 PIN 다이오드와 직류 방지용 커패시터는 회로망분석기로 동작 바이어스 상태하에서의 산란계수를 각각 측정하고 이들을 2단자 회로로 바꾼 후 설계에 사용하였다. 설계된 각 bit의 변위기를 상용 초고주파회로 설계용 CAD (HP MDS)로 해석하고 최적화한 결과를 그림 4에 나타내었고 그림 5는 전체 레이아웃이다.

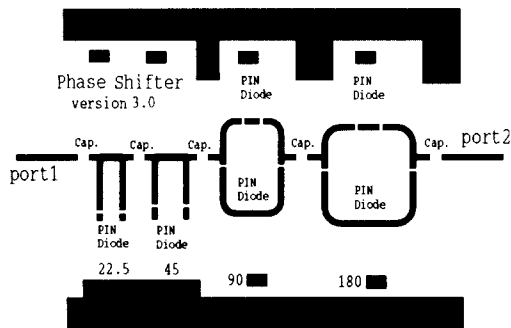


그림 5. 4-bit 디지털 변위기의 레이아웃 (4.8 x 3cm)
Fig. 5. Layout of the 4-bit digital phase shifter (4.8 x 3cm).

V. 실험 및 측정결과

설계된 변위기의 패턴은 사진식각법으로 제작되었

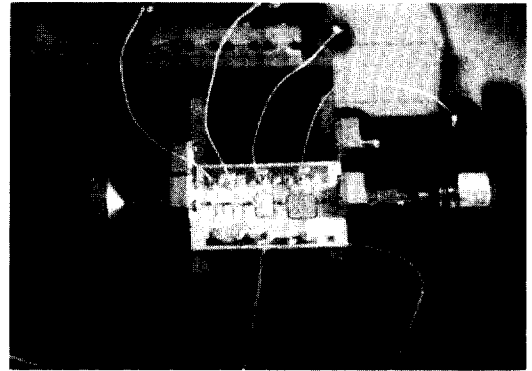


그림 6. 4-bit 디지털 변위기의 사진
Fig. 6. Photograph of the 4-bit digital phase shifter.

고 위상과 삽입손실의 측정에는 HP 8510B 회로망분석기가 사용되었다. 그림 6은 최종 설계, 제작된 4-bit 디지털 변위기의 사진이다. 그림 7은 변위기를 각 변위상태로 동작시킨 후 위상변화를 측정된 결과이며 0.5GHz 주파수대역에서 최대 위상오차는 그림 8에서 보듯이 $\pm 5.4^\circ$ 이다. 이는 4-bit 디지털 변위기의 동작시 최대 허용 위상오차 $\pm 5.7^\circ$ 를 만족한다. 변위기의 성능을 결정짓는 중요한 요소인 삽입손실은 9.75 ~ 10.25GHz의 주파수대역에서 그림 9와 같이 측정되었다. 그림 10은 평균 삽입손실의 설계치와 측정치를 비교한 것으로 이들 간의 오차는 4-bit 디지털 변위기 구현에 사용한 12개의 PIN 다이오드들과 5개의 커패시터들 간의 특성 오차와 전도성 에폭

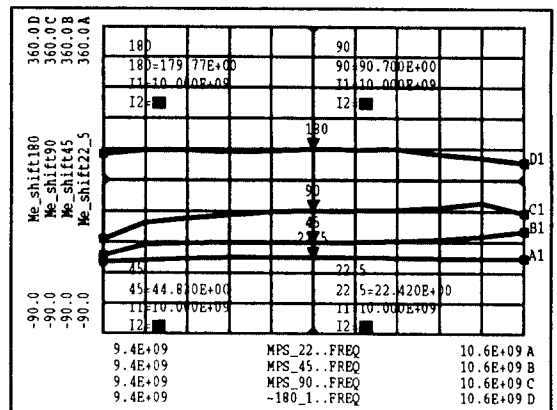


그림 7. 측정된 각 변위상태의 위상변화 특성
Fig. 7. Measured data of phase shift performance.

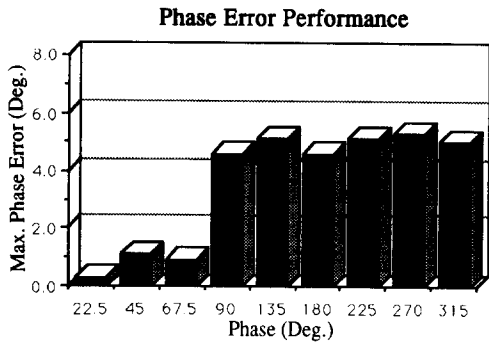


그림 8. 최대 위상오차 (주파수대역 : 0.5GHz)
 Fig. 8. Maximum phase error (frequency range : 0.5GHz).

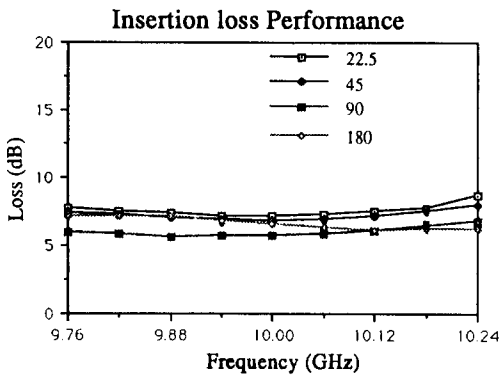


그림 9. 삽입손실
 Fig. 9. Insertion loss.

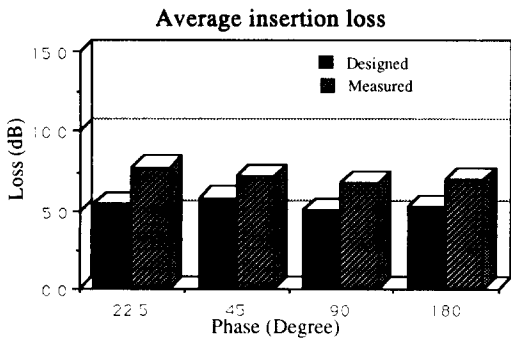


그림 10. 평균 삽입손실 (주파수대역 : 0.5GHz)
 Fig. 10. Average insertion loss (frequency range : 0.5GHz).

시를 이용한 다이오드 장착시 발생한 손실에 기인된 것으로 사료된다.

변위기의 전체 삽입손실은 각 bit의 삽입손실, 전송선로 손실과 직류 방지용 커패시터의 손실로 이루어진다. 각 bit의 삽입손실은 스위칭 소자의 차단주파수에 의해 크게 좌우되며^[4, 6], 높은 차단주파수를 가지는 스위칭 소자의 사용과 변위기 구현에 사용하는 소자들의 보다 정확한 특성 분석 및 소자 장착시 발생하는 손실을 줄이므로 삽입손실 특성의 개선이 가능할 것이다.

VI. 결론

본 논문에서는 사용주파수가 10GHz인 4-bit 디지털 변위기를 설계, 제작하였다. 가변선로 방식과 부하선로 방식에 대한 이론적 고찰을 바탕으로 각 bit에 알맞은 방식을 적용하여 설계하였다. 22.5°와 45° bit는 부하선로 방식을 채택하였고 90° bit와 180° bit는 직렬형 가변선로 방식을 채택하였으며 변위기 구현에 사용된 다이오드는 직접 측정된 자료를 설계에 이용하였다. 0.5GHz 주파수대역에서 변위기의 최대 위상오차는 ±5.4° 이고 평균 삽입손실은 7.2dB 인 측정결과를 얻었다. 본 연구결과는 위상배열 안테나 시스템의 송수신 모듈과 같은 변위기의 응용에 직접 이용될 수 있으리라 본다.

감사의 글

본 연구는 1991년부터 1993년까지 국방과학연구소 기초연구사업으로 지원된 과제 (과제명 : 극초단파 회로에 관한 연구)에 대한 연구결과의 일부입니다.

參考文獻

[1] A. G. Fox, "An Adjustable Waveguide Phase Changer," *Proc. IRE*, Vol. 35, December 1947, pp. 1489-1498.
 [2] L. Stark, "A Helical Line Scanner for Beam Steering a Linear Array," *IRE Trans. on Antennas and Propagation*, Vol. AP-15, April 1957, pp. 211-216.
 [3] F. Reggia and E. G. Spencer, "A New Technique in Ferrite Phase Shifting for Beam Scanning of Microwave Antennas," *Proc. IRE*, Vol. 45, November 1957, pp. 1510-1517.
 [4] Shibani K. Koul and Bharathi Bhat, *Microwave and Millimeter Wave Phase*

- Shifters*. Artech House, 1992.
- [5] R. V. Garver. *Microwave Diode Control Devices*. Artech House Inc., 1978.
- [6] J. F. White. "Diode Phase Shifters for Array Antennas," *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-22, June 1974, pp. 658-674.
- [7] R. V. Garver. "Broadband Diode Phase Shifters." *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-20, May 1972, pp. 314-323.
- [8] 조영승, 권혁중, 이영철, 신철재. "PIN 다이오드를 이용한 초고주파 4-비트 위상기에 관한 연구." 전자공학회논문지, Vol. 27, No. 2, February 1990, pp. 47-54.
- [9] 김찬홍, 노태문, 박위상. '4-bit PIN 다이오드 초고주파 변위기의 설계.' 마이크로파 및 전파전파연구회 학술대회 논문지, Vol. 15, No. 2, October 1992, pp. 115-119.
- [10] G. D. Lynes, G. E. Johnson, B. E. Huckleberry, and N. H. Forrest. "Design of Broadband 4-bit Loaded Switched-Line Phase Shifters," *IEEE Trans. on Microwave Theory Tech.*, Vol. MTT-22, June 1974, pp. 693-697.
- [11] W. R. Connerney. "Diode Loop Binary Phase Shifter," *IEEE Trans. on Microwave Theory Tech.*, Vol. MTT-16, February 1968, pp. 134-135.
- [12] G. Dubost and S. Guero. "A 3 Bit Digital Phase Shifter in Ku-Band for Microstrip Phased Array," *Proc. 8th Coll. on Microwave Communication Digest*. Budapest, Hungary, August 25-29, 1986, pp. 291-292.
- [13] Harry A. Atwater. "Circuit Design of the Loaded-Line Phase Shifter," *IEEE Trans. on Microwave Theory Tech.*, Vol. MTT-33, No. 7, Jul 1985, pp. 626-634.
- [14] I. J. Bahl and K. C. Gupta. "Design of loaded-line PIN diode phase shifter circuits", *IEEE Trans. on Microwave Theory Tech.*, Vol. MTT-28, Mar. 1980, pp. 219-224.

著者紹介



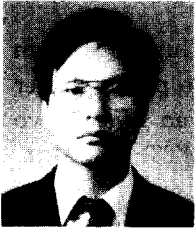
盧泰文(正會員)

1968年 9月 3日生. 1991年 연세대학교 공과대학 전자공학과 졸업. 1993年 포항공과대학교 전자전기공학과 졸업(석사과정). 1993年 ~ 현재 포항공과대학교 전자전기공학과 박사과정. 주관심 분야는 초고주파소자 모델링 및 회로 해석 등임.



金燦洪(正會員)

1967年 12月 12日生. 1991年 경북대학교 공과대학 전자공학과 졸업. 1993年 포항공과대학교 전자전기공학과 졸업(석사과정). 1993年 ~ 현재 국방과학연구소 연구원. 주관심 분야는 전자파의 응용 및 초고주파회로 해석 등임.



全中昌(正會員)

1961年 3月 3日 生. 1984年 경북대학교 공과대학 전자공학과 졸업. 1991年 포항공과대학교 전자전기공학과 졸업(석사과정). 1991年 ~ 현재 포항공과대학교 전자전기공학과 박사과정. 주관심 분야는 마이크로파 소자 모델링 및 수치적 해석, 전자파의 응용, 초고주파회로 및 안테나 설계 등임.

朴位相(正會員) 第 29券 A 編 第 11號 參照

현재 포항공과대학교 전자전기공학과 부교수겸 산업과학기술연구소 겸직연구원

金 沘 晚(正會員) 第 28券 A 編 第 11號 參照

현재 포항공과대학교 전자전기공학과 정교수겸 산업과학기술연구소 반도체연구분야장