

論文94-31B-4-7

전류 방식 CMOS에 의한 ROM 형의 다치 논리 회로 설계

(Design of Multiple Valued Logic Circuits with ROM Type using Current Mode CMOS)

崔在碩*, 成賢慶**

(Jai Sock Choi and Hyeon Kyeong Seong)

要約

본 논문에서는 전류 방식 CMOS에 의한 ROM 형의 다치 논리 회로를 제시하였다. 이 회로는 MV/B (multiple valued-to-binary) 복호기와 선택 회로를 사용하여 구성하였다. MV/B 복호기는 단일 입력 다치 신호를 N개의 2치 신호로 복호화하며, 선택 회로는 전류 방식 CMOS에 의한 전류 미러 회로와 금지 회로를 사용하여 실현한 선택 셀을 ROM 형의 $N \times N$ 배열로 구성하였다. 제시된 회로는 독립 변수를 갖는 다치 논리 함수의 회로 설계에 적합하며, 대칭적인 다치 논리 함수의 회로 설계에서 선택 셀의 수가 $\{(N^2-N)/2\}+N$ 로 감소한다. 또한 제시된 회로는 배열의 확장성, 단순성, 회선 경로의 규칙성, 모듈성을 가지므로 VLSI 실현에 적합하다.

Abstract

The multiple valued logic(MVL) circuit with ROM type using current mode CMOS is presented in this paper. This circuit is composed of the multiple valued-to-binary(MV/B) decoder and the selection circuit. The MV/B decoder decodes the single input multiple valued signal to N binary signal, and the selection circuits is composed N x N array of the selection cells with ROM types. The selection cell is realized with the current mirror circuits and the inhibit circuits. The presented circuit is suitable for designing the circuit of MVL functions with independent variables, and reduces the number of selection cells for designing the circuit of symmetric MVL functions as many as $\{(N^2-N)/2\}+N$. This circuit possess features of simplicity, expansibility for array and regularity, modularity for the wire routing. Also, it is suitable for VLSI implementation.

1. 서론

* 正會員, 仁荷大學校 電子工學科

(Dept. of Elec. Eng., Inha Univ.)

** 正會員, 尙志大學校 電算學科

(Dept. of Computer Science Sangji Univ.)

接受日字 : 1993年 5月 9日

현재 사용되고 있는 디지털 시스템은 대부분 2치 논리 이론을 기초로 하고 있으며, 반도체 기술의 발달로 인하여 칩의 집적도가 비약적으로 증가하고 회로의 복잡도가 날로 높아가고 있다. 그러나 이렇게

대형화된 집적 회로에 심각하게 대두되고 있는 단자 수 제한 문제, 단자간 상호 연결 문제, 보다 많은 정보량의 처리 문제와 연산 속도의 제한성이라는 근본적인 문제에 직면하게 되었으며, 이러한 문제점을 해결하기 위하여 지난 수 십년 동안 다치 논리 회로의 실현에 많은 흥미를 가져왔다.¹²

초기의 다치 논리 회로의 설계는 주로 전압 방식 쌍접합 트랜지스터와 CMOS회로에 의해 이루어져 왔다. 그러나 대부분의 전압 방식 다치 논리 회로는 회로의 복잡성과 전달 지연 때문에 2치 논리 회로와 경쟁이 못되어 새로운 기술인 전류 방식 CMOS 다치 논리 회로가 1983년에 소개되었다. 제시된 회로는 VLSI화에 대한 요구 사항들에 대하여 호환성을 가지며, 적은 CMOS 공급 전압에서 안정하게 동작하며, 전압 방식이 갖는 결점을 보완하고 임의의 절점에서 전류 신호의 가,감과 높은 전압의 공급없이도 각 기저의 할당이 용이한 이점을 갖는다.¹³

또한, 논리 함수와 산술 연산 함수는 다치 논리를 이용하여 연산, 게이트, 트랜지스터, 신호선 등을 감소시키므로 더 효율적으로 실현할 수 있다. 그러나 모든 이론적 장점을 갖는 다치 논리는 회로의 복잡성과 함수를 증가시키는 비용없이 이러한 장점을 제공할 수 없기 때문에 널리 사용되지 못했다. 이러한 비용은 잡음 여유율과 스위칭 속도를 감소시키는 결과를 가져왔으나 많은 회로 설계에서 다치 논리 회로를 사용하므로 전체 시스템 특성이 개선됨을 보였다.^{14,15}

아주 널리 사용되는 다치 논리 회로의 산업적 응용의 실례로서 Intel사의 8087 수치 자료 프로세서 (NDP)가 4치 ROM을 사용하므로 2치 ROM과 비교하여 약 31%의 ROM 면적을 가지며, 스위칭 속도가 늦은 다치 논리 ROM이 자료의 자동 조회에 대하여 할당된 시간내에 충분히 빠르기 때문에 전체 시스템의 속도에 불이익을 초래하지 않는다.

유사한 시스템 개선은 병렬 처리 또는 인공 지능과 인공 신경망과 같은 신호 처리에 또다른 새로운 기법의 잠재성을 갖는 다치 논리의 특성을 결합하므로 가능할 수 있다.

본 논문에서는 전류 방식 CMOS에 의한 ROM 형의 다치 논리 회로를 제시하였다. 제시된 회로는 MV/B(multiple valued-to-binary) 복호기와 선택 회로로 구성하였다. MV/B 복호기는 단일 입력 다치 신호를 N개의 2치 신호로 복호화하며, 선택 회로는 선택 셀들을 ROM형으로 배열하여 구성하였다. 제시된 회로는 배열의 확장성, 단순성과 회선 경로의 규칙성, 모듈성을 가진다.

II. 수학적 배경과 전류 방식 CMOS의 기본 개념

논리 회로 설계에서 게이트의 수는 소자 낭비를 발생시킬 수 있고, 분명히 이 영향은 집적 수준이 높다면 특히 중요하게 대두될 수 있다.¹⁶

이 장에서는 수학적 배경과 기본적인 전류 방식 CMOS 회로에 대하여 논한다.

1. 수학적 배경¹⁶

다치 시스템에서 논리값이 집합 $Q=\{0,1,2,\dots,N-1\}$ 이면 다음과 같은 함수들을 나타낼 수 있다.

(1) 폐구간 함수

상수 K, 원소 a와 b가 $a \leq b$ 일 때 변수 x에 대한 폐구간 함수는 다음과 같다.

$$y = K \cdot x^{a..b} = K \quad \text{if } a \leq x \leq b \\ = 0 \quad \text{otherwise} \quad (1)$$

(2) 준구간 함수

상수 K, 원소 a와 변수 x에 대한 준구간 함수는 다음과 같다.

$$y = K \cdot x^a = K \quad \text{if } a \leq x \\ = 0 \quad \text{otherwise} \quad (2)$$

(3) 절단 차분 함수

원소 a와 b가 $a < b$ 일 때 절단 차분 함수는 다음과 같다.

$$y = a \quad b = a - b \quad \text{if } a \geq b \\ = 0 \quad \text{otherwise} \quad (3)$$

위의 함수들에서 상수 K, 원소 a와 b, 변수 x는 논리값의 집합 $\{0,1,2,\dots,N-1\}$ 중 임의의 값을 갖는다.

2. 전류 방식 CMOS 기본 회로

전류 방식 CMOS 기본 회로는 여러 논문을 통해서 많은 종류가 발표되어 왔다.^{17,18}

(1) 전류원

CMOS에 의한 전류원이 그림 1(a)와 같으며, 이 회로의 기호가 그림 1(b)와 같다.

전류원은 다음과 같은 함수를 실현한다.

$$y = K \quad (4)$$

여기서 K는 전류원의 크기를 나타낸다.

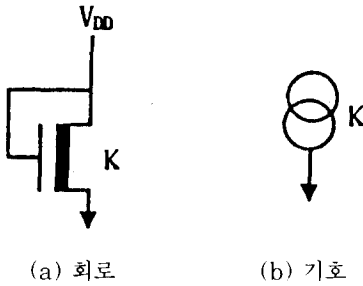


그림 1. 전류원
Fig. 1. The current source.

(2) 금지 회로

전류 방식 CMOS에 의한 금지 회로는 그림 2(a)와 같으며, 이 회로의 입출력 특성이 그림 2(b)와 같다. 이 금지 회로는 다음 함수를 실현한다.

$$y = K \cdot x^{10} \quad (5)$$

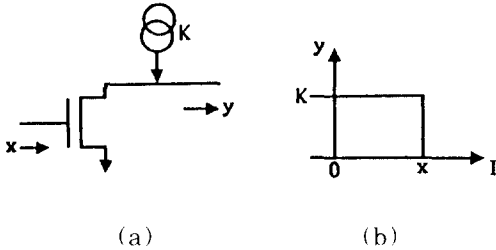


그림 2. 금지 회로
Fig. 2. The inhibit circuit.

(3) 전류 미러 회로

전류 방식 CMOS에 의한 전류 미러 회로는 그림 3(a)와 같으며, 그림 3(b)는 이 회로의 입출력 특성을 나타낸다. 이 회로는 하나의 입력 전류원에서 다 출력 기능을 가지며, 이는 일반적으로 전류 방식 회

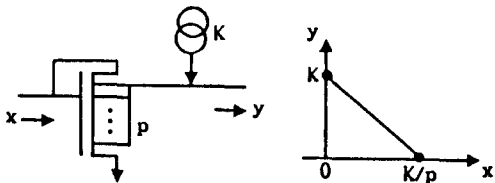


그림 3. 전류 미러 회로
Fig. 3. The current mirror circuit.

로에서 팬아웃 수가 1이라는 결점을 보완한다. 특히 전류 이득에 관계되는 폭과 길이의 비율이 동일하다고 가정하면 출력 전류는 입력 전류와 같은 값을 갖게 된다. 전류 미러 회로는 다음 함수를 실현한다.

$$y = K (p \cdot x) \quad (6)$$

Ⅲ. ROM 형의 다치 논리 회로 설계

이 장에서는 전류 방식 CMOS 기본 회로를 이용하여 ROM 형의 다치 논리 회로 설계에 대하여 논한다. 그림 4는 ROM 형을 갖는 다치 논리 회로의 일반적인 회로 구성도이다. 제시된 ROM 형의 다치 논리 회로는 단일 입력 다치 신호를 N개의 2치 신호로 복호화하는 MV/B(multiple valued-to-binary) 복호기와 전류 방식 CMOS 기본 회로인 금지 회로와 전류 미러 회로를 사용하여 설계한 선택 셀들의 배열로 구성된 선택 회로로 이루어졌으며, 이들의 회로가 다음과 같다.

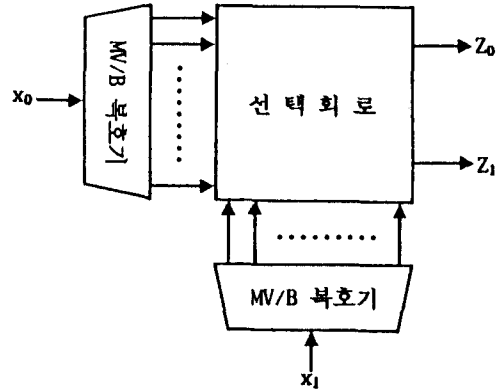


그림 4. ROM형의 다치 논리 회로 구성
Fig. 4. The configuration of MVL circuit with ROM type.

1. MV/B 복호기 설계

단일 입력 다치 신호 x 에 대하여 N개의 2치 출력으로 복호화하는 MV/B 복호기는 다음과 같은 함수를 갖는다.

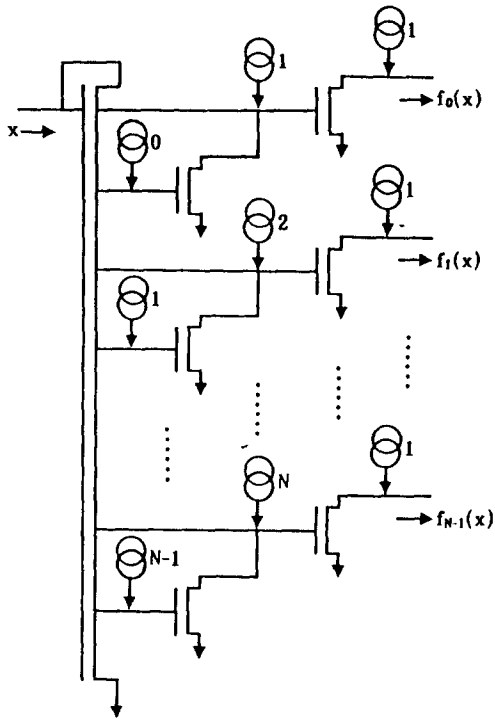
$$f_i(x) = \begin{cases} 0 & \text{if } x = i \\ 1 & \text{otherwise} \end{cases} \quad (7)$$

여기서 변수 x 는 다치 신호의 논리값 $\{0, 1, \dots, N-1\}$ 중 임의의 값을 가지며, 첨자 i 는 i 번째 함수를 나

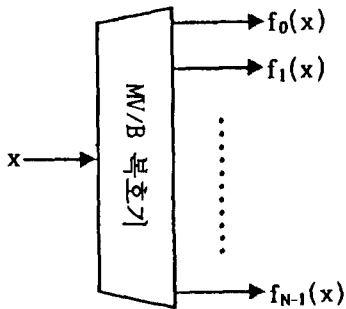
타내며 $\{0, 1, \dots, N-1\}$ 을 갖는다.

식(7)을 앞에서 논한 전류 방식 CMOS 기본 회로인 금지 회로와 전류 비터 회로를 사용하여 MV/B 복호기를 설계하기 위하여 절단 차분식으로 변환하면 함수 $f_i(x)$ 는 다음과 같다.

$$f_i(x) = 1 - \left\{ \left((i+1) - x \right) \cdot x^i \right\}^0 \quad (8)$$



(a)



(b)

그림 5. MV/B 복호기: (a) 회로 (b) 기호

Fig. 5. The MV/B decoder:

(a) circuit, (b) symbol.

예를들어, 다치 입력 x 가 3인 경우 x 와 i 의 값 3을 식(8)에 대입하면 $f_3(3) = 1 - \{((3+1) \ominus 3) \cdot 3^3\}^0$ 가 되어 $f_3(3)=0$ 이 되고 $x=3$ 과 $i=2$ 를 식(8)에 대입하면 $f_2(3) = 1 - \{((2+1) \ominus 3) \cdot 3^2\}^0$ 가 되어 $f_2(3)=1$ 이 된다. 또한 $x=4$ 와 $i=3$ 을 식(8)에 대입하면 $f_3(4) = 1 - \{((3+1) \ominus 4) \cdot 4^3\}^0$ 이 되어 $f_3(4)=1$ 이 된다. 그러므로 식(8)을 전류 방식 CMOS 회로를 사용하여 회로 설계하면 그림 5와 같다.

그림 5의 MV/B 복호기는 단일 다치 입력 변수 x 와 첨자 i 의 값이 같으면 i 번째 출력이 0이고 그렇지 않으면 나머지 출력은 1을 갖는다. MV/B 복호기의 입출력 특성이 표 1과 같다. 그림 5에서 0의 전류원을 갖는 금지 회로는 제거할 수 있다.

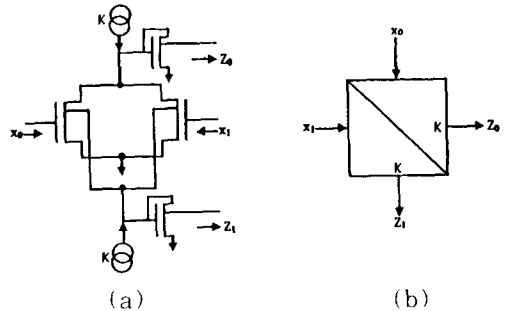
표 1. MV/B 복호기의 입출력 특성

Table 1. The input-output characteristic of MV/B decoder.

x	$f_0(x)$	$f_1(x)$	$f_2(x)$...	$f_{N-1}(x)$
0	0	1	1	...	1
1	1	0	1	...	1
2	1	1	0	...	1
...
$N-1$	1	1	1	...	0

2. 선택 회로 설계

N 개의 MV/B 복호기 출력과 연결되는 선택 회로는 기본 선택 셀들을 ROM 형의 $N \times N$ 배열로 구성하며, 전류 방식 CMOS 회로를 사용하여 설계한 기본 선택 셀의 회로가 그림 6(a)와 같으며 그림 6(b)는 선택 셀의 기호이다. 기호내의 상수 K 는 전류원의 크기를 나타내며 다치 논리값 $\{0, 1, \dots, N-1\}$ 중 임의의 값을 갖는다. 기본 선택 셀은 두 입력 두 출력을 갖는 회로이다.



(a)

(b)

그림 6. 기본 선택 셀: (a) 회로 (b) 기호

Fig. 6. The basic selection cell:

(a) circuit (b) symbol

그림 6의 전류 방식 CMOS 회로에 의한 기본 선택 셀들을 이용하여 ROM 형의 $N \times N$ 배열로 구성된 선택 회로가 그림 7과 같다. 그림 7의 선택 회로는 대칭적인 다치 논리 함수의 회로 설계에서 기본 선택 셀의 수가 N^2 에서 $((N^2-N)/2)+N$ 로 감소한다.

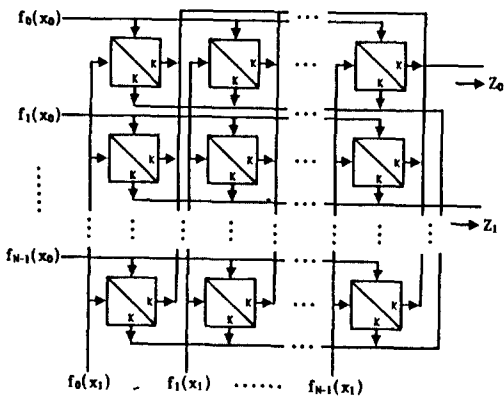


그림 7. 선택 회로
Fig. 7. The selection circuit.

앞에서 논한 ROM 형의 다치 논리 회로 설계 방법을 유한체 GF(4)의 다치 진리치표에 대하여 적용하는 예를 보인다. 표 2는 GF(4)의 2변수 4치 가산표(a)와 승산표(b)이다. 4치 신호는 2치 신호와 쉽게 인터페이스되고, 코드의 호환성이 용이한 장점이 있다.

표 2. GF(4)의 다치 진리치표: (a) 가산표, (b) 승산표

Table 2. The multiple valued truth tables on GF(4): (a) the addition, (b) the multiplication.

+	0	1	2	3
0	0	1	2	3
1	1	0	3	2
2	2	3	0	1
3	3	2	1	0

(a)

·	0	1	2	3
0	0	0	0	0
1	0	1	2	3
2	0	2	3	1
3	0	3	1	2

(b)

표 2를 ROM형의 다치 논리 회로의 설계 방법에 의하여 설계한 회로가 그림 8과 같다.

유한체(GF)의 가산과 승산은 Abelian 군을 이루므로 진리치표가 대각선으로 대칭적이다. 그러므로 4×4 선택 셀들의 배열에서 선택 셀수가 $(4^2-4)/2$

+4이므로 10개의 선택 셀로 선택 회로가 구성된다.

그림 8의 GF(4)상의 2변수 4치 다치 논리 회로의 동작은 입력 x_0 에 다치 신호 1을 가하고 입력 x_1 에 다치 신호 2를 가했다면 입력 x_0 에 대한 MV/B 복호기 출력은 $x_0=1$ 이므로 $f_1(1)=0$ 이고 나머지 출력은 1이다. 입력 x_1 에 대한 MV/B 복호기 출력은 $x_1=2$ 이므로 $f_2(2)=0$ 이고 나머지 출력은 1이다. 그러므로 선택 셀의 배열에서 1행 2열의 선택 셀이 선택되고 이 선택 셀내의 상수 3과 2가 출력된다. 출력 3은 $x_0=1, x_1=2$ 인 경우의 GF(4)상의 가산 회로 출력이고, 출력 2는 GF(4)상의 승산 회로 출력이다.

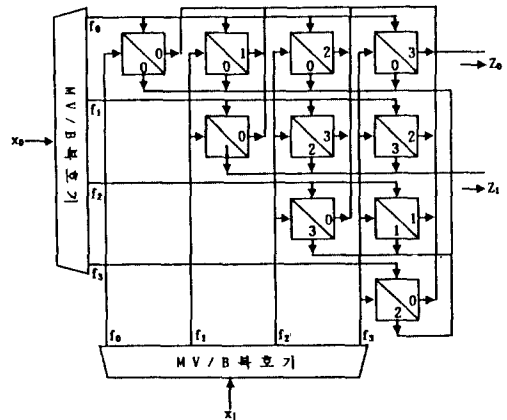


그림 8. GF(4)의 다치 논리 회로
Fig. 8. The multiple valued logic circuit on GF(4).

V. 비교 및 검토

이 장에서는 제시한 MV/B 복호기를 Prieto [10] 등이 제시한 MV/B 복호기와 비교하였으며, 비교표가 표 3과 같다. Prieto 등이 제시한 MV/B 복호기는 전류원이 N 개가 필요하나 threshold 전류원이 $6 \cdot (N-1) m$ 개 필요하므로 전체 전류원이 상당히 증가하며, 금지 회로는 $2 \cdot N \cdot m$ 개, 전류 미러 회로는 $2 \cdot (N-2) \cdot m$ 개 필요하다. 본 논문에서 제시한 MV/B 복호기는 전류원이 $2 \cdot (N-1) \cdot m$ 개, 금지 회로는 $(N-1) \cdot m$ 개 전류 미러 회로는 $(N-1) \cdot m$ 개의 소자가 필요하므로 Prieto 등이 제시한 MV/B 복호기 보다 다소 우수한 이점이 있다.

만약 본 논문에서 제시한 MV/B 복호기의 출력을 $x=i$ 인 경우 $f_i(x)=1$ 이 되고, 그렇지 않으면 출력이 0이 되도록 설계한다면 전류원이 $2 \cdot (N-1) \cdot m$, 금지

회로가 $(N-1) \cdot m$ 으로 현저히 감소한다.

표 3. MV/B 복호기의 비교표

Table 3. Some properties of MV/B decoder.

비 교 항 목	Prieto [10]	본 논문
전 류 원	N	$2 \cdot (N-1) \cdot m$
금 지 로	$2 \cdot N \cdot m$	$(N-1) \cdot m$
전류미러회로	$2 \cdot (N-2) \cdot m$	$(N-1) \cdot m$
threshold 전류원	$6 \cdot (N-1) \cdot m$	-

단, m은 변수이고, N은 치수임.

또한, 제시한 ROM 형의 다치 논리 회로를 Taniguchi¹¹⁾ 등의 연구와 Zilic¹²⁾ 등 제시한 다치 논리 회로와 비교하였으며, 비교표가 표 4와 같다. Taniguchi가 제시한 회로에서 논리 회로 A는 전류원이 $3 \cdot (N-2) \cdot m + 4 \cdot N^2$, 금지 회로가 $3 \cdot (N-2) \cdot m + 2 \cdot N^2$, 전류 미러 회로가 $m + 2 \cdot N^2 + 2$ 개 소요되며, Zilic 등이 제시한 GF(4)상의 가산 회로에서 전류원은 $N \cdot m$ 개, 금지 회로는 $2 \cdot (N-1) \cdot m$ 개, 전류 미러 회로는 $2 \cdot (N-1) \cdot m$ 개의 소자가 필요하다. GF(4)상의 승산 회로는 전류원이 $3 \cdot (N-1) \cdot m$ 개 필요하며 금지 회로와 전류 미러 회로의 요구되는 소자수는 가산 회로와 같다. 본 논문에서 제시한 MV/B 복호기는 전류원이 $3 \cdot (N-1) \cdot m + 2 \cdot N^2$, 금지 회로가 $3 \cdot (N-1) \cdot m + 2 \cdot N^2$, 전류 미러 회로가 $m + 2 \cdot N^2$ 개 필요하다. 선택 회로를 구성하는 선택 셀의 경우 Taniguchi 등의 연구는 전류원이 $4 \cdot N^2$ 이 소요되며, 본 논문의 경우 전류원이 $2 \cdot N^2$ 으로 반으로 감소하는 이점이 있다.

Taniguchi 등이 제시한 회로는 FL회로를 이용하여 회로를 설계하였으며, 이 회로는 논리 회로 A의 출력 전류와 논리 회로 B의 입력단 전류원과의 차성분에 의해 동작하도록 하였고, Zilic 등이 제시한 유한체상의 GF(4)의 가산 회로와 승산 회로는 회로 소

자는 다소 감소하나 회로 설계에서 모듈성이 없는 단점을 갖고 있다. 그러나 본 논문에서 제시한 다치 논리 회로는 MV/B 복호기의 출력이 직접 선택 회로를 동작하도록 설계하므로써 비교적 간단하고 안정하게 동작하며, Zilic 등이 제시한 회로의 단점인 모듈성과 규칙성을 갖는 이점이 있다.

V. 결 론

본 논문에서는 전류 방식 CMOS에 의한 ROM 형의 다치 논리 회로를 제시하였다. 제시된 회로는 MV/B 복호기와 선택 회로로 구성하였다. MV/B 복호기는 단일 입력 다치 신호를 N개의 2치 신호로 복호화하며, 선택 회로는 전류 방식 CMOS에 의한 전류 미러 회로와 금지 회로를 사용하여 설계한 선택 셀들을 ROM형의 $N \times N$ 배열로 구성하였다.

제시된 회로는 Taniguchi 등이 제시한 회로보다 트랜지스터와 전류원 등의 소자면에서 다소 유리하며, Zilic 등이 제시한 GF(4)상의 가산 회로와 승산 회로보다는 다소 소자수가 증가하는 단점을 가지고 있다. 그러나 Zilic의 회로는 VLSI 설계에서 중요시하는 모듈성과 규칙성이 없는 반면, 제시된 회로는 모듈성과 회선 경로의 규칙성을 가질뿐만 아니라 배열의 확장성, 단순성을 가지므로 VLSI 설계에 적합하다.

제시된 ROM 형의 다치 논리 회로는 독립 변수를 갖는 논리 회로의 설계에 적합하며, 유한체(GF) 연산에 적용하므로써 서로 독립된 기능을 갖는 함수를 동시에 얻을 수 있다. 특히 Abelian 군을 이루는 대칭적인 다치 논리 함수의 회로 설계에서 선택 셀의 수를 N^2 에서 $\{(N^2-N)/2\}+N$ 으로 감소시키는 이점이 있다.

본 논문에서 제시된 회로는 물리적 설계시 요구되는 구체적인 파라메타 값 및 연산 속도, 잡음 발생 문제 등을 고려하지 않았다. 이러한 문제는 더 많은 연구가 요구된다.

표 4. 다치 논리 회로의 비교표

Table 4. Some properties of MVL circuits.

비 교 항 목	Taniguchi[9]	Zilic[11]		본 논문
		가산 회로	승산 회로	
전 류 원	$3 \cdot (N-2) \cdot m + 4 \cdot N^2$	$N \cdot m$	$3 \cdot (N-1) \cdot m$	$3 \cdot (N-1) \cdot m + 2 \cdot N^2$
금 지 회로	$3 \cdot (N-2) \cdot m + 2 \cdot N^2$	$2 \cdot (N-1) \cdot m$	$2 \cdot (N-1) \cdot m$	$3 \cdot (N-1) \cdot m + 2 \cdot N^2$
전류미러회로	$m + 2 \cdot N^2 + 2$	$2 \cdot (N-1) \cdot m$	$2 \cdot (N-1) \cdot m$	$m + 2 \cdot N^2$

단, m은 변수이고, N은 치수임.

參 考 文 獻

[1] K.C. Smith, "The prospects for multivalued logic: a technology and applications view," *IEEE Trans., Comput.*, vol. C-30, pp.619-634, Sept. 1981.

[2] S.L. Hurst, "Multiple-valued logic - its status and its future," *IEEE Trans*

- Comput.*, vol. C-33, pp.1160-1179. Dec. 1984.
- [3] J.T. Butler, J.H. Pugsley and C.B. Silio, Jr., "High-speed multiplier uses 50 percent less chip area and power," *IEEE Computer*, vol.20, pp.109-110, Aug. 1987.
- [4] T. Yamakawa, T. Miki and F. Ueno, "The design and fabrication of the current mode fuzzy logic semicustom IC in standard CMOS IC technology," *Proc. 15th ISMVL*, Canada, pp.76-82, May 1985.
- [5] K.W. Current, "A CMOS quaternary threshold logic full adder circuit with transparent latch," *Proc. 20th ISMVL*, Charlotte, North-Carolina, USA, pp. 168-180, May 1990.
- [6] M. Davio and J.P. Deschamp, "Synthesis of discrete functions using I2L technology," *IEEE Trans., Comput.*, vol.C-30, pp.653-661, Sept. 1981.
- [7] S.P. Onneweer, H.G. Kerkhoff, "Current mode CMOS high-radix circuits," *Proc. 16th ISMVL*, Virginia, USA, pp.60-69, May 1986.
- [8] S. Kawahito, M. Kameyama and T. Higuchi, "VLSI-oriented bidirectional current mode arithmetic circuits based on the radix-4 signed digit number system," *Proc. 16th ISMVL*, Virginia, USA, pp.70-77, May 1986.
- [9] K. Taniguchi, T. Inoue and F. Ueno, "Realization and analysis of a mask-programmable I2L multivalued logic circuits," *Proc. 13th ISMVL*, Kyoto, Japan, pp.196-200, May 1983.
- [10] A. Prieto, P.M. Smith, F. Pelayo and A. Lloris, "The design of decoders for Q-valued logic circuits," *Proc. 18th ISMVL*, Palma de Mallorca, Spain, pp.32-39, May 1988.
- [11] Z. Zilic and Z. Vranesic "Current-mode CMOS Galois field circuits," *Proc. 23th ISMVL*, Sacramento, CA, USA, pp. 245-250, May 1993.

 著者紹介



崔在碩(正會員)

1964年 6月 8日生. 1988年 2月 인하대학교 전자공학과 졸업(공학사). 1990년 2월 인하대학교 대학원 전자공학과 졸업(공학석사). 1990년 3월 ~ 현재 인하대학교 대학원 전자공학과 박사과정. 1990년 3월 ~ 현재 (주)유니온 시스템 연구소 연구원. 주관심 분야는 Multiple-Valued Logic, Logic Minimization, Fuzzy Control, CAD/CAE 등임.



成賢慶(正會員)

1955년 12월 21日生. 1982년 2월 인하대학교 전자공학과 졸업(공학사). 1984년 2월 인하대학교 대학원 전자공학과 졸업(공학석사). 1991년 2월 인하대학교 대학원 전자공학과 졸업(공학박사). 1989년 3월 ~ 1991년 11월 부천전문대학 전자계산과 조교수. 1991년 12월 ~ 현재 상지대학교 전산학과 조교수. 주관심 분야는 Multiple-Valued Logic, Computer Architecture & VLSI Design, Fuzzy Logic, Digital Signal Processing 등임.