

게이트와 드레인/소오스 단락결함을 갖는 CMOS 회로의 스위치 레벨 결함 시뮬레이터 구현

(An Implementation of the Switch-Level Fault Simulator for CMOS Circuits with a Gate-to-Drain/Source Short Fault)

鄭 今 變, 全 興 雨

(Kum Sub Jung and Heung Woo Jeon)

要 約

본 논문에서는 게이트와 드레인/소오스 단락결함을 갖는 CMOS 회로의 특성을 시뮬레이션할 수 있는 스위치 레벨 결함 시뮬레이터를 구현하였다. 본 논문에서 이용한 결함모델은 결함을 갖는 MOS 소자의 전기적 특성의 그래프적인 해석과 결함을 갖는 CMOS 회로가 다음단에 미치는 영향을 결정하기 위한 결함 CMOS 회로의 등가 결함 CMOS 인버터 변환에 기초를 두고 있다. 이 기법은 매우 단순하며 시뮬레이션의 정확도가 증가한다. 구현된 결함 시뮬레이터를 이용한 결함회로의 시뮬레이션 결과를 SPICE 시뮬레이션 결과와 비교하였다.

Abstract

In this paper, the switch-level fault simulator for CMOS circuits with a gate-to-drain/source short fault is implemented. A fault model used in this paper is based on the graphical analysis of the electrical characteristics of the faulty MOS devices and the conversion of the faulty CMOS circuit to the equivalent faulty CMOS inverter in order to find its effect on the successive stage. This technique is very simple and has the increased accuracy of the simulation. The simulation result of the faulty circuit using the implemented fault simulator is compared with the result of the SPICE simulation.

1. 서 론

* 正會員, 大宇電子 産電研究所

(R&D Center of Industrial Electronics,
DAEWOO Electronic Co., LTD.)

** 正會員, 金烏工科大学校 電子工學科

(Dept. of Elec. eng., Kumoh Nat'l Univ.
of Tech.)

※ 본 연구는 1991년도 한국학술진흥재단 학술연구
조성비에 의하여 연구되었음.

接受日字 : 1993年 4月 21日

회로의 집적도가 증가함에 따라 회로에 결함이 발생될 가능성도 더욱 증가하게 되었으며, 회로의 테스트가 점차 어려워지고 회로를 테스트하는데 상당한 시간을 소비하는 문제점을 가지고 있다. 이와같은 테스트의 문제점을 해결하기 위하여 여러가지 방법 및 시뮬레이터^{1,2,3,4,5} 등이 개발되었으며 앞으로도 중요한 연구분야가 될 것이다.

스위치 레벨 시뮬레이션 모델^{6,7}은 게이트 레벨

모델^{1,2)} 보다 정확하면서도 처리시간이 거의 같기 때문에 효율적인 논리 시뮬레이션 방법으로 각광을 받고 있다. 그리고 대부분의 시뮬레이터^{1,6)} 는 stuck-at, stuck-open, stuck-close 또는 배선의 단락과 개방과 같은 결합의 시뮬레이션에 이용되고 있다.

그러나 이들 시뮬레이터는 게이트 단자가 드레인과 소오스 단자와 분리되어 드레인과 소오스의 상태가 게이트의 상태에 영향을 미치지 않는다고 가정하므로써 트랜지스터의 모델을 단순화하였으나 게이트와 드레인/소오스간의 단락과 같은 물리적 결합의 영향을 모델화할 수 없다.

Banerjee 모델⁷⁾에서는 SPICE 시뮬레이션 결과를 기본으로 하여 트랜지스터의 동작이 게이트, 드레인 및 소오스 단자의 상태에 의하여 결정되는 모델을 제시하였다. 그러나 결합을 갖는 트랜지스터의 위치와 상대적인 크기(Width/Length)를 고려하지 않았다.

MOS 트랜지스터의 게이트 단자가 그 외의 단자중 하나와 단락된 결합을 갖는 경우 결합을 갖는 트랜지스터의 위치와 회로의 입력상태에 따라서 게이트와 드레인 또는 게이트와 소오스 단락으로 분류된다. 즉, 동일 지점의 단락이라도 특정 입력에 의한 신호 흐름의 방향⁸⁾에 따라서 게이트와 드레인/소오스 단락결함으로 분류될 수 있다. 어떤 트랜지스터의 게이트 단자가 다른 도전 트랜지스터를 통하여 그외의 단자중 하나와 전기적으로 연결된 경우도 게이트와 드레인/소오스 단락결함을 갖는다고 볼 수 있다.

본 논문에서는 CMOS 소자에서 발생할 수 있는 여러가지 결합중에서 게이트와 드레인/소오스 단락결함 회로에 대한 전기적 특성의 그래프적인 해석^{9,10)} 및 이에 대한 스위치레벨 결합모델을 연구하였다. 또한, 결합에 의하여 전기적으로 연결된 회로를 구동단과 부하단의 등가 도전특성으로 기술되는 하나의 등가모델로 변경하고 변경된 등가모델의 도전특성을 구하여 그 출력이 다음단에 연결된 회로에 미치는 영향을 시뮬레이션 할 수 있는 스위치 레벨 결합 시뮬레이터를 depth first search 알고리즘과 그래프 이론^{11,12)}을 이용하여 C언어로 구현하였다. 게이트와 드레인/소오스 단락결함이 발생한 CMOS 소자에 대한 전기적 특성을 기본으로 한 모델을 이용하여 시뮬레이터를 구현하므로써 시뮬레이션 결과의 정확도를 높일 수 있으며, 불확정 논리의 수를 상당히 줄일 수 있다.

본 논문에서 구현한 시뮬레이터의 동작은 SPICE를 이용하여 해석한 결과와 비교하여 그 동작의 타당성을 증명하였다.

본 논문의 구성은 다음과 같다. 2장에서는 게이트와 드레인/소오스 단락결함을 갖는 nMOS 또는 pMOS의 직렬 또는 병렬 연결구조의 도전특성과 결합을 갖는 CMOS회로의 등가 도전특성에 대하여 기술하였다. 3장에서는 2장에서 기술한 도전특성을 기본으로한 결합 시뮬레이터 구현에 관한 알고리즘을 기술하였다. 그리고 4장에서는 시뮬레이션 및 고찰을 하였다. 5장에서는 결론과 앞으로의 연구방향에 대하여 기술하였다.

II. 게이트와 드레인/소오스 단락결함을 갖는 CMOS 회로의 전기적 특성

1. 결합을 갖는 MOS 트랜지스터의 도전특성

1) nMOS 또는 pMOS의 도전특성

V_{dd} 에서 GND까지의 도전경로에 위치한 도전 트랜지스터의 비선형 V-I 특성을 도전특성으로 정의할때 트랜지스터는 다음과 같은 도전특성¹¹⁾을 가진다.

$$|I_{ds}| = KS \left| (V_{gs} - V_t)V_{ds} - \frac{1}{2}V_{ds}^2 \right|; |V_{ds}| < |V_{gs} - V_t| \quad (1a)$$

$$= \frac{1}{2}KS(V_{gs} - V_t)^2; |V_{ds}| > |V_{gs} - V_t| \quad (1b)$$

여기서, $K = \mu\epsilon/t_{ox}$, $S = (W/L)$ 이다. 이때, $V_{gs} = V_{dd}$ 이면 식(1)에서 주어진 도전특성은 그림1와 같이 트랜지스터의 shape factor S에 비례하는 특정 그래프 형태 γ_s 를 갖는다. $V_{gs} < V_t$ 에서 동작하는 트랜지스터는 전류 I_{ds} 가 0 이므로 γ_0 로 표기하면 $|V_t| < |V_{gs}| < |V_{dd}|$ 에서 동작하는 트랜지스터의 도전특성은 경계지역 $\{\gamma_0, \gamma_s\}$ 내의 그래프형태로 나타낼 수 있다.

그리고 게이트와 드레인이 단락된 트랜지스터는 $V_{gs} = V_{ds}$ 이며, $|V_{gs}| > |V_{ds}|$ 일때 $|V_{ds}| > |V_{gs} - V_t|$ 이므로 항상 포화영역에서 동작한다. 따라서, 트랜지스터는 다음과 같은 도전특성을 갖는다.

$$|I_{ds}| = \frac{1}{2}KS(V_{ds} - V_t)^2; |V_{ds}| > |V_t| \quad (2)$$

이러한 특성은 그림1에 나타난 특정 그래프형태 ψ_s 를 갖는다.

2) nMOS 또는 pMOS의 직렬/병렬구조 도전특성

Shape factor가 S_1, S_2 이며 도전특성이 γ_{s1}, γ_{s2} 형태를 갖는 결합이 없는 두개의 MOS 트랜지스터가 직렬로 연결되었을때 등가 shape factor $S_1 * S_2$ 는 $(S_1 S_2) / (S_1 + S_2)$ ¹¹⁾이다. 그러므로 도전특성 γ_{s1} 과 γ_{s2} 를 갖는 결합이 없는 MOS 직렬구조에 대한 등가 도

전투성은 $\gamma_{s1, s2}$ 이 된다. 그리고 결함이 없는 두개의 MOS 트랜지스터의 병렬구조에 대한 shape factor는 $S_1 + S_2^{-1}$ 이다. 그러므로 등가 도전특성은 $\gamma_{s1, s2}$ 이 된다.

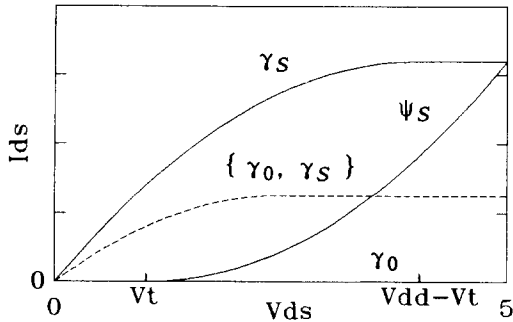


그림 1. 결함이 없거나 결함이 있는 트랜지스터의 도전특성
 Fig. 1. Conduction characteristics of faulty-free and faulty transistor.

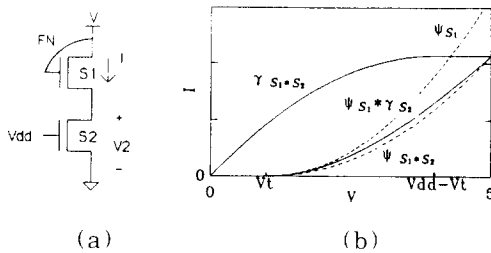


그림 2. 결함 트랜지스터와 결함이 없는 트랜지스터의 직렬 연결 도전특성
 Fig. 2. Conduction characteristics of faulty and faulty-free transistor connected in series.

그림 2(a)와 같이 결함을 갖는 트랜지스터와 결함이 없는 트랜지스터가 직렬 연결된 경우 결함을 갖는 트랜지스터 S_1 은 $V_{gs} = V_{ds}$ 이므로 포화영역에서 동작하며, 결함이 없는 트랜지스터 S_2 는 선형영역에서 동작하므로 각 트랜지스터의 V-I 특성은 다음 식으로 주어진다.

$$I = \frac{1}{2} K_n S_1 (V - V_2 - V_m)^2 \tag{3a}$$

$$I = K_n S_2 \left[(V_{ds} - V_m) V_2 - \frac{1}{2} V_2^2 \right] \tag{3b}$$

이 때, 식(3a)에서 $V_2 \approx 0$ 이므로 특성은 그림 2

(b)의 곡선 ψ_{s1} 형태로 표시되며, 식(3b)는 곡선 γ_{s2} 형태로 표시된다. 그림 2(b)에서 등가 도전특성의 상측 경계는 두 곡선 ψ_{s1} 과 $\gamma_{s1, s2}$ (결함을 갖는 트랜지스터가 직렬 연결된 경우의 전류는 결함이 없는 트랜지스터를 직렬 연결한 $\gamma_{s1, s2}$ 의 최대전류를 초과할 수 없다.)의 최소치로서 다음과 같다.

$$Ub(\psi_{s1} * \gamma_{s2}) = \min[\psi_{s1}, \gamma_{s1, s2}]$$

그리고 결함을 갖는 트랜지스터가 직렬 연결된 경우 shape factor $S_1 * S_2$ 를 갖는 등가 트랜지스터가 결함을 가질때의 전류와 같거나 크므로 등가 도전특성에서의 하측경계는 다음과 같다.

$$Lb(\psi_{s1} * \gamma_{s2}) = \psi_{s1, s2}$$

같은 방법으로 결함을 갖는 트랜지스터 또는 결함이 없는 트랜지스터가 병렬 또는 직렬로 연결된 여러가지 구조의 등가 도전특성에 대한 상측 및 하측경계는 다음과 같다.

$$Ub(\psi_{s1} + \gamma_{s2}) = \gamma_{s1, s2}, Lb(\psi_{s1} + \gamma_{s2}) = \gamma_{s1}$$

$$Ub(\psi_{s1} * \gamma_{s2}) = \min[\psi_{s1}, \gamma_{s1, s2}], Lb(\gamma_{s1} * \psi_{s2}) = \psi_{s1, s2}$$

$$Ub(\gamma_{s1} + \psi_{s2}) = \gamma_{s1, s2}, Lb(\gamma_{s1} + \psi_{s2}) = \gamma_{s1}$$

$$Ub(\psi_{s1} * \psi_{s2}) = Lb(\psi_{s1} * \psi_{s2}) = \psi_{s1, s2}$$

$$Lb(\psi_{s1} + \psi_{s2}) = Lb(\psi_{s1} + \psi_{s2}) = \psi_{s1, s2}$$

3) nMOS와 pMOS의 직렬/병렬구조 도전특성

다른 종류의 MOS가 직렬 연결된 경우 그림 3(a)에서 트랜지스터 S_n 는 완전 도전상태이기 때문에 전압강하가 작다. 그러므로 p형 트랜지스터의 게이트와 드레인 양단의 전압도 역시 작다. 따라서, p형 트랜지스터는 포화영역에서 동작하며 V-I 특성은 다음 식으로 주어진다.

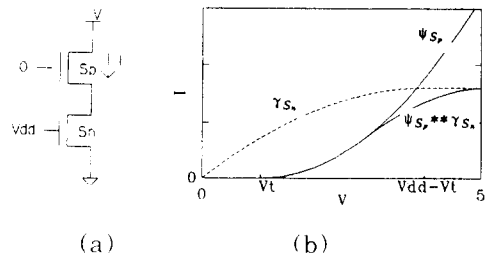


그림 3. 직렬 연결된 p형과 n형 트랜지스터의 도전특성

Fig. 3. Conduction characteristics of p- and n-type transistor connected in series.

$$I = \frac{1}{2} K_p S_p (0 - V - V_{tp})^2 \quad (4)$$

식(4)의 특성은 그림 3(b)의 곡선 ψ_{sp} 형태를 가진다. 그러므로 구동단의 도전특성에 대한 상측경계는 다음과 같다.

$$Ub(\psi_{s_p} ** \psi_{s_n}) = \min[\psi_{s_p}, \gamma_{s_n}]$$

그림 3(b)에서 하측경계 특성이 잘 나타나지 않는다. 이러한 경우에 하측경계는 γ_0 로 된다.

같은 방법으로 도전 pMOS에 의하여 게이트와 드레인이 단락된 결함을 갖는 nMOS가 직렬 연결된 경우 구동단의 도전특성은 다음과 같다.

$$Ub(\psi_{s_p} ** \psi_{s_n}) = \min[\psi_{s_p}, \gamma_{s_n}], Lb(\psi_{s_p} ** \psi_{s_n}) = \gamma_0$$

전달 트랜지스터(Pass Transistor)와 같이 다른 종류의 MOS가 병렬 연결된 경우 nMOS는 완전 도전상태이며, pMOS는 포화영역에서 동작한다. 그러므로 구동단의 도전특성에 대한 상측과 하측경계는 다음과 같다. 이것은 pMOS가 단락 결함을 갖는 경우 구동단의 도전특성에 대해서도 성립한다.

$$Ub(\psi_{s_p} ++ \gamma_{s_n}) = \gamma_{s_n+s_p}, Lb(\psi_{s_p} ++ \gamma_{s_n}) = \gamma_{s_n}$$

그리고 전달 트랜지스터에서 nMOS 또는 nMOS와 pMOS가 단락결함을 갖는 경우 구동단의 도전특성에 대한 상측과 하측경계는 다음과 같다.

$$Ub(\psi_{s_p} ++ \psi_{s_n}) = Lb(\psi_{s_p} ++ \psi_{s_n}) = \psi_{s_n+s_p}$$

부하단 도전특성은 첨자 n과 p를 서로 교환하면 된다.

4) 직렬, 병렬 혼합구조의 도전특성

2)절 및 3)절에서 기술한 여러가지 형태의 구조가 직렬 연결된 직렬 혼합구조의 등가전류는 각 구조에 흐를 수 있는 최대 전류보다 작으며, 각 구조가 직렬 연결된 구조에 흐를 수 있는 최소 전류보다 크다. 그러므로 직렬 혼합구조의 상측경계는 관련된 각 구조의 상측경계의 최소값 $\min [Ub_1, Ub_2]$ 에 의해서 결정된다. 그리고 직렬 혼합구조의 하측경계는 관련된 각 구조에서 하측경계 특성을 갖는 구조가 직렬 연결된 경우의 값 $Lb_1 * Lb_2$ 에 의해서 결정된다.

여러가지 형태의 구조가 병렬 연결된 병렬 혼합구조의 등가전류는 병렬 연결된 각 구조에 흐를 수 있는 최대 전류의 합보다 작으며, 각 구조에 흐를 수 있는 최소 전류의 합보다 크다. 그러므로 병렬 혼합구조의 상측경계는 관련된 각 구조의 상측경계의 합 $Ub_1 + Ub_2$ 에 의해서 결정된다. 그리고 병렬 혼합구조

의 하측경계는 관련된 각 구조의 하측경계의 합 $Lb_1 + Lb_2$ 에 의해서 결정된다.

2. 결함을 갖는 CMOS 인버터 특성

게이트와 드레인이 단락된 결함을 갖는 그림 4(a) CMOS 인버터에서 단락결함 노드 FN 때문에 출력 전압은 입력전압과 같다. 그러므로 결함을 갖는 CMOS 인버터의 출력전압 V_{outf} 은 임계전압 V_{inv} 과 같다. 즉,

$$V_{outf} = V_{in} = V_{inv} \quad (5)$$

이 때, n형 및 p형 트랜지스터는 모두 포화영역에 있으며 이들의 포화전류는 다음과 같다.

$$I_{dsp} = -\frac{1}{2} K_p S_p (V_{in} - V_{dd} - V_{tp})^2 \quad (6)$$

$$I_{dsn} = -\frac{1}{2} K_n S_n (V_{in} - V_{tn})^2 \quad (7)$$

그리고 결함 CMOS 인버터의 임계전압^[14] V_{inv} 은

$$V_{inv} = \frac{V_{dd} + V_{tp} + V_{tn} \sqrt{R}}{1 + \sqrt{R}} \quad (8)$$

이다. 여기서,

$$R = \frac{K_n S_n}{K_p S_p} \quad (9)$$

이다.

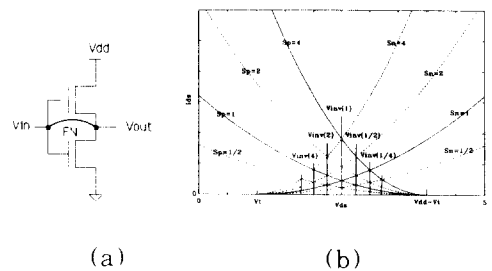


그림 4. 결함 CMOS 인버터와 V-I특성
Fig. 4. Faulty CMOS inverter and V-I characteristics.

식(9)에서 $K_p = K_n$ 이 되도록 트랜지스터의 shape factor S를 정규화 하였을때 shape factor S_n 과 S_p 를 갖는 각 트랜지스터의 V-I 특성은 그림 4(b)와 같

다. 그리고 $R=S_n/S_p$ 일때 임계전압은 S_n 과 S_p 에 상응하는 곡선의 교차점에 의해서 얻어진다. 이 때의 임계전압 레벨을 $V_{inv}(R)$ 이라고 하면 식(9)로부터 임계 전압은 ratio factor R의 단조 감소함수로 나타난다. 즉, $R_1 < R_2$ 이면 $V_{inv}(R_1) > V_{inv}(R_2)$ 이다. 그리고 논리 '0' 과 '1' 을 $V_{inv}(\infty)$ 와 $V_{inv}(0)$ 으로 나타낸다면 임계전압 레벨의 순서화 된 집합은 다음과 같다.

$$V_{inv}(\infty) < \dots < V_{inv}(4) < V_{inv}(2) < V_{inv}(1) < V_{inv}(1/2) < V_{inv}(1/4) < \dots < V_{inv}(0)$$

3. 결함을 갖는 신호의 전파

1) 결함단의 동작점

결함노드에 의하여 전기적으로 연결된 결함단 FS (Faulty Stage)은 MOS 트랜지스터의 등가 도전특성을 이용하여 구동특성과 부하특성으로 모델화될 수 있다. 그리고 그에 대한 임계전압이 $V_{inv}(R_{eq})$ 이라고 할때 결함단과 같은 동작점에서 동작하는 등가 결함 인버터의 ratio factor R_{eq} 를 구할 수 있다.

결함을 갖는 CMOS회로의 구동단과 부하단은 선형 또는 포화영역에서 동작하므로 아래의 식(10)(11)으로 나타낼 수 있으며, 결함특성에 따라서 식(12)(13)와 같은 등가 결함 인버터의 구동특성 및 부하특성으로 모델화 될 수 있다.

$$\gamma_{S_n} : I = K_n S_D \left[(V_{dd} - V_m) V - \frac{1}{2} V^2 \right] : V > V_m \tag{10a}$$

$$\psi_{S_n} : I = K_n S_D (V - V_m)^2 : V > V_m \tag{10b}$$

$$\gamma_{S_i} : I = K_p S_L \left[(0 - V_{dd} - V_p)(V - V_{dd}) - \frac{1}{2} (V - V_{dd})^2 \right] : V < V_{dd} + V_p \tag{11a}$$

$$\psi_{S_i} : I = \frac{1}{2} K_p S_D (V - V_{dd} - V_p)^2 : V < V_{dd} + V_p \tag{11b}$$

$$\psi_{S_{nq}} : I = \frac{1}{2} K_n S_{mq} (V - V_m)^2 : V > V_m \tag{12}$$

$$\psi_{S_{pi}} : I = \frac{1}{2} K_p S_{piq} (V - V_{dd} - V_p)^2 : V < V_{dd} + V_p \tag{13}$$

부하특성 γ_{S_i} 과 구동특성 ψ_{S_n} 를 갖는 등가회로의 동작점과 ψ_{S_i} 를 같은 동작점을 갖는 등가 결함 CMOS 인버터의 부하특성은 ψ_{S_i} 가 된다. 그리고 ψ_{S_n} 과 $\psi_{S_{nq}}$ 의 교차점은 등가 인버터의 임계전압 $V_{inv}(R_{eq})$ 를 나타낸다(여기서, $R_{eq} = S_D/S_{piq}$). 그러므로 결함신호 F는 $V_{inv}(R_{eq})$ 이다. R_{eq} 의 값은 ψ_{S_n} 과 γ_{S_i} 를 나타내는 식(10b), (11a)와 식(13)으로부터 얻을 수 있다. 이들은 동작점에서 동일한 I, V의 값을 갖는다. 이 때, $V_{in} = -V_{ip} = V_i$ 라 하고 shape factor를 정규화하면 다음과 같은 식이 얻어진다.

$$R_{eq}(\psi_{S_n}, \gamma_{S_i}) = \frac{S_D}{S_{piq}} = \left[\left(\frac{V_{dd} - 2V_i}{V_{dd} - V_i} \right) \sqrt{(1 + S_D/S_L) - 1} \right]^2 \tag{14}$$

식(14)는 동작점이 $V_{dd} + V_{ip} = V_{dd} - V_i$ 보다 작은 V의 값을 가질 때 유효하다. 만약, 동작점의 V 값이 $V_{dd} - V_i$ 보다 크면 결함신호는 논리 '1' 과 같다. 즉, $F = V_{inv}(0)$ 이다. 그리고 $V = V_{dd} - V_i$ 에서 $R_{eq} = 0$ 이며, 상응하는 R_{eq0} 는 다음과 같다.

$$R_{eq0} = \frac{(2V_{dd} - 3V_i)V_i}{(V_{dd} - 2V_i)} \tag{15}$$

그러므로 $S_D/S_L < R_{eq0}$ 일때 $F = V_{inv}(0)$ 이며, $S_D/S_L > R_{eq0}$ 일때 $F = V_{inv}(R_{eq})$ 이다.

같은 방법으로 구동단 γ_{S_n} 특성이 부하단 특성이 ψ_{S_i} 인 경우

$$R_{eq}(\gamma_{S_n}, \psi_{S_i}) = \frac{S_n}{S_i} = \left[\left(\frac{V_{dd} - 2V_i}{V_{dd} - V_i} \right) \sqrt{(1 + S_i/S_n) - 1} \right]^2 \tag{16}$$

이다. 식(16)는 동작점이 $V_{in} = V_i$ 보다 큰 V의 값을 가질 때 유효하다. 만약, 동작점의 V 값이 V_i 보다 작으면 결함신호는 논리 '0' 과 같다. 즉, $F = V_{inv}(\infty)$ 이다. 그리고 $V = V_i$ 에서 $R_{eq} = \infty$ 이며, 상응하는 $R_{eq\infty} = 1/R_{eq0}$ 이다.

구동단 특성이 ψ_{S_n} , 부하단 특성이 ψ_{S_i} 인 경우 $R_{eq}(\psi_{S_n}, \psi_{S_i}) = S_D/S_L$ 로 주어진다.

구동단 특성이 γ_{S_n} , 부하단 특성이 γ_{S_i} 인 경우 γ_{S_n} 과 γ_{S_i} 의 교차점이 $V = V_{dd} - V_i$ 일때 임계 ratio R_{eq} 은 다음과 같다.

$$R_{eq} = \frac{(2V_{dd} - 3V_i)V_i}{(V_{dd} - 2V_i)} \tag{17}$$

또한, γ_{S_n} 과 γ_{S_i} 의 교차점이 $V = V_i$ 일때 임계 ratio는 $1/R_{eq}$ 이다. 따라서, $S_D/S_L < R_{eq}$ 이면 $R_{eq} = 0$ 즉, $F = V_{inv}(0) =$ 논리 '1' 이며, $S_D/S_L \geq 1/R_{eq}$ 이면 $R_{eq} = \infty$ 즉, $F = V_{inv}(\infty) =$ 논리 '0' 이다.

그림 6와 같이 구동특성의 상측경계와 부하특성의 하측경계의 교차점에 의해서 얻은 동작전압의 하측경계를 FL이라 하고, 구동특성의 하측경계와 부하특성의 상측경계의 교차점에 의해서 얻은 동작전압의 상측경계를 FU이라 할때 결함단의 구동단에 있는 출력노드를 포함한 모든 노드의 상태는 FU보다 적으며, 결함단의 부하단에 있는 모든 노드의 상태는 FL보다 크다. 즉, 결함단 FS의 동작전압은 {FL, FU} 범위에 있다. 이와같이 결함단의 구동특성과 부하특성의 등가 도전특성은 하측과 상측경계에 의해서 기술된다.

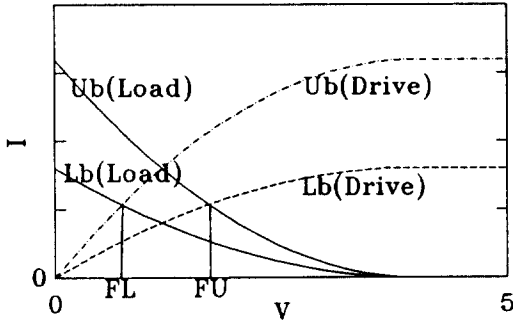


그림 5. 결합단의 동작전압
Fig. 5. Operating voltage of faulty stage.

2) 결합신호가 다음단에 미치는 영향

결합신호 F가 다음단 논리게이트의 스위칭 입력을 구동시킬 때는 V_{dd} -GND 도전 통로가 결합신호 F에 구동되는 게이트에 의해서 발생할 수 있다. 이 때, 다음단 게이트의 임계전압 V_{invG} 은 스위칭 트랜지스터 들의 크기에 의하여 결정되며, 스위칭 트랜지스터 로 구성된 등가 인버터의 임계전압과 거의 같다. [14] 즉,

$$V_{invG} = V_{inv}(R_s)$$

여기서, $R_s = (K_n S_n) / (K_p S_p)$ 는 스위칭 트랜지스터의 ratio이다.

그러므로 다음단 게이트의 논리동작은 결합단 신호 F의 동작전압 범위 {FL, FU}와 다음단 게이트의 등가 인버터의 임계전압 $V_{inv}(R_s)$ 에 의해서 결정된다. 즉, $V_{inv}(R_s) < FL < FU$ 일때 F는 논리 '1'로서 전파되며, 결합신호 F에 의하여 구동되는 다음단 게이트의 출력은 논리 '0'이다. $V_{inv}(R_s) > FU > FL$ 일때 F는 논리 '0'로서 전파되며 결합신호 F에 의하여 구동되는 다음단 게이트의 출력은 논리 '1'이다. $FL < V_{inv}(R_s) < FU$ 일때 F는 논리 'X'로서 전파되며 결합신호 F에 의하여 구동되는 다음단 게이트의 출력은 논리 'X'이다.

III. 프로그램 알고리즘

1. 부하 및 구동단 트랜지스터와 전달 트랜지스터의 분할

CMOS 회로를 회로해석에 적합하도록 부하 및 구동트랜지스터와 전달 트랜지스터로 분할하고, 분할된 각 블럭 입·출력 노드를 결정한다.

MOS 트랜지스터의 집합 M과 노드의 집합 N으로 구성된 CMOS 회로 $\mathcal{A}(N, M)$ 를 비방향성 그래프 H로 표시하고, 그래프 H를 입력세기의 노드 N_i 에 해당

되는 입력정점의 집합 V_i 와 풀업 노드에 해당하는 풀업정점 V_p 로 분리한다. 이때, 분리된 그래프 H의 연결요소(connected component) [11]는 소오스와 드레인 노드사이의 공통 도전경로를 가지고 있는 트랜지스터의 집합으로 구성된 구동단 및 부하단 트랜지스터 블럭(Multi Function Block: MFB) [13] 또는 전달 트랜지스터 블럭(Pass Transistor Block: PTB) [13]으로 구성된 \mathcal{A} 의 부회로로 정의된다.

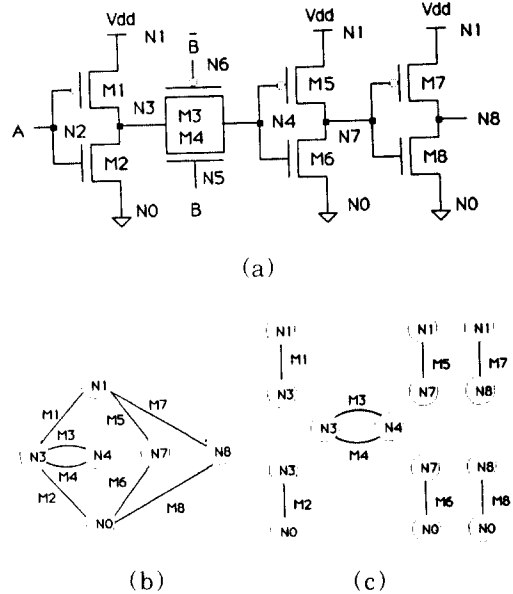


그림 6. CMOS 회로, 그래프 표현 및 MFB와 PTB 분할

Fig. 6. CMOS circuit, graph, MFB and PTB splitting.

표 1. 블럭에 포함된 트랜지스터와, 입력 및 출력 노드

Table 1. Transistors, input and output nodes in blocks.

블럭	트랜지스터		입력노드	출력노드
	부하단	구동단		
MFB1	M1	M2	N2	N3
MFB2	M5	M6	N6	N7
MFB3	M7	M8	N7	N8
PTB1	M3	M4	N3 N4 N5	N3 N6

CMOS회로 6(a)를 그래프로 표현한 그림 6(b)를 입력노드 N0와 N1에 의하여 분할하고 분할된 블럭에서 MFB와 PTB를 분리하기 위하여 먼저 PTB를 분리한 후 풀업노드 N3, N7, N8에 대해 분할을 하면 그림 (c)가 된다. 그리고 각 블럭들에 포함된 트랜지스터와 그들의 입·출력 노드들은 정의¹³⁾에 의하여 표 1와 같다.

2. 분할된 블럭의 순서화

CMOS 회로의 신호흐름과 각 트랜지스터의 도통상태를 결정하기 위하여 분할된 각 블럭 상호간의 입출력 관계가 결정되어야 한다.

회로의 각 노드 Ni에 대하여 팬아웃(fan-out)리스트 FOUT(Ni)은 입력노드로서 Ni를 갖는 블럭의 집합으로 정의되며 팬인(fan-in)리스트 FIN(Ni)은 출력노드로서 Ni를 갖는 블럭의 집합으로 정의¹³⁾ 된다.

그림 6(a)에서 입력원 (input source:SRC)은 표 2와 같으며, 각 노드의 팬인 리스트와 팬아웃 리스트는 정의에 의하여 표 3와 같다.

표 2. 입력 SRC
Table 2. Input SRCs.

블럭	SRC1	SRC2	SRC3	SRC4
출력노드	N1	N2	N4	N5

표 3. 각 노드의 팬인, 팬아웃 리스트
Table 3. Fanin and fanout lists of node.

노드	N2	N4	N5	N3	N6	N7	N8
팬인	SRC2	SRC3	SRC4	MFB1	PTB1	MFB2	MFB2
팬아웃	MFB1	PTB1	PTB1	PTB1	MFB2	MFB3	

3. 결함단 검출 및 등가 도전특성

결함의 영향을 받는 결함단에서의 도전특성을 해석하기 위하여 순서화된 분할블럭에서 단락결함과 입력상태에 따라서 전기적으로 상호 연결된 블럭을 검출하여 하나의 부회로로 재결합하여 결함단을 구성한다. 하나의 결함을 포함한 결함단은 결함노드를 포함하며 전기적으로 연결된 노드나 트랜지스터의 집합이다.

그림 6(a)에서 노드 N4와 N7가 단락된 결함이 있다고 가정하고 입력이 ABC=110 일때 결함단은 그림 7와 같다.

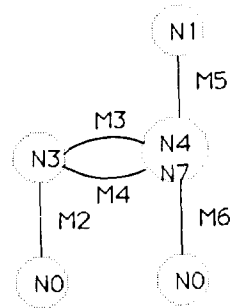


그림 7. 결함단
Fig. 7. Faulty stage.

분리된 결함단에서 직·병렬 연결 정보를 검출^{11,12)}하여 II장에서 기술한 등가 도전 특성을 반복적으로 대입하여 결함단에 속한 회로에 대한 등가 부하특성과 구동특성을 구한다.

그림 7에서 모든 트랜지스터의 shape factor S가 1이라할때 구동단에 있는 전달 트랜지스터 M3과 M4는 n-형과 p-형 트랜지스터의 병렬 연결이므로 전달 트랜지스터의 등가 도전특성의 상측경계 및 하측 경계는 다음과 같다.

$$\{ \gamma_{S_{M3}}, \gamma_{S_{M3}+S_{M4}} \} = \{ \gamma_1, \gamma_2 \}$$

그리고, 전달 트랜지스터와 트랜지스터 M2가 직렬 연결된 직렬 혼합구조의 등가 도전특성의 상측경계 및 하측경계는 다음과 같다.

$$\begin{aligned} & \{ \gamma_{S_{M2}}, \gamma_{S_{M2}+S_{M3}} \}^{***} \{ \gamma_{S_{M3}}, \gamma_{S_{M3}} \} \\ & = \{ \gamma_{S_{M2}} * \gamma_{S_{M3}}, \min[\gamma_{S_{M2}+S_{M3}}, \gamma_{S_{M2}}] \} \\ & = \{ \gamma_{S_{M2}} * \gamma_{S_{M3}}, \gamma_{\min(S_{M2}+S_{M3}, S_{M2})} \} \\ & = \{ \gamma_{1,2}, \gamma_1 \} \end{aligned}$$

전달 트랜지스터-트랜지스터 M2와 결함 트랜지스터 M6가 병렬 연결된 병렬 혼합구조의 등가 도전특성의 상측경계 및 하측경계는 다음과 같다.

$$\begin{aligned} & \{ \gamma_{S_{M2}+S_{M6}}, \gamma_{\gamma_{\min(S_{M2}+S_{M6}, S_{M2})}} \}^{+++} \{ \psi_{S_{M6}}, \gamma_{S_{M6}} \} \\ & = \{ \gamma_{1,2}, \gamma_1 \}^{+++} \{ \psi_1, \psi_1 \} \\ & = \{ \gamma_{1,2}, \gamma_2 \} \end{aligned}$$

그러므로, 구동단의 하측경계는 $\gamma_{1,2}$, 상측경계는 γ_2 특성에 의해서 결정된다. 부하단은 결함 트랜지스터 M5로만 구성되므로 다음과 같은 특성을 가진다.

$$\psi_{s,u} = \psi_1 = \{\psi_1, \psi_1\}$$

따라서, 결합단의 등가 부하특성과 구동특성은 그림 8과 같다.

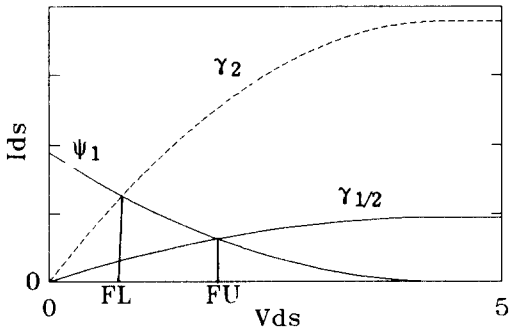


그림 8. 결합단의 등가 부하 및 구동특성

Fig. 8. Equivalent load and driver characteristics of faulty stage.

등가 결합 인버터의 동작전압 범위 {FL, FU}은 부하단 특성과 구동단 특성의 형태에 따라서 II.4절의 식을 이용하여 구한다.

그림 8에서 동작전압의 하측경계 FL은 부하단 특성 ψ_1 과 구동단 상측경계 γ_2 의 교차점에 의해서 얻어진다. 임계전압이 $V_t=0.65V$ 일때 식(16)에 의하여 등가 ratio factor는 $R_{n1}=574$ (즉, $FL=V_{inv}(574)$)이다. 또한, 동작전압의 상측경계 FU은 부하단 특성 ψ_1 과 구동단 하측경계 $\gamma_{1/2}$ 의 교차점에서 얻어지며 이 경우의 등가 ratio factor는 $R_{n1}=4.5$ (즉, $FU=V_{inv}(4.5)$)이다. 따라서, 그림 8의 결합단의 동작점은 전압 간격 {FL, FU}은 $\{V_{inv}(574), V_{inv}(4.5)\} = \{0.798 V, 1.839 V\}$ 이내에 있다. SPICE 시뮬레이션에 의한 결합단 동작전압은 1.839V이며 이값은 {FL, FU}의 범위에 포함된다.

결함신호에 의해서 구동되는 트랜지스터의 동작모드를 결정하고, 결함신호가 다음단 게이트의 스위칭 입력일때 결함신호에 의해서 구동되는 게이트의 임계전압 $V_{inv}(R_n)$ 를 구한다. 이 때, 다음단 게이트의 논리동작은 결합단의 동작전압 {FL, FU}와 다음단 게이트의 임계전압에 의해서 결정한다.

그림 8에서 결함신호가 ratio factor $R_n=2$ 인 인버터를 구동한다고 가정하면 $V_{inv}(4.5) < V_{inv}(2)$ 이므로 결함신호는 다음단 인버터의 임계 전압보다 작으므로 결함신호는 인버터에 의해서 논리 '0'으로 인식된다. 그리고 결함신호가 ratio factor $R_n=6$ 인 인버터를 구동한다고 가정하면 $V_{inv}(574) < V_{inv}(6)$

$< V_{inv}(4.5)$ 이므로 다음단 인버터의 임계전압은 결함신호의 범위내에 있으므로 신호는 불확정 논리 'X'로 인식된다.

4. 프로그램 구성

본 논문에서 구현한 시뮬레이터의 블록도는 그림 9와 같다.

입력화일은 트랜지스터의 형태(type), 명칭(name), shape factor(W/L), 임계전압(V_t), 각 트랜지스터의 연결정보와 결합노드를 기술하기 위한 드레인, 게이트, 소오스의 단자(node) 번호, 입력상태로 기술된다. 프로그램의 출력은 부하단과 구동단의 등가 도전특성에 대한 하측 및 상측경계, 등가 결합 인버터의 동작전압에 대한 하측 및 상측경계, 결함신호가 다음단에 미치는 영향을 나타내는 논리신호가 출력된다.

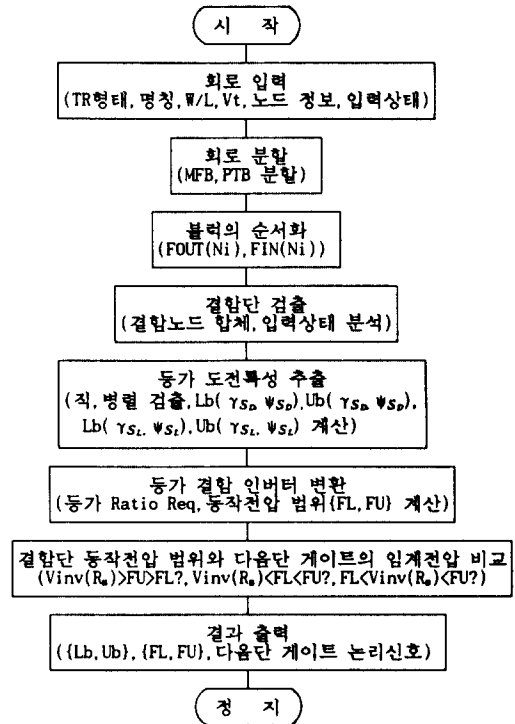


그림 9. 프로그램의 블록도

Fig. 9. Block diagram of program.

IV. 시뮬레이션 및 고찰

본 논문에서 구현한 시뮬레이터를 3개의 인버터가 종속 연결된 그림 10 회로, 배타적 OR 회로인 그림 11 회로와 예 회로인 그림 6(a)에 적용하여 입력상태

에 따른 결함단의 등가 도전특성 및 동작 전압특성 시뮬레이션을 하였다. 또한, 결함을 갖는 배타적 OR 회로의 결함단 출력에 연결된 게이트의 등가 인버터의 ratio factor R_s 에 따라서 결함단 출력이 다음단 게이트에 미치는 영향을 시뮬레이션 하였다.

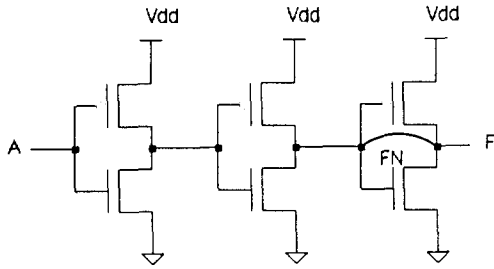


그림 10. 결함을 갖는 3단 인버터
Fig. 10. Faulty 3-stage inverter.

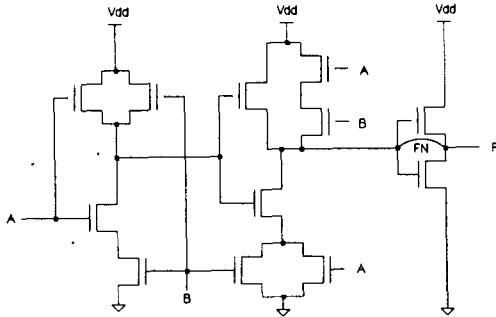


그림 11. 결함을 갖는 배타적 OR 회로
Fig. 11. Faulty XOR circuit.

표 4, 표 5와 표 6은 입력의 상태에 따른 결함단의 등가 도전특성 및 동작 전압특성 시뮬레이션 결과이며, 표 7은 결함을 갖는 배타적 OR 회로의 입력이 $AB=01$ 인 상태에서 다음단 게이트의 등가 인버터의 ratio factor R_s 에 따라서 결함단 출력이 다음단 게이트에 미치는 영향을 시뮬레이션 한 결과이다. 본 시뮬레이션에서는 모든 트랜지스터의 shape factor가 1 이고, 임계전압 V_t 가 0.65V라고 가정하였다. 그리고 이들 시뮬레이션 결과를 회로 시뮬레이터인 SPICE와 논리 시뮬레이터인 SILOS 시뮬레이션 결과와 비교하였다. SILOS를 이용한 시뮬레이션에서는 결함단의 모든 동작은 불확정 논리 'X'가 출력되었다.

표 4. 결함을 갖는 3단 인버터의 시뮬레이션 결과
Table 4. Simulation results of faulty 3-stage inverter.

입력	시뮬레이션 결과		SPICE 결과	
A	부하특성	구동특성	동작전압(V)	동작전압(V)
0	{ ψ_1, ψ_1 }	{ γ_1, γ_1 }	{1.274, 0.798}	1.245
1	{ γ_1, γ_1 }	{ ψ_1, ψ_1 }	{3.726, 4.202}	3.755

표 5. 결함을 갖는 XOR 회로의 시뮬레이션 결과
Table 5. Simulation results of faulty XOR circuit.

입력	시뮬레이션 결과		SPICE 결과	
A B	부하특성	구동특성	동작전압(V)	동작전압(V)
0 0	{ $\gamma_{1/2}, \gamma_{3/2}$ }	{ ψ_1, ψ_1 }	{3.162, 4.020}	3.303
0 1	{ ψ_1, ψ_1 }	{ $\gamma_{1/2}, \gamma_{3/2}$ }	{0.981, 1.839}	1.697
1 0	{ ψ_1, ψ_1 }	{ $\gamma_{1/2}, \gamma_{3/2}$ }	{0.981, 1.839}	1.697
1 1	{ γ_1, γ_2 }	{ ψ_1, ψ_1 }	{3.726, 4.202}	3.755

표 6. 결함을 갖는 예 회로의 시뮬레이션 결과
Table 6. Simulation results of faulty example circuit.

입력	시뮬레이션 결과		SPICE 결과	
A B	부하특성	구동특성	동작전압(V)	동작전압(V)
0 0	{ ψ_1, ψ_1 }	{ ψ_1, ψ_1 }	{2.5, 2.5}	2.5
0 1	{ $\gamma_{1/2}, \gamma_2$ }	{ ψ_1, ψ_1 }	{3.162, 4.202}	3.351
1 0	{ ψ_1, ψ_1 }	{ ψ_1, ψ_1 }	{2.5, 2.5}	2.5
1 1	{ ψ_1, ψ_1 }	{ $\gamma_{1/2}, \gamma_2$ }	{1.839, 0.798}	1.647

표 7. 결함단을 갖는 XOR 회로가 다음단 게이트에 미치는 영향

Table 7. The effects of the faulty XOR circuit on the successive stage.

$V_{inv}(R_s)$	{FL, FU}	예측논리값		SPICE 결과(V)	
		F	Vout	F	Vout
$V_{inv}(1/4)$	{ $V_{inv}(104), V_{inv}(4.5)$ } ={1.839V, 0.981V}	0	1	1.697	4.948
$V_{inv}(1/2)$		0	1	1.697	4.932
$V_{inv}(1)$		0	1	1.697	4.785
$V_{inv}(2)$		0	1	1.697	4.548
$V_{inv}(4)$		0	1	1.697	3.976
$V_{inv}(6)$		X	X	1.697	3.026
$V_{inv}(8)$		X	X	1.697	0.582

표 4, 표 5와 표 6에서 본 시뮬레이터에서 실험한 결함단 동작전압의 상측 및 하측경계값 범위내에 SPICE시뮬레이션 결과치가 존재함을 확인할 수 있다. 그리고 결합노드의 상태는 $V_{inv}(\infty)=V_t=0.65V$ 와 $V_{inv}(0)=V_{dd}-V_t=4.35V$ 사이의 값을 갖는다. 일반 스위치-레벨 시뮬레이터에서는 결함단의 동작전압이 논리 'X' 로 가정되지만 본 시뮬레이터에서는 특정 범위의 값으로 표시하므로써 정확도를 증가시킬 수 있다.

그리고 표 7와 같이 다음단의 R_s 값에 따라 결함신호 F의 영향을 재평가하므로써 일반 스위치 레벨 시뮬레이터에서 불확정 논리 'X' 로 해석하는 논리값을 특정 논리값('0' 또는 '1')으로 표시할 수 있으므로 불확정 논리의 수를 줄일 수 있다.

본 프로그램의 구현에 이용한 알고리즘은 MOS 트랜지스터로 구성된 CMOS 회로를 비방향성 그래프로 표시할때 노드의 수를 V, 변의 수를 E 라고 하면 $O(V+E)$ 의 시간 복잡도를 갖는다.

V. 결론

본 논문에서는 게이트와 드레인/소오스 단락결함을 갖는 CMOS회로의 특성을 해석하기 위한 스위치 레벨 결합 시뮬레이터를 개발하였다. 구현된 시뮬레이터의 동작은 SPICE 시뮬레이션 결과와 비교하여 확인하였다.

일반적으로 CMOS 회로에서 GND에서 Vdd까지 도전경로를 만드는 물리적 결함은 종래의 스위치 레벨 모델에서는 정확하게 시뮬레이션을 하지 못했다. 그러나 본 논문에서는 게이트와 드레인/소오스 단락결함이 발생한 CMOS 소자에 대한 전기적 특성을 해석하고, 그 특성을 기본으로 한 모델을 이용하여 결합 시뮬레이터를 구현하므로써 결함단의 동작전압을 특정 범위의 값으로 표시할 수 있어 정확도를 증가시킬 수 있었다. 그리고 결함단에 연결된 다음단 게이트의 크기(W/L)에 따라 결함신호의 영향을 논리 '0', '1' 또는 'X' 중의 하나로 재평가 하므로써 불확정 논리 'X' 의 수를 상당히 줄일 수 있었다.

앞으로 연구되어야 할 과제는 다중 결함을 갖는 회로, 케환 루우프를 갖는 회로 및 일반적인 CMOS 회로 이외의 회로를 시뮬레이션할 수 있는 시뮬레이터의 개발이다.

參 考 文 獻

[1] J.Galiay, Y.Crouzet, M.Vergniault, "Physical Versus Logical Fault Models MOS LSI Circuits : Impact on Their Testability", *IEEE Trans. Computers*, Vol.C-29, pp.527-531, June 1980.

[2] R.L.Wadsack, "Fault Modeling and Logic Simulation of CMOS and nMOS Integrated Circuits", *Bell System Tech. J.*, Vol.57, pp.1449-1473, May-June 1978.

[3] Niraj K. Jha and Sandip Kundu, *Testing and Reliable Design of CMOS Circuits*, Kluwer Academic, Massachusetts, pp.1-225, 1990.

[4] M.Kawai and J.P.Hayes, "An Experimental MOS Fault Simulator Program CSASIM", *Proc.21st ACM/ IEEE Design Automation Conf.*, pp.2-9, June 1984.

[5] R.E.Bryent, "A switch-level model and simulator for MOS digital system", *IEEE Trans. Computer*, Vol.C-33, pp.160-177, Feb. 1984.

[6] —, *P/C SILOS Logic Simulator*, SIMUCAD, 1988.

[7] P.Banerjee and J.A.Abraham, "A Multi-valued algebra for modeling physical failures in MOS VLSI Circuits", *IEEE Trans. on Computer Aided Design*, Vol.CAD-4, pp.312-132, July 1985.

[8] N.P.Jouppi, "Derivation of signal flow directions in MOS VLSI", *IEEE Trans. Computer Aided Design*, Vol.CAD-6, pp.480-490, May 1987.

[9] L.O.Chua, *Introduction to Nonlinear Network Theory*, New York: McGraw Hill, 1969.

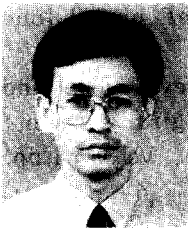
[10] M.E.Zaghloul and Gobovic, "A New Fault Model for Physical Failures in MOS VLSI Circuits", *Proc. IEEE Inter. Symp. on Circuits and Systems*, Philadelphia, PA, pp.863-866, 1987.

[11] Narsingh Deo, *Graph Theory with Applications to Engineering and Computer Science*, Prentice-Hall, N.J., pp268-317, 1974.

[12] Shimon Even, *Graph Algorithms*, Com-

- puter Science Press, Maryland, pp.53-66, pp160-168, 1979.
- [13] V.B.Rao and T.N.Trick, "Network partitioning and ordering for MOS VLSI circuit", *IEEE trans.CAD*, Vol.CAD-6, pp.128-144, Jan.1987.
- [14] N.Weste and K.Eshraghian, *Principles of CMOS VLSI Desgn. A System Perspective*, Massachusetts, Addison-Wesley, pp32-57, 1985.
- [15] M. Favalli, P.Olivo, and M. Damiani, "Fault Simulation of Unconventional Faults in CMOS Circuits", *IEEE Trans. on Computer Aided Design*, Vol.10, pp. 677-682, May 1991.

 著者紹介



鄭 今 燮(正會員)

1963年 7月 1日生. 1990年 2月
 금오공과대학교 전자공학과 졸업
 (공학사). 1992년 금오공과대학교
 대학원 전자공학과 졸업(공학석
 사). 현재 대우전자 산전연구소 연
 구원.



全 興 雨(正會員)

1956年 10월 30日生. 1980年 2月
 한국항공대학 전자공학과 졸업(공
 학사). 1982년 2月 고려대학교 대
 학원 전자공학과 석사과정 졸업
 (공학석사). 1988년 8月 고려대학
 교 대학원 전자공학과 박사과정
 졸업(공학박사). 1989년 3月 ~ 현재 금오공과대학교
 전자공학과 조교수.