

論文94-31A-3-5

액정표시기 구동을 위한 다결정 실리콘 박막 트랜지스터 회로의 설계 및 기초소자 특성분석

(Design of Poly-Silicon Thin Film Transistor Circuits for Driving Liquid Crystal Display and Analysis of Characteristics of the Devices)

許 星 會*, 韓 喆 熙**

(Sung Hoi Hur and Chul Hi Han)

要 約

다결정 실리콘 박막 트랜지스터로 구성된 CMOS의 LCD구동회로를 설계하고 그 구성 블록을 제작하였다. 박막 트랜지스터가 동화상처리에서 요구하는 속도로 동작될 수 없으므로 열구동기는 여러 화소를 블록으로 묶어 구동한다. 행구동기는 비월주사방식과 비비월주사방식을 지원할 수 있는 모드 선택회로를 포함하고 있다. 제작된 shift register는 4pF정도의 부하에서 1MHz의 최고 동작주파수를 보였다.

Abstract

CMOS LCD driving circuits using poly-Si TFT have been designed and basic blocks including test patterns have been fabricated. Column driver drives the pixels by block because poly-Si TFT can not operate at the speed of video signal. Row driver has mode selection circuit which can select a mode between interlacing mode and non-interlacing mode. Experimental results show shift register can operate at 1MHz clock frequency with 4pF load.

1. 서 론

최근의 notebook computer 등의 발전과 대형 TV의 개발에서 보듯이 액정등의 평면 표시 소자에 대한 관심이 커지고 그에 대한 연구가 많이 진행되고 있다. 특히 이러한 표시기중 액정 표시기는 저소비전력과 색상화등의 장점으로 인하여 주목받고 있다. 액정

표시기의 구동방법은 단순 행렬에 의해 구동하는 방법과 화소에 스위칭소자를 써서 구동하는 능동 행렬 방법이 있는데, 그중 능동 행렬 방법은 화질의 선명도와 속도에 있어서 단순 행렬에 비하여 월등한 특성을 보이고 있다. 능동 행렬에서 화소의 스위칭 소자로 쓰이는 것으로는 보통 비정질 실리콘 박막트랜지스터(a-Si TFT)가 주로 사용되어 실용화 단계에 있다.^{[1][2]} 그러나 a-Si TFT는 동작 속도가 느려서 on-chip 구동회로를 구성할 수 없고 그러므로 패널 가격이 높아지는 단점이었다. a-Si TFT의 이런 단점을 해소하고 빠른 속도의 동작이 가능한 on-chip 구동회로를 구성할 수 있는 poly-Si TFT에 대한 연

*學生會員, ** 正會員, 韓國科學技術院 電氣 및 電子工學科

(Dept. of Electrical Eng., KAIST)

接受日字 : 1993年 4月 12日

구가 활발하다. ³ on-chip 구동 회로를 구성하면 평면표시패널에서 차지하는 구동회로의 비용이 감소되고 배선수도의 감소를 가져와 비용이 절감되어 기존 a-Si 평면표시기에 비해 가격 경쟁력이 커진다. ^{4, 5)}

⁶⁾ 하지만 현재까지의 poly-Si TFT의 경우에는 동작속도가 전체 화소를 구동하기에 충분히 빠르지 못하므로 여러 화소(block)를 한꺼번에 구동하는 방법이 사용된다. ¹⁾

본 논문에서는 on-chip 구동회로를 poly-Si TFT 소자를 이용하여 CMOS로 설계하였고, 각 회로 블록을 제작하여 특성을 분석하였다. 연구의 대상이 되는 구동회로는 투시형 표시소자에 적합한 크기인 3inch 대각 크기에 640×480 화소를 256 밝기로 구동하게 된다. 2장에서는 구동회로 전반의 구성을 살펴보고 각 회로의 구성을 검토한 후 회로 블록을 설계하여 각 블록의 특성을 분석하였다. 3장에서는 poly-Si TFT소자 제작에 대하여 설명하고, 4장에서는 제작된 소자 특성, 5장에서 회로특성에 대하여 분석하고 실제 구동회로 구성을 위한 방법을 제시한다.

II. 액정표시소자 (LCD) 구동회로 설계

화소를 구동하는 전체 LCD 구동회로의 구성은 그림 1과 같이 행구동기(row driver)와 열 구동기(column driver)로 나뉜다. 행구동기는 기록될 화소들의 행에 배치되어 있는 TFT를 차례로 turn-on시키는 역할을 한다. 열구동기는 선택된 화소에 화상 신호를 인가하는 역할을 한다. 640×480 화소를

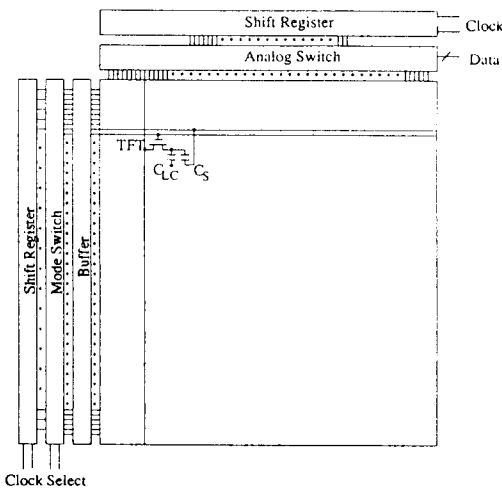


그림 1. LCD 구동회로의 구성
Fig. 1. Configuration of LCD driving circuits.

3inch 대각 크기에 구현하기 위해서는 각 화소당 크기가 $95\mu\text{m} \times 95\mu\text{m}$ 이므로 구동기의 각 화소에 해당하는 부분은 그 이하의 크기가 되어야한다. 각 구동기의 자세한 구성은 다음에 서술되어있다.

1. 행구동기의 구성

행구동기는 기본적으로 선택신호를 차례로 전달해주는 shift register와 그 선택 신호가 여러 TFT를 구동할 수 있도록 전류구동력을 증가시키는 buffer로 구성된다. 추후의 화상 표시 방법이 TV등의 경우 비월 주사 방식(interlacing method)을, multimedia등의 경우에는 비비월 주사 방식(non-interlacing method)을 사용할 것으로 전망되어, 주사 방식에 따라 화소의 행선택이 바뀌어야 한다. 여기에서는 이를 외부 구동회로나 software적인 방법으로 해결하지않고 구동회로 자체에서 해결하도록 모드 선택 회로를 추가하였다 (그림 2). 모드 선택 회로는 각 행에 2개씩의 스위치로 구성되어 있는데 하나는 shift register의 출력에 다른 하나는 접지에 연결되어있다. shift register의 한 단이 두개의 화소 행에 해당 되도록 하면 두 switch를 ON/OFF 시킴에 따라 한 주기에 두 행을 차례로 ON시킬 수도 있고, 한 행만을 ON시킬 수도 있다. 즉 그림 2에서 S_1 을 선택하면 첫번째, 세번째 선택선이 shift register에 연결되고 두번째, 네번째 선택선은 접지에 연결된다. S_2 가 선택되면 그 반대의 연결이 된다(그림3). 여기에 쓰이는 shift register의 동작 clock 주파수는 480행을 사용할 때 14.4KHz로 된다.

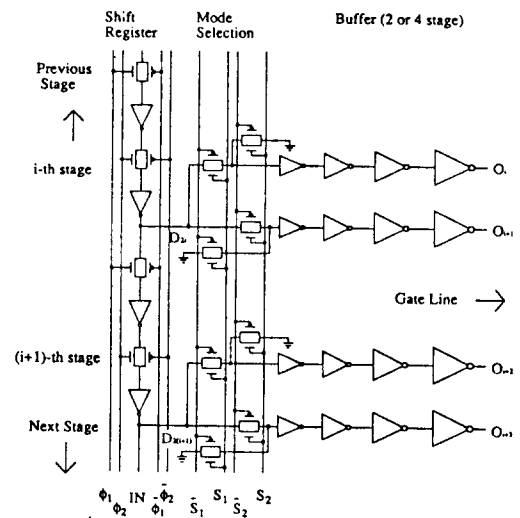


그림 2. 행구동기(row driver)의 회로도
Fig. 2. Row driver circuit.

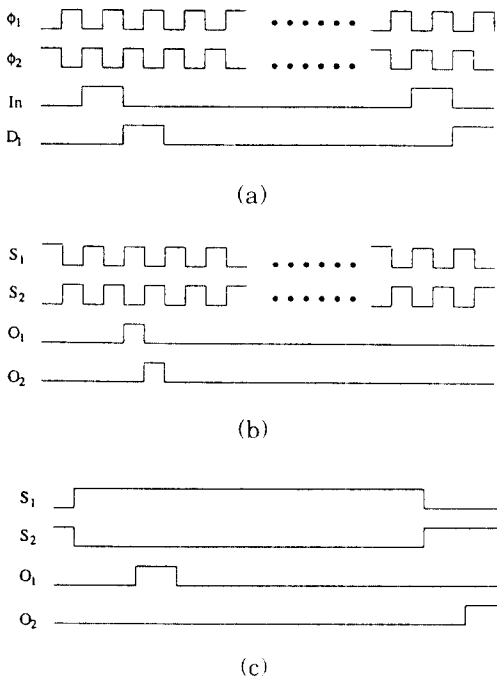


그림 3. 행구동기 구동 파형

(a) Shift register 구동파형 (b) 비비월 방식(noninterlacing mode)에서의 mode selection 회로 구동 파형 (c) 비월 방식(interlacing mode)에서의 mode selection 회로 구동 파형

Fig. 3. Pulse shapes of row driver.

(a) Driving pulses of shift register, (b) Driving pulses of mode selection circuit in noninterlacing mode, (c) Driving pulses of mode selection circuit in interlacing mode.

2. 열구동기의 구성

열구동기는 각 화소를 차례로 선택하는 shift register와 외부의 analog 화상 신호를 shift register의 출력을 받아 switching해주는 analog switch로 나뉜다(그림 4). 각 화소에 차례로 한번씩 선택신호를 줄 수 있는 shift register의 동작 clock 주파수가 640×480의 경우 18.4MHz이지만 실제 poly-Si TFT가 이 정도의 속도를 낼 수 없으므로 여러 화소열을 하나의 block으로 묶는 방법이 적용되었다. 즉, 묶여진 화소열에는 한번에 선택신호를 주어 block내의 화소열에는 동시에 화상신호가 나타나도록하는 방법이다. ¹⁾ 이런 경우 block내의 화소열

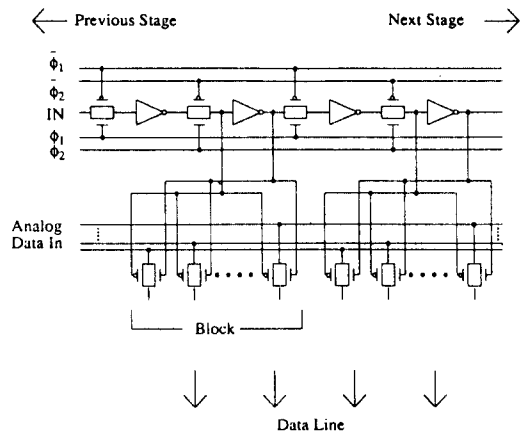


그림 4. 열 구동기(column driver) 회로의 구성 Fig. 4. Pulses shapes of column driver circuit.

수만큼 외부로의 연결선이 많아지는 단점이 있다. 본 연구에서는 block내의 화소열 수를 20개로 하고, block의 갯수를 32개로 하였다. 그러면 shift register의 동작 clock 주파수는 0.92MHz가 되어 poly-Si TFT로 충분히 구동이 가능하다.

Ⅲ. 소자 제작 공정

실리콘 기판위에 5000 Å의 thermal oxide를 기른 뒤 LPCVD로 Si₂H₆로 비정질 실리콘 박막을 1000 Å 증착하고 capping oxide로 5000 Å의 LTO를 증착하였다. 600℃에서 24시간 고상결정화 (solid phase crystallization, SPC)을 수행하여 비정질 실리콘 박막을 다결정 실리콘 박막으로 만들었다. gate oxide를 램프 가열 방식의 LPCVD로 1000 Å 정도 증착하고 600℃에서 12시간동안 densification을 하였다. 그위에 바로 gate poly silicon을 1500 Å 정도 증착하고 확산공정을 이용하여 인을 doping하였다. gate patterning을 하고 NMOS의 source/drain doping을 위해 인을 30KeV, 5×10¹⁵ cm²로 이온주입하였다. PMOS의 source/drain

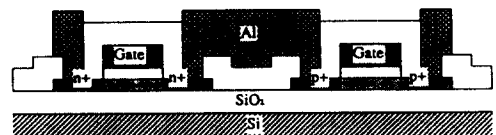
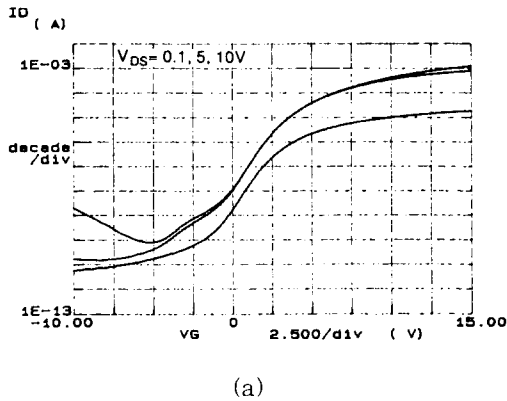


그림 5. 제작된 소자의 단면 그림 Fig. 5. Cross-sectional view of fabricated devices.

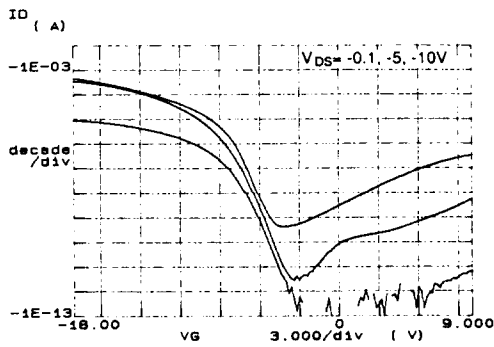
형성을 위해서는 BF₂를 55KeV, 5×10¹⁵cm²로 이온 주입하였다. interlayer oxide를 LPCVD로 3000Å 정도 증착하고 contact을 형성하고 Al을 1μm정도 증착하였다. ECR(Electro-Cyclotron Resonator) 장비를 이용하여 1시간동안 수소화 처리를 하였다. 이렇게 제작된 소자의 단면 그림은 그림 5에 나타나 있다.

IV. 소자 특성 측정 및 분석

문턱 전압을 측정하는 방법은 단결정 소자에서 널리 쓰이는 방법으로 선형영역에서 transconductance, gm이 최대인 값의 1/3이 되는 전압을 문턱 전압으로



(a)



(b)

그림 6. 제작된 소자의 특성곡선

- (a) W/L이 50/10인 NMOS소자의 특성
- (b) W/L이 50/10인 PMOS소자의 특성

Fig. 6. V_G-I_D curves of fabricated devices.

- (a) V_G-I_D curve of NMOS device (W/L=50/10).
- (b) V_G-I_D curve of PMOS device (W/L=50/10).

정의하는 방법이다. 이 방법에 의하면 드레인 전압을 0.1V로 하였을 때 NMOS 소자의 문턱 전압은 3.2V이고 드레인 전압이 -0.1V일 때 PMOS 소자는 -9.6V이다(그림 6). 그림에서 보듯이 특성 곡선이 부전압 방향으로 상당히 이동한 것을 볼 수 있는데, 고정전하(Q_F)에 의한 것으로 보이는 이 현상에 의해 PMOS의 문턱 전압의 절대값이 크게 나타나는 것으로 보인다. 이동도를 구하면 g_{m,max}가 1.75×10⁶(Ω⁻¹)인 NMOS는 97.2 (cm²/Vs)이고 PMOS 소자는 g_{m,max}가 1.04×10⁶ (Ω⁻¹)에서 57.8 (cm²/Vs)이다. NMOS 소자의 subthreshold slope은 드레인 전압이 0.1V일 때 1.03V/decade이고 PMOS 소자는 0.77V/decade이다. 이 값들을 보면 PMOS 소자의 subthreshold slope이 NMOS 소자보다 작는데 이는 다결정 실리콘 표면의 고정 트랩이 전자에 더 큰 영향을 주기때문인 것으로 생각된다. 소자의 스위칭 특성에서 중요한 한 변수가 on/off 비인데 NMOS 소자의 경우에는 10⁷정도로 나타났고 PMOS 소자의 경우에는 10⁶정도로 나타났다.

V. 회로 특성 측정 및 분석

앞에서 서술한 소자로 제작된 회로는 기본적인 inverter, shift register, analog switch등이 있는데 사용된 소자의 기본적인 게이트 길이는 10μm이었다.

1. shift register의 특성

LCD 구동회로에서 기본이 되고 모든 사양의 제약이 되는 것이 shift register이다. 그러므로 이 회로

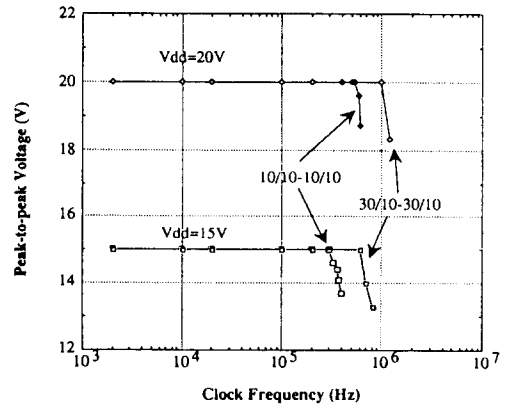


그림 7. Shift register의 주파수 특성

Fig. 7. Frequency characteristics of shift register.

의 특성이 중요하데 그 중 주파수 특성은 주파수를 바꾸었을 때 출력파형의 peak-to-peak 전압이 감소하는 점을 최대 동작 주파수로 하여 측정한다. 여기에서는 dynamic 2-phase clock을 이용하여 2단 shift register를 구성하였다. 주파수 특성을 나타내는 clock 주파수와 peak-to-peak 전압의 특성곡선(그림 7)을 보면 최대 동작 clock 주파수가 $(W/L)_p - (W/L)_n$ 이 $10\mu\text{m}/10\mu\text{m} - 10\mu\text{m}/10\mu\text{m}$ 인 회로에서 전원전압이 15V일 때 300KHz이고 20V일 때 540KHz이다. $(W/L)_p - (W/L)_n$ 이 $30\mu\text{m}/10\mu\text{m} - 30\mu\text{m}/10\mu\text{m}$ 일 때 15V의 전원전압에서 600KHz이고 20V에서 1MHz이다. 그러나, 이러한 측정이 load가 4pF정도에서 측정되었지만 실제회로에서는 buffer나 analog switch를 구동하게 되므로 load가 1pF미만으로 나타나 실제의 동작 속도는 수 MHz가 될 것으로 생각된다. 이것은 NMOS 회로의 최대 동작 주파수가 수백 KHz이하인 것에 비하여 수백 ~ 수십배 빠른 것이다. 그렇지만, 회로가 안정된 동작을 하기위한 주파수가 1MHz라고 생각할 때 열구동기에서 설계된 동작 주파수인 0.92MHz보다 높은 주파수에서 동작되므로 회로동작은 충분할 것으로 생각된다.

2. Buffer 회로의 특성

shift register에서 나오는 출력은 많은 화소의 TFT와 연결선을 구동하기에는 전류 구동력이 작기때문에 행구동기에서는 2단이나 4단의 inverter로 구성된 buffer로 구동력을 높인다. 여기에서는 최종단의 inverter의 각 게이트 폭을 여러 크기로 하여 측정을 하였다. load로는 선택선에 연결된 W/L이 $10\mu\text{m}/10\mu\text{m}$ 인 소자의 게이트 용량의 합에 해당하는 23pF의 용량을 사용하여 측정하였다. 각 신호는 한 신호선 block이 선택되는 시간인 1.1μs내에 전달되

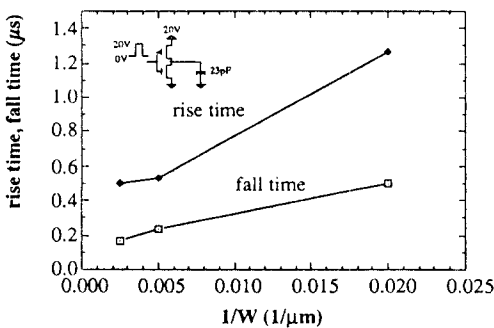


그림 8. 소자의 게이트 폭에 따른 buffer 동작 특성
Fig. 8. Rise time and fall time of buffer circuits.

어야 된다. 용량기를 load로 사용하여 측정된 특성(그림 8)을 보면 게이트 폭이 50 일 때 rise time이 기준을 만족하지 못하는데, 100μm 크기의 폭을 갖는 소자가 적당한 것으로 보인다.

3. Analog switch의 특성

shift register에서 선택된 신호선 block은 화상신호를 신호선에 인가하여 화소의 소자를 통하여 화소에 전달하는 데, 화상신호를 switching하는 역할을 하는 것이 analog switch이다. 이것은 CMOS로 구성된 gate로 되어있다. 신호선에는 선에 의한 용량과 선택선이 선택되었을 때 다른 행을 통해 흐르는 누설 전류를 보상하기 위한 저장 용량기가 연결된다. 현재 대부분의 화소 소자가 offset gate등의 구조로 누설 전류를 줄여 10pA 정도의 일정한 누설전류 특성을 보이므로 정전류 전원으로 생각하였다. 행 선택 시간인 34.7μs동안 한 밝기정도의 1/2이하의 전압 강하를 위해서는 20pF정도의 용량이 필요하다. 그리고 여기에 화소와 화소의 저장용량기를 포함한 용량을 block 선택시간 내에 화상 신호 전압으로 인가하여야 한다. 그러므로 write time이 1.1μs이하가 되어야 한다. 그림 9에는 load용량에 따른 여러 크기의 소자의 write time이 나타나 있다. 여기에 의하면 20pF의 load가 있을 때 $(W/L)_p - (W/L)_n$ 이 $200\mu\text{m}/10\mu\text{m} - 100\mu\text{m}/10\mu\text{m}$ 이상의 크기에서 이 조건을 만족하였다. 그림 9에 보면 측정치는 없지만 $(W/L)_p - (W/L)_n$ 이 $100\mu\text{m}/10\mu\text{m} - 50\mu\text{m}/10\mu\text{m}$ 인 switch도 write 시

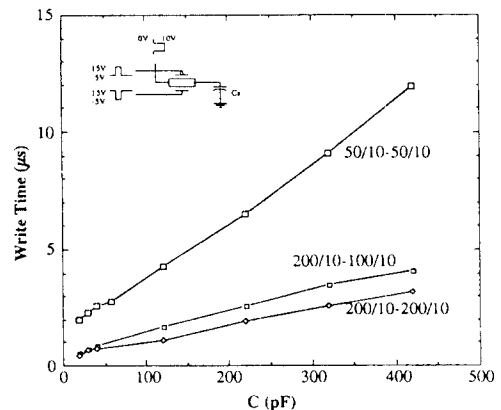


그림 9. Analog switch의 load에 따른 write time 변화
Fig. 9. Write time of analog switch.

간이 $1.1\mu\text{s}$ 이하가 될 것으로 보인다.

Ⅶ. 검토 및 결론

본 논문에서는 LCD의 구동을 위한 기본적인 회로의 구성을 연구하고 CMOS 공정에 의한 소자와 구동 회로 구성을 위한 여러 회로들을 제작하였다.

LCD의 구동회로는 행구동기와 열구동기로 나뉜다. 행구동기는 각 화소의 행을 선택하고 열구동기는 선택된 행에 화상신호를 전달한다. 행구동기는 다시 shift register와 mode selection, buffer로 나뉘는데, shift register는 각 행을 차례로 선택하는 역할을 하고 mode selection은 비일 주사 방식과 비비일 주사 방식을 모두 지원하고 있다. 열구동기는 shift register와 analog switch로 구성되는 데, shift register의 속도가 각 화소를 하나씩 선택하기에는 느리므로 block으로 화소열을 나누어 구동한다. shift register는 화소열 block을 차례로 선택하고 analog switch는 shift register의 선택신호를 받아 외부에서 들어오는 화상신호를 화소로 전달한다.

제작된 소자는 NMOS 소자의 경우 문턱전압이 3.2V이고 전계효과 이동도가 $97.2\text{ cm}^2/\text{Vs}$ 이다. PMOS 소자의 문턱전압은 -9.6V이고 이동도는 $57.8\text{ cm}^2/\text{Vs}$ 이다. subthreshold slope은 NMOS 소자에서 1.22V/decade이고 PMOS 소자에서 0.98V/decade이다.

$W/L=30\mu\text{m}/10\mu\text{m}$ 의 PMOS 소자와 $W/L=10\mu\text{m}/10\mu\text{m}$ 의 NMOS 소자의 구성을 가진 shift register의 경우 전원전압이 20V이고 부하용량이 4pF일 때 최대 동작 clock 주파수가 1MHz이었다. 그리고, 행구동기의 buffer 마지막단은 $100\mu\text{m}$ 이상의 게이트 전극폭이 필요하고, analog switch의 경우에는 W/L 이 $100\mu\text{m}/10\mu\text{m}$ 의 PMOS 소자와 $50\mu\text{m}/10\mu\text{m}$ 의 NMOS 소자의 구성에서 충분한 구동이 가능할 것으로 생각된다.

앞의 여러 특성들을 보면, 특히 PMOS 소자의 구동력이 문제가 되는데, 이는 PMOS 소자 자체의 이

동도가 작은 이유도 있겠지만 높은 문턱전압의 영향이 크게 나타났다. 그리고 이것은 고정전하의 영향이므로 고정전하의 양을 줄이는 연구가 필요할 것이다.

參 考 文 獻

- [1] K. Ichikawa *et al.* .. "14.3-in.-diagonal 16-color TFT/LCD panel using a-Si:H TFTs," in *SID 89 Dig.* .. pp.226-229, 1989.
- [2] H. Moriyama *et al.* .. "12-in full-color a-Si:H TFT-LCD with pixel electrode buried in gate insulator," in *SID 89 Dig.* .. pp.144-147, 1989.
- [3] F. Emoto *et al.* .. "0.92-in. active matrix LCD with fully integrated poly-Si TFT drivers of new circuit configuration," in *Proc. 19th Int. Display Research Conf., Japan Display 89.* pp.152-154, 1989.
- [4] J. Ohwada *et al.* .. "Peripheral drive circuits for poly-Si TFT LCD," in *Extended Abstracts 19th Conf. Solid State Device and Materials.* pp.55-58, 1987.
- [5] A. Mimura *et al.* .. "High-performance low-temperature poly-Si n-channel TFT's for LCD," *IEEE Trans. Electron Devices.* vol.36, no.2, pp.351-359, 1989.
- [6] M. Takabatake *et al.* .. "CMOS circuits for peripheral circuit integrated poly-Si TFT LCD fabricated at low temperature below 600°C ," *IEE Trans. Electron Devices.* vol.38, no.6, pp. 1303-1309, 1991.

著者紹介



許星會(學生會員)

1969年 1月 28日生. 1991年 2月 한국과학기술원 전기 및 전자공학과 졸업 공학사. 1993年 2月 한국과학기술원 전기 및 전자공학과 졸업 공학석사. 1993年 3月 ~ 현재 한국과학기술원 전기 및 전자공학과 박사과정 재학중. 주관심 분야는 poly-Si TFT, TFT LCD 구동회로, 금속식각장치 등임.

韓喆熙(正會員)

1954年 8月 12日生. 1977年 2月 서울대학교 전기공학과 졸업 공학사. 1979年 8月 한국과학기술원 전기 및 전자공학과 졸업 공학석사. 1983年 8月 한국과학기술원 전기 및 전자공학과 졸업 공학박사. 1983年 8月 ~ 1987年 8月 금성사 중앙연구소 책임연구원. 1987年 8月 ~ 1990年 한국과학기술대학 조교수. 1990年 ~ 현재 한국과학기술원 부교수. 주관심 분야는 고속반도체 소자설계 및 회로 설계, 다결정 실리콘 박막소자, 마이크로 머신 등임.