

128K×8bit SRAM 메모리 다중칩 패키지 제작

(A Fabrication of 128K×8bit SRAM
Multichip Package)

金昌淵*, 池 龍*

(Chang Yeon Kim and Yong Jee)

要約

본 연구에서는 메모리 부품의 단위 면적당 용량을 늘이고 전기적 특성을 개선시키고자 메모리 다중칩 모듈화를 실험하였다. 32K×8bit SRAM 메모리 칩 4 개를 사용하여 한 개의 128K×8bit SRAM 모듈로 구성되도록 하였고 적은 비용으로 쉽게 구입할 수 있는 인쇄회로기판(PCB) 위에 메모리 다중칩 패키지를 제작하였다. 다중칩 구성 방법으로는 단일 칩으로 패키징된 메모리 칩과 패키지 안 된 bare 칩을 사용하여 전기적 특성 개선과 면적, 부피, 무게면에서의 개선을 고찰하였다. 메모리 다중칩 모듈을 구성하기 위한 회로배선은 PCAD 프로그램을 이용하였으며 배선한 결과 bare 칩을 사용하였을 때가 패키징된 칩을 사용하였을 때에 비해 면적이 1/4, 부피가 1/8, 무게가 1/5로 감소됨을 볼 수 있었다. 전기적 변수의 변화는 전송선로 모델을 이용하여 결합계수, 전송시간 등을 계산하였는데 패키지 보드 상에서의 신호 전송 지연시간에 기여하는 시간도 0.8 nsec에서 0.4 nsec로 감소하는 현상을 볼 수 있었고, 결합계수(coupling coefficient)도 bare 칩을 사용하였을 때와 같은 정도로 머무르는 것을 볼 수 있었다. 따라서 bare 칩을 사용하여 인쇄회로기판 위에 다중칩 패키지를 제작하면 면적이나 부피, 무게, 전기적 특성을 크게 개선할 수 있다는 것을 알 수 있었다.

Abstract

We experimented on memory multichip modules to increase the packing density of memory devices and to improve their electrical characteristics. A 128K×8bit SRAM module was made of four 32K×8bit SRAM memory chips. The memory multichip module was constructed on a low-cost double sided PCB(printed circuit board) substrate. In the process of fabricating a multichip module, we focused on the improvement of its electrical characteristics, volume, and weight by employing bare memory chips. The characteristics of the bare chip module was compared with that of the module with four packaged chips. We conducted circuit routing with a PCAD program, and found the followings: the routed area for the module with bare memory chips reduced to a quarter of that area for the module with packaged memory chips, 1/8 in volume, 1/5 in weight. Signal transmission delay times calculated by using transmission line model was reduced from 0.8 nsec to 0.4 nsec only on the module board, but the coupling coefficient was not changed. Thus, we realized that the electrical characteristics of multichip packages on PCB board be improved greatly when using bare memory chips.

* 正會員, 西江大學校 電子工學科
(Dept. of Elec. Eng., Sogang Univ.)

※본 연구는 일부 91년도 교육부 반도체 분야 학술

연구 조성비와 서강대학교 교내 연구비에 의해서
지원되었음.

接受日字 : 1993年 3月 15日

I. 서론

대용량 시스템 메모리에 대한 수요는 전자 기기들의 고성능화로 처리하여야 할 정보 용량이 증가함에 따라 기하급수적으로 증가하고 있다.¹ 특히 Image Processing이나 정보 통신 기술의 발달은 수백 Mbit의 데이터 전송을 필요로 하게 되어 고속 시스템 메모리뿐만 아니라 Giga byte 급의 대용량 메모리 시스템을 요구하게 되었다. 따라서 고속 대용량 시스템 메모리는 개인용 컴퓨터의 시스템 메모리부터 시작하여 슈퍼 컴퓨터의 RAM 메모리, 레이저 프린터, 통신 기기, 사무용 기기, HDTV(high definition TV) 및 전자 게임 기기 등에서의 메모리에 이르기까지 모든 전자 기기의 영역으로 확산되어 가고 있다. 이와 함께 고성능화에 필요한 메모리 용량도 고속 동작이 가능한 대용량의 메모리가 필요하게 되었다. 예를 들면 최근에 개발된 슈퍼 컴퓨터는 2 Gbyte 내지 10 Gbyte 용량의 주 메모리를 사용하고 있으며, 이 주 메모리는 대량의 데이터를 고속으로 입출력할 수 있도록 요구하고 있다.² 정보 통신 기기 분야에서도 대량의 데이터를 고속으로 처리하여 송수신하여야 하기 때문에 대용량, 고성능 메모리를 필요로 하고 있다. 이와 같은 메모리 수요는 전자 기기의 성능 향상에 따라 계속 증가되고 있으며 수 백 Mbit 단위의 메모리 용량에서 계속 증가하여 Gbit 단위의 메모리를 요구하게 될 것이다.

메모리 칩은 반도체 소자들 가운데 가장 급속히 발전을 거듭하여 왔는데 1990년에는 4M DRAM의 양산과 1992년에는 16M DRAM의 개발을 완료함으로써 1971년에 비해 10 만배의 직접도의 증가를 이룩하였다. 현재는 64M 및 256M DRAM의 개발 및 양산에 집중되고 있다.³ 그러나 위와 같은 추세로 메모리 소자를 개발한다 하더라도 Gbit 용량의 메모리 소자를 개발한다는 것은 10 년 이후의 일이고 4Mbit DRAM을 양산하고 있는 현재의 기술 개발 수준으로도 수 년 안에 Gbit 용량의 단일칩 메모리를 개발한다는 것은 불가능한 상태이다. 따라서 급성장하는 메모리 용량 수요의 증가를 충족시키기 위해서 그 대체 방안으로 COB(chip on board) 기술이나 MCM(multichip module) 기술이 연구되어야 한다.⁴ 이 기술들은 메모리 용량을 늘리는 기법으로 bare 칩을 이용하여 고밀도 실장이 가능한 메모리 모듈이나 메모리 카드를 구성하는 것이다.

MCM 기술은 웨이퍼 공정을 거쳐 공정된 bare 칩을 여러 개 실장하여 배선, 배치하도록 다층 배선용 기판을 제작하고 그 위에 bare 칩을 여러 개 실장하

는 방법이다. MCM 기술은 기판 재질과 제작 기술에 따라 MCM-C, MCM-D, MCM-L로 구분된다.⁵ MCM-C는 기판 물질로 세라믹을 이용하며 그 평면 위에 도선층과 절연층을 형성하여 혼성 후막 기법을 사용하여 제작하는 후막 기법과 여러 장의 얇은 세라믹 기판 위에 스크린 공법을 사용하여 도선층을 형성한 후 한 번에 적층하여 소성하는 MLC(multilayer ceramic)기법이 있다. MCM-D는 반도체의 박막 공정 기술을 이용하여 실리콘이나 알루미늄 기판 위에 도선층과 절연층을 순차적으로 증착 및 패터닝하여 제작하는 기술로써 보통 도선층으로는 높은 전도도를 갖는 Cu를 사용하며, 절연층으로 낮은 유전 상수를 갖는 폴리이미드(polyimide)를 사용하여 전기적으로 특성이 우수하며, 스펀 코팅 또는 스프레이 방법을 통해 절연층을 적층하므로써 평탄성이 좋고 정확한 두께의 유전층을 얻을 수 있어 특성 임피던스의 조정이 용이하다는 장점을 갖는다. MCM-L은 기존의 PCB 제조 공정을 이용하는 기술로써 epoxy 절연층 위에 동박이 수십 마이크로의 두께로 적층된 (laminated) 기판을 이용하여 제작하는 방법으로 기존의 PCB 제작 기술을 이용함으로써 공정 비용이 저렴하고 손쉽게 제작할 수 있다는 장점을 갖는다. 현재 사용 중인 컴퓨터의 동작 주파수가 100 MHz 미만임을 감안한다면 메모리 용량 확장으로 MCM-L의 기술을 이용하여 기판을 제작하는 것이 가장 적절한 방법으로 보여진다.⁶

메모리 용량을 메모리 칩을 이용하여 대용량급인 Gbyte급 이상으로 개발하기 위해서는 메모리 소자 고밀도 실장 기법을 적용시켜야지만 고성능 전자 기기들이 요구하는 대용량 메모리 시스템을 구성할 수 있게 된다. 64 Mbit 메모리 칩 등으로 해결할 수 없는 메모리 용량 확장 문제는 현재 세계의 각 메모리 기업체들이 개발해 내고 있는 동향을 보더라도 메모리 대용량화 문제가 얼마나 심각한지 알 수 있다. 그 실례로써 Mitsubishi에서는 48 개의 메모리 칩을 실장할 수 있는 두께 3.3 mm의 메모리 카드를 개발하였으며⁷ Fujitsu에서는 기존의 SOJ와 같은 크기로 메모리 용량을 2~4 배로 크게 할 수 있는 메모리 용 패키지를 개발하였다.⁸ 이것은 기존의 SOJ에 4 개의 메모리 칩을 넣어 용량을 늘리는 방법으로 예를 들어 한 개의 SOJ 패키지 안에 16M DRAM을 4 개 탑재하여 64M DRAM을 만든다는 개념으로 메모리 용량을 확대시킨 것이다. 또 Texas Instrument에서는 ZIP와 같이 PCB에 메모리 소자를 수직으로 실장시키는 표면 실장 기술을 사용하여 메모리 패키지를 개발하였다.¹⁰ 이 패키지는 VPAKC

(vertical surface mount package)이라 불리우는데 특징은 실장 면적이 ZIP의 약 1/3, SOJ의 약 1/7인 20 mm²로 크게 감소되었다는 것이다. 이외에도 적층된 구조의 메모리 패키지를 개발하여 메모리 용량 확장을 도모하고 있다.^{10,11}

메모리 access time을 고속화하는 문제는 SRAM 메모리 칩을 이용하여 해결할 수 있을 것으로 사료된다. SRAM은 DRAM에 비해 refresh 동작이 불필요하고 timing을 얻기 쉽다든가 address multiplexing을 채용하지 않기 때문에 clock 신호가 불필요하게 되며 시스템적으로 사용하기 쉽고, 고속화나 저 소비 전력화를 피하기 쉽다는 등 여러 가지 장점이 있다.¹² 그러나 집적도가 DRAM에 비해 약 1/4 정도이고 bit당 가격이 높은 것이 단점이다. 이러한 단점들을 극복하고 대용량, 고속화, 저 소비 전력, 저 전압에서 동작할 수 있는 메모리 제품을 개발하기 위해서는 SRAM 메모리 칩을 이용하여 다중칩 메모리 패키지 모듈을 구성하는 것이 한가지 해결 방법이라 할 수 있겠다. 본 논문에서는 메모리 부품의 단위 면적당 용량을 늘리고, 메모리 고속화하는 방안을 모색하고자 MCM-L 기법인 인쇄 회로 기판을 이용하여 메모리 다중칩 모듈화 가능성을 시험하였다. 특히 단일 칩으로 패키징된 메모리 칩과 패키지 안된 bare 칩을 이용하여 메모리 다중칩 패키지를 제작하였고 그 배선 면적, 부피, 무게, 및 전기적 특성을 비교하여 메모리 다중칩 패키지 제작을 통한 메모리 대용량화, 고속화 가능성을 살펴보았다.

II. 메모리 다중칩 패키지 구성

본 실험에서는 여러 개의 패키징된 칩과 bare 칩을 이용하여 한 개의 128K×8bit SRAM 다중칩 패키지를 구성하고자 32K 8bit SRAM 칩 4개를 이용하여 다중칩 모듈을 구성하였다.

1. SRAM 메모리 칩

메모리 다중칩 모듈을 구성하기 위하여는 SRAM cell들로 구성되어 제조된 32K×8bit 칩을 이용하여 한 개의 128K×8bit SRAM 모듈을 그림 1에서 보는 바와 같이 각각의 SRAM 메모리 칩들을 평행하게 연결하는 방법을 생각할 수 있다.

SRAM cell은 그림 2에서 보는 것처럼 cross-coupled inverter 쌍으로 구성된 두 inverter 출력단의 전압 준위에 의해 결정되는 filp-flop으로 볼 수 있다. SRAM cell은 부하소자의 종류에 따라 크게 NMOS cell, poly load 저항 cell, CMOS cell,

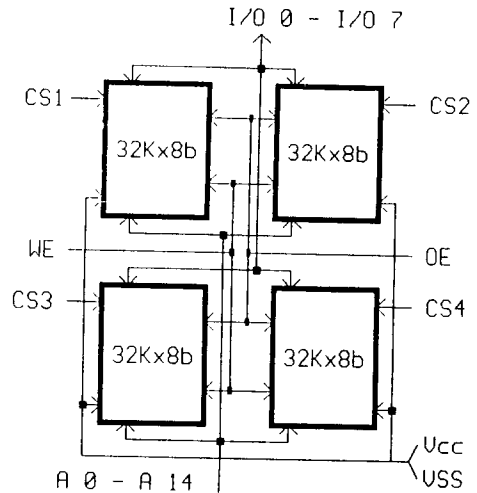


그림 1. 메모리 다중칩 모듈
Fig. 1. Memory multichip module.

PMOS TFT cell 4 가지의 종류로 분류할 수 있는데 그 중 CMOS cell을 살펴보면 2 개의 access 트랜지스터(Ta1, Ta2), 2 개의 NMOS drive 트랜지스터(Td1, Td2)와 2 개의 PMOS load 트랜지스터(TL1, TL2)로 구성된다.¹² 이 cell은 접합 누설전류에

따른 cell 특성 변화가 적어서, 대기시 소비전력이 적고, 동작 온도 범위도 넓으며 cell 안정도가 높아 전원보완이 가능한 장점이 있다.¹² 메모리 칩을 구

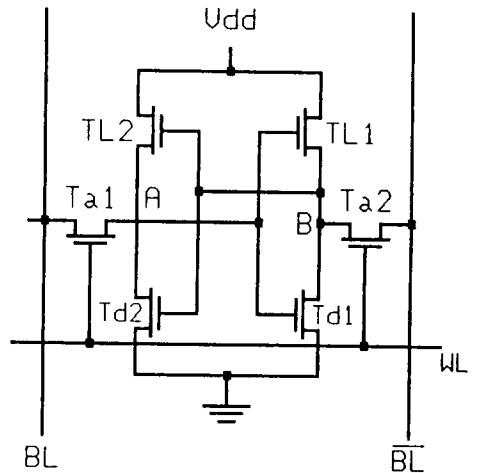


그림 2. CMOS SRAM cell 회로도
Fig. 2. CMOS SRAM cell circuit diagram.

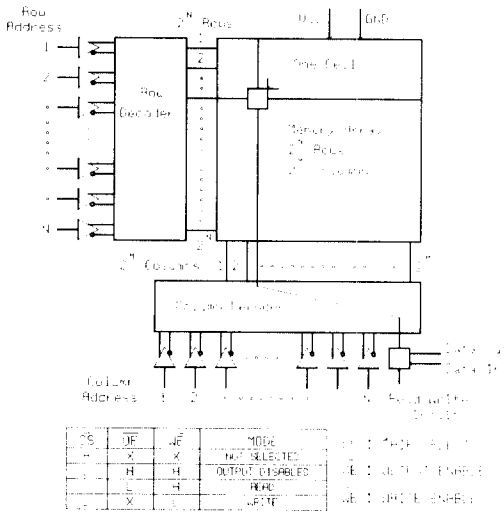


그림 3. 메모리 cell array 구조
Fig. 3. Memory cell array structure.

상하고 있는 SRAM cell array는 그림 3에서와 같이 block diagram으로 나타낼 수 있다. 각 칩의 단자 구성은 15 개의 주소 단자, 8개의 데이터 입출력 (I/O) 단자, 전력 단자, 접지 단자, write enable (WE) 단자, output enable(OE) 단자, 칩 선택 (CS) 단자로 되어 있다. 이중 CS 단자는 다중칩 패키지에서 메모리 칩을 선택하는데 사용된다. 그러므로 다중칩 모듈에서는 주소, I/O, WE, OE가 각 메모리 칩에 모두 연결되어 있으며 CS만이 칩의 선택을 위해서 개별적으로 연결되게 된다.¹¹

본 실험에서는 SRAM 칩을 사용하여 128K×8bit SRAM 모듈을 만들기 위해서 그림 1과 같은 block diagram을 따라 메모리 칩을 배치하고 PCAD 프로그램을 이용하여 배선하였다. 배선의 구성은 패키징된 칩을 사용하는 경우와 bare 칩을 사용하는 경우를 나누어서 수행하였다. 본 실험에서 사용된 메모리 칩의 특성은 공급 전력이 5 V이고 동작전류는 80 mW/MHz이며 주소 전송시간과 cycle time은 85 nsec이다. 그림 3의 진리표에는 control signal의 입력에 의한 데이터 입출력의 상태를 보여주고 있다. 즉 횡렬 주소와 control signal의 입력에 의해 데이터가 입출력된다

2. 다중칩 모듈 배선

칩 4개를 한 개의 모듈로 구성하기 위해서는 칩의 배치, I/O 단자 면을 설정하고, I/O 단자의 기능 및 숫자를 지정해야 하며 배선 선폭과 선피치를 결정해야 한다. 본 실험에서 사용한 SRAM 칩은 28 개의

단자로 구성되어 있으며 15 개의 주소 단자와 8 개의 I/O 단자, 그리고 5 개의 기능 단자들을 가지고 있는 것으로 나타났다. 그러므로 4 개의 칩을 한 개의 모듈로 구성하기 위해서는 15 개의 주소 단자와 8 개의 I/O 단자 그리고 6 개의 기능 단자 및 전원, 접지 단자를 포함하여 총 31 개의 단자가 필요하다. 패키징된 칩을 사용하여 배선하는 경우에는 칩의 다리가 실장되도록 패드의 크기를 850 μm×1750 μm로, 층과 층 사이를 연결하는 via의 직경을 750 μm로 하였고, 선폭은 250 μm, 선피치는 750 μm로 정한 다음 35 μm 두께의 구리판을 전선으로 하여 PCAD 프로그램으로 자동 배선을 실시하였다. 위의 칩 4 개를 연결시킨 결과 기판 외부와 연결되는 다중칩 모듈의 패드 수는 총 31 개가 된다. Bare 칩을 사용하여 배선한 경우에는 via의 직경을 500 μm로, 선폭을 100 μm, 선피치를 400 μm, 선두께를 18 μm로 하여 자동 배선하였다.

3. 패키지 모듈 제작

모듈 제작은 모듈 배선, 기판 제작, 칩 배치 및 부착, 칩과 기판과의 연결 순서로 이루어진다. 자동 배선된 layout에 따라서 수행된 패키지 모듈 기판 제작에서는 구리 동판과 glass-epoxy로 구성된 0.8 mm 두께의 양면 인쇄회로기판을 사용하였고 그림 4, 그림 5와 같은 회로패턴을 film으로 떼서 사진식각 공정을 통해 패턴을 형성하였다. 감광용액으로는 인쇄회로기판 제작용 negative liquid 감광용액을 사용하여 스핀 코팅시켜 도포하였다. 이 때 감광용액의 접착력을 강화하고 표면의 불순물을 제거하기 위하여 알루미늄 분말을 이용하여 표면처리를 하였다. 현상 후 도선의 패턴을 위한 식각 용액으로 ammonium persulfate (NH₄)₂S₂O₈ 용액을 사용하여 30 분간 에칭하였고 양면의 회로를 연결하기 위한 비아 홀은 0.3 mm 드릴을 사용하여 연결하였다.

제작된 기판 위에 패키징된 칩의 부착은 납땀을 이용하여 메모리 모듈을 제작하였다. Bare 칩의 부착은 epoxy 수지로 칩을 배열하여 부착시키고 난 후 oven에서 90 ℃를 유지하면서 2 시간 동안 가열시켰다. 칩과 기판을 전기적으로 연결하기 위한 칩 수준의 연결은 전선 본딩 방법을 사용하였다. 본딩기기로는 ultrasonic 본더(KULICKE & SOFFA 4123 WEDGE BONDETR)를 사용하였고 전선으로는 Au와 Al을 사용하여 보았다. Wedge 본더를 이용한 본딩 조건은 다음과 같았다. Substrate 온도를 50℃~60 ℃로, 본더 tip 압력을 4~5 psi로, 본딩 시간은 0.3 sec~0.5 sec로, 전선금속은 25 μm 직경의

Au, Al 등을 사용하여 전선본딩을 실시하였고 이 때 본더의 전력은 3.5 W~4 W이었다. 외부환경으로부터 모듈을 보호하고 신뢰성 및 안정성을 유지하기 위한 밀봉 과정은 epoxy 수지를 사용하여 실시하였으며 약 1 mm 두께로 도포하였다.

4. 성능 시험기 모듈

제작된 메모리 다중칩 모듈의 성능을 시험하기 위해서 그림 4와 같이 메모리 모듈 테스트 보드를 제작하였다. 메모리 모듈 테스트 보드는 컴퓨터 접속부 부분과 메모리 다중칩 모듈 접속부 부분으로 구성된다.

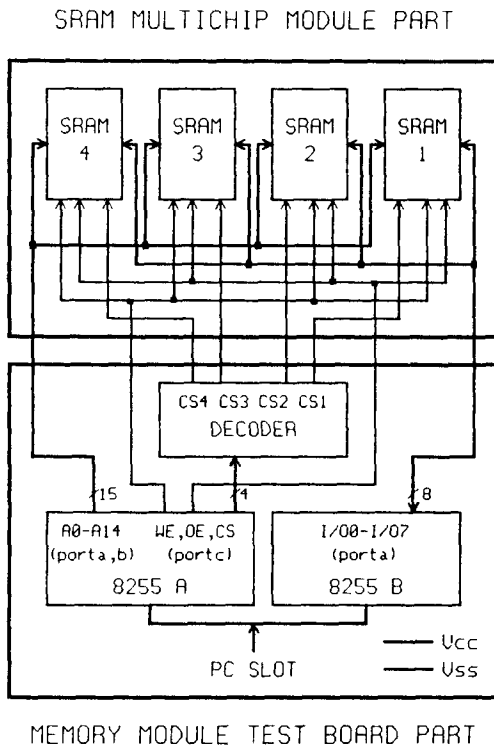


그림 4. 성능 시험기 모듈
Fig. 4. Function tester module.

컴퓨터 접속부 부분은 Intel chip 8255를 이용하여 구성된 회로로서 입력과 출력을 평행하게 processor와 interface시킨다. 이 부분은 computer CPU와 연결되어 메모리 다중칩 모듈의 성능 시험에 필요한 주소 신호와 WE, OE, CS와 같은 control 신호, 그리고 데이터 신호들을 받아들일게 된다.²¹⁾ Chip 8255는 모두 24개의 외부 연결 단자가 있으며 이는 8 bit씩으로 나누어져 a, b, c 세 개의 port로 구분

되는데 외부 프로그래밍에 의해 일정 부분별로 입력 또는 출력으로 사용된다. 128K×8bit SRAM 다중칩 모듈의 성능 시험을 위해서는 15 개의 주소 단자(A0~A14), WE 단자, OE 단자, 4 개의 CS 단자(CS0~CS3)과 8개의 데이터 단자(I/O0~I/O7) 및 전원, 접지 단자를 포함하여 총 31 개의 신호 단자가 필요하게 된다.

본 실험에서는 31개의 단자를 전부 수용하기 위하여 두 개의 chip 8255를 사용하여 메모리 모듈 성능 시험기를 제작하였는데 그림 4와 같이 한 개의 8255 chip에서는 주소 단자와 WE, OE, CS 신호 단자를 다른 8255 chip에는 8 bit의 데이터 입출력 단자를 연결하여 총 32 개로 구성하였다 메모리 다중칩 모듈 접속부는 메모리 다중칩 모듈에 연결되어 동작되는데 두 개의 8255 chip으로 구성된 컴퓨터 접속부가 컴퓨터 slot에 연결되어 프로그래밍에 의해 발생된 주소 신호, control 신호, 데이터 신호들을 주고 받는 역할을 한다. 이 때 각 신호들의 입출력 상태를 시각적으로 확인할 수 있도록 빛 발광 소자를 이용하여 신호 단자의 on/off display 장치를 설치하였다. 이와 같이 구성된 메모리 모듈 시험기 보드가 시험할 수 있는 범위는 256K SRAM을 기본으로 하여 입출력이 1 bit인 경우에 840만 개 칩이 실장된 다중칩 모듈을, 입출력이 8 bit인 다중칩 모듈인 경우에는 3만 2천 개 칩이 실장된 다중칩 모듈을, 24 bit의 경우에는 128 개의 칩이 실장된 모듈까지 시험할 수 있고, 입출력 bit 수는 1 bit에서 32 bit 까지 구성된 구조까지 시험할 수 있게 된다.

성능 시험을 수행하기 위한 프로그램의 구성은 먼저 메모리 모듈 테스트 보드를 초기화시키고 메모리 모듈의 각각의 칩을 선택하여 전 주소에 걸쳐 데이터 쓰기/읽기를 실시한 후 쓰여진 데이터 값과 읽은 데이터 값을 서로 비교하여 error를 검출하는 방법으로 하였다. 이러한 과정을 메모리 모듈에 실장된 모든 칩에 대해 수행하여 성능 시험 결과를 백분율로 표시 하였다.

Ⅲ. 실험 결과 및 분석

4개의 256 Kbit SRAM 칩을 이용하여 메모리 다중칩 패키지 모듈을 제작할 때 전송 선로 모델의 계산 결과에 따라서 패키징된 칩을 사용한 경우는 선폭을 250 μm로, 선피치는 750 μm로 하여 배선하였으며, bare 칩을 사용한 경우는 배선 밀도를 고려하여 선폭을 100 μm로, 선피치는 400 μm로 하여 배선하였다. 표 1에는 다중칩 패키지 제작에 대한 배선 규

표 1. 배선 규격

Table 1. Routing specification.

형태	패키지된 칩 사용	Bare 칩 사용
선폭	250 μm	100 μm
선두께	35 μm	18 μm
선피치	750 μm	400 μm
Via 크기	750 μm (원형)	500 μm (원형)
칩패드 크기	850 μm x 1750 μm	150 μm x 150 μm
칩패드 피치	1250 μm	400 μm
모듈패드 크기	1800 μm x 1800 μm	1000 μm x 1000 μm

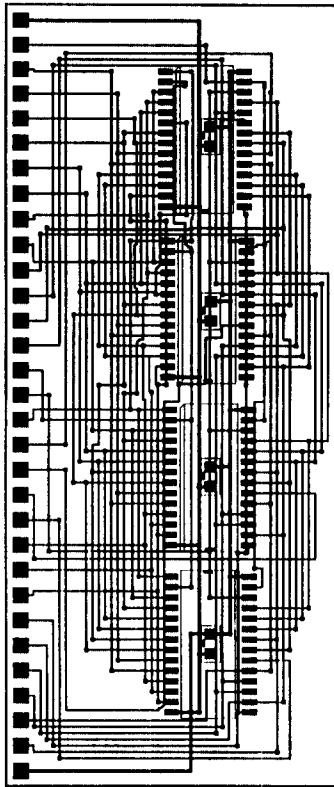


그림 5. 32K x 8bit 칩을 패키징한 칩을 이용한 메모리 다중칩 패키지 기판 선폭 250 μm , 선두께 35 μm , 선피치 750 μm , 유전체 두께 800 μm

Fig. 5. Memory multichip package substrate using 32K x 8bit packaged chip line width 250 μm , line thickness 35 μm , line pitch 750 μm , dielectric thickness 800 μm .

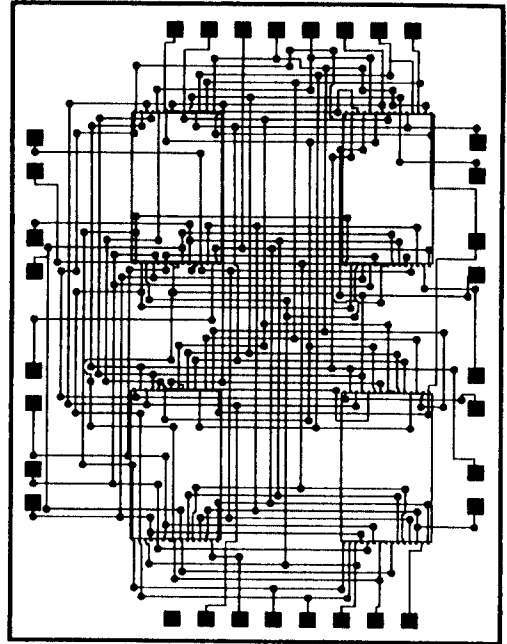


그림 6. 32K x 8bit bare 칩을 이용한 메모리 다중칩 패키지 기판 선폭 100 μm , 선두께 18 μm , 선피치 400 μm , 유전체 두께 800 μm

Fig. 6. Memory multichip package substrate using 32K x 8bit bare chip line width 100 μm , line thickness 18 μm , line pitch 400 μm , dielectric thickness 800 μm .

격을 나타내며 이에 따라서 PCAD 프로그램으로 자동 배선시킨 결과 그림 5, 6에 나타난 것과 같이 배선시킬 수 있었다. 표 2에서는 두 경우의 다중칩 모듈 패키지에 대한 결과를 종합하였다.

모듈 제작에서 패키지된 칩을 사용한 경우에는 모듈 면적은 36.7 cm^2 가 되었고, 총 net의 길이는 3 m 46 cm가 되었으며 총 net 수는 112 개로 net당 평균 길이는 11.2 cm가 되었다. Bare 칩인 경우에는 모듈 면적은 8.6 cm^2 가 되었고, 총 net 길이는 1 m 74 cm로서 net당 평균 길이는 5.8 cm가 되었다. 보드에서 칩이 차지하는 면적은 패키지된 칩을 사용한 경우에는 8.0 cm^2 , bare 칩을 사용한 경우에는 2.4 cm^2 가 되었다. 이에 따라 보드에서 칩이 차지하는 칩 점유율도 각각 22%, 28%가 되어 칩이 점유하는 면적을 개선시킬 수 있었다. 이 결과 bare 칩을 사용하였을 때가 패키지된 칩을 사용하였을 때에 비해 모듈 면적은 23%로 감소됨을 알 수 있었다. 패키지 모듈 높이에 대해서는 패키지된 칩을 실장한 경우 3.5 mm이고, bare 칩을 사용하여 실장한 경우는

1.7 mm로 되어서 bare 칩을 실장하여 제작한 모듈이 차지하는 부피는 11%로 감소됨을 알 수 있었다.

표 2. 배선 결과
Table 2. Routing result.

형태	패키지된 칩 사용	Bare 칩 사용
모듈 면적	9.4 x 3.9 = 36.7 cm ²	2.5 x 3.5 = 8.6 cm ²
모듈 높이	3.5 mm	1.7 mm
총 net 길이	348.1 cm	174.3 cm
총 net 수	112 개	120 개
평균 net 길이	11.2 cm	5.8 cm
최대 net 길이	15.8 cm	8.2 cm
최소 net 길이	5.7 cm	0.4 cm
칩 사용 면적	2.0 x 4 = 8.0 cm ² (22%)	0.6 x 4 = 2.4 cm ² (28%)

그림 7, 8은 각각 패키지된 칩을 사용한 경우와 bare chip을 사용한 경우에 제작된 메모리 모듈 결과를 보여 주고 있다.

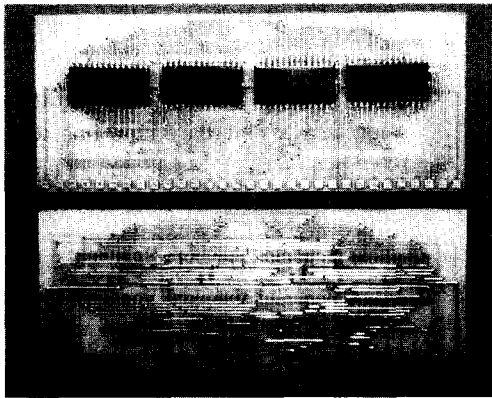


그림 7. 32K x 8bit 칩을 패키징한 칩을 이용한 메모리 다중칩 패키지

Fig. 7. Multichip memory package substrate of four 32K x 8bit packaged chips.

제작된 메모리 모듈의 무게의 변화를 측정하기 위하여 bare 칩을 이용하여 제작한 메모리 모듈 패키지와 패키지된 칩을 이용하여 제작한 메모리 모듈 패키지의 무게를 각각 전자 저울로 측정하였다. 그 결과 각각의 무게는 1.90g과 9.22g을 보여 bare 칩을 사용하였을 때가 패키지된 칩을 사용하였을 때에 비해 모듈 무게가 21 %로 감소됨을 알 수 있었다. 이것은 배선에 필요한 면적의 감소와 칩을 패키징하는데 필요한 패키지 재료들이 제거되기 때문에 생긴 결

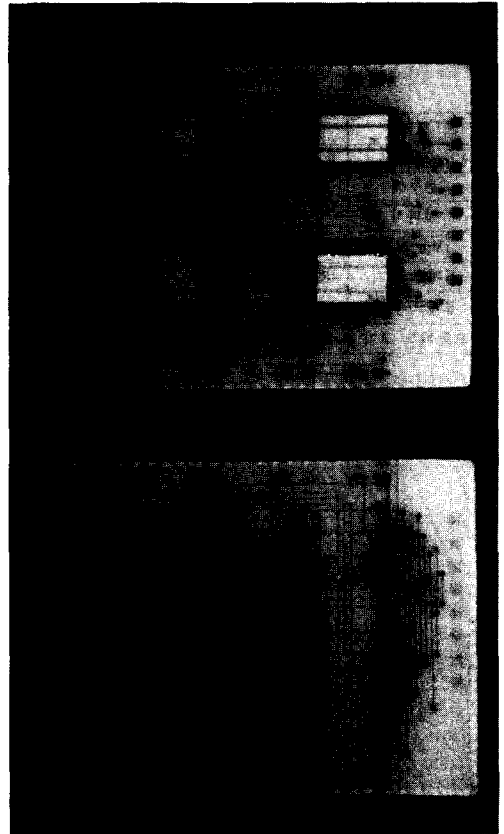


그림 8. 32K x 8bit bare 칩을 이용한 메모리 다중칩 패키지

Fig. 8. Multichip memory package substrate of four 32K x 8bit bare chips.

과로 간주된다. 다중칩 패키지에 사용된 기판은 800 μm 두께의 에폭시 유전체와 35 μm 두께 및 18 μm 두께의 구리 전도체로 구성된 양면 PCB 기판을 사용하였다. 이에 따르는 메모리 다중칩 모듈의 전기적인 수치를 계산하기 위하여 전송선로 모델에서 각 변수들을 계산하여 보았다. 패키지 모듈이 메모리 칩의 중요한 변수인 전송시간과 신호파형에 미치는 영향을 살펴보기 위해서는 다중칩 모듈 기판의 전기적 변수들인 결합계수(Kv)¹¹⁾, 감쇄상수(α), 전송속도(propagation speed, v), 전송 지연시간(time-of-flight delay, t_f) 등을 고려하여야 한다. 도체 부분은 동작 주파수가 증가함에 따라 인덕턴스의 영향이 크게 증가하므로¹³⁾ 전송선로로 가정될 수 있다. 그러므로 전송선로(transmission line) 모델을 적용하는 수식을 적용하여 각 전기적 변수에 대한 값들을 패키지된 칩을 사용하였을 경우와 bare 칩을 사용하

였을 경우에 대해 계산하여 보았다.^[13] 전송선로 구조는 PC 보드 설계시 주로 사용되는 coupled strip line으로 가정하였고^[13] 선폭을 250 μm, 전선 두께를 35 μm, 유전체 두께를 800 μm, 유전상수를 4.7로 하여 계산한 결과, 선피치를 375 μm에서 1000 μm로 증가시킴에 따라 결합계수인 Kv 값이 그림 9와 같이 지수함수적으로 감소함을 볼 수 있었다. Kv 값이 0.25 이하일 때는 상호 capacitance가 선로 자체 capacitance 값의 25% 미만이 되어서 전선 간의 신호결합에 의한 간섭을 무시할 수 있으므로 위의 조건 하에서 배선밀도를 고려하여 패키징된 칩을 사용하는 경우에는 선폭을 250 μm, 선피치를 750 μm로 선택하였다. 이에 따라 결합계수 Kv 값은 정해진 규격에서 0.26이 되어서 coupling의 영향이 미치지 않음을 알 수 있었다. 또한 bare 칩을 사용하는 경우는 선폭을 100 μm, 선피치를 400 μm로 선택하고 이에 따르는 배선 규격을 정하였다. 이때 결합계수 Kv는 0.32로 나타나서 coupling의 영향이 약간 증가함을 볼 수 있었다.

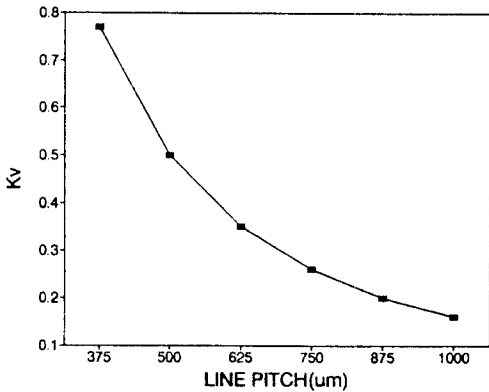


그림 9. 선폭 250 μm, 선두께 35 μm, 선피치 750 μm, 유전체 두께 800 μm, 유전율 값이 4.7인 경우의 coupled strip line에 대한 결합계수의 변화

Fig. 9. A variation of coupling constant about coupled strip line with line width 250 μm, line thickness 35 μm, line pitch 750 μm, dielectric thickness 800 μm and dielectric constant 4.7.

전송선로 모델에서 전송속도 $v = (c/\sqrt{\epsilon_r})$ 는 기판의 유전율 ϵ_r 에 관계되며 선로에 의한 지연시간 t_d 는 l/v 이다.^[13] 여기에서 c 는 광속도, l 은 net 길이이다.

Bare 칩을 이용하여 설계한 기판의 전송선로에 대한 전송지연 시간을 계산하여 보면 기판의 유전상수가 $\epsilon_r = 4.7$ 이므로 전송속도 $v = 13.4$ cm/nsec이고, 기판에서 net간의 길이가 0.4 cm에서 8.2 cm로 변화하므로 전송 지연 시간은 최저 0.03 nsec에서 최고 0.62 nsec로 변화하며, 평균 net 길이가 5.8 cm인 것을 고려하면 평균 전송 지연 시간 $t_r = 0.4$ nsec가 된다. 패키징된 칩을 사용한 기판에 대해서는 net 길이가 5.7 cm에서 15.8 cm로 변화하므로 전송 지연 시간은 최저 0.43 nsec에서 최고 1.18 nsec로 변화하고, 평균 net 길이는 11.2 cm이므로 평균 전송 지연 시간 $t_r = 0.8$ nsec가 된다. 따라서 칩 자체의 access time인 85 nsec에 비하면 패키징 배선에 의해서만 약 1% 증가됨을 볼 수 있었다. 하지만 bare 칩을 사용한 경우는 평균 전송 지연시간 t_r 는 0.4 nsec가 되어 패키징 배선에 의해서는 전송시간이 access time의 0.5% 정도 밖에 증가하지 않은 것을 볼 수 있었다. 또한 패키징된 칩을 사용하는

경우와 bare 칩을 사용하는 경우는 wire bonding 공정에서 나타나는 전선 길이는 거의 같으므로 칩 패키징을 위한 패키지 자체에서 발생하는 배선 길이만 고려하면 된다. 그 배선 길이는 0.67 cm에서 0.92 cm의 범위 내에 있고 이에 따르는 전송 지연 시간은 최저 0.05 nsec에서 최고 0.07 nsec로 변화하여 칩 자체의 access time인 85 nsec에 비해 약 0.06% ~ 0.08%로 무시될 수 있을 정도로 작다. 이 칩 패키지 substrate에 의한 길이를 전송 지연시간에 포함시킨다 해도 평균 지연시간에 변화를 주지 않는다.

신호파형은 유전상수와 배선구조, 동작 주파수에 따라 변화를 일으키는데 그 변화를 잘 나타내는 것이 아래의 주어진 식과 같이 감쇄상수이다.^[13] 감쇄상수 (α)는 선저항(α_R)과 표피효과(α_S)에 따라 변하게 되는데 낮은 주파수 영역에서는 선저항에 의해 $\alpha (= \alpha_R)$ 값이 좌우되며, 높은 주파수 영역으로 이동할수록 표피효과에 의해 $\alpha (= \alpha_S)$ 값이 좌우된다.

$$V(x=l) = V(x=0)e^{-\alpha l} \tag{1}$$

$$\alpha = \alpha_R = \frac{R}{2Z_0} = \frac{\rho}{2WHZ_0} \tag{2}$$

$$\alpha = \alpha_S = \frac{2R_{SKIN}}{2Z_0} = \frac{\sqrt{\pi \mu_n} f \rho}{WZ_0} \tag{3}$$

여기에서 R 은 선저항, Z_0 는 특성 임피던스, f 는 주파수이며, W 와 H 는 각각 도선의 폭과 두께이고, ρ 와 μ_n 는 도선의 저항율과 투자율이다. 패키징된 칩을 사용하였을 경우 $\alpha_R = 1.3 \times 10^{-4}$ 으로 계산되었고 평균

time을 고속화할 수 있겠다.

위의 결과로 부터 bare 칩을 사용할 경우 면적과 부피를 줄일 수 있을 뿐만 아니라 전기적인 특성인 전송시간 등을 줄일 수 있었지만, MCM-L 방법인 인쇄 회로기판을 이용할 경우 100 μm가 현재의 제조 기술에 제한적인 선평으로 나타나고 있어 PCB 기판 제조 기술 조건에 맞출 경우 100 μm 선평에 400 μm 선평치의 규격을 따라서 설계해야 하는 점과 신뢰성에 해당하는 밀봉 공정을 수반해야 한다는 점이 단점으로 나타나고 있다. 앞으로는 세라믹 기판 위에 금속 증착 형태로 제작되는 MCM-D 방법인 세라믹 기판 위에 Cu/Polyimide 전송 선로를 구성한 경우의 메모리 모듈 구조에서 기존의 PCB 제조 방법과 MCM-L 기법과의 차이가 얼마나 되는지 살펴보는 것이 바람직하겠다

參 考 文 獻

[1] R.R. Tummala and E.J. Rymaszewski, *Microelectronics Packaging Handbook*, Van Nostrand Reinhold, p.56-57, 1989.
 [2] R.H. Dennard, *IEEE Trans. Electron Dev.*, ED-31, p.1549, 1984.
 [3] P. Lall, S. Bhagath, "An Overview of Multichip Module," *Solid State Technology*, vol. 36, no. 9, p. 65-76, 1993.
 [4] 송민규, 윤형진, "다중칩 모듈을 이용한 전자 기기의 패키징 기술 동향," 전자공학회지, 제 18권 4호, 1991.
 [5] E. Clark, "Transitioning to MCM Production," *Printed Circuit Fabrication Asia*, p.28-32, Spring, 1993.
 [6] G. Messner, "Laminate Technology for Multichip Modules," *Electron Packaging & Production*, Special Supplement: Concurrent Engineering for Packaging, Fabrication & Assembly, p.32-40, Oct. 1992.
 [7] Semiconductor World, p.58, Jan. 1991.
 [8] Matsushita, "IC Memory Card Mounts 32M bit SRAMs," *NIKKEI ELECTRONIC Asia*, p. 70-71, Dec. 1993.
 [9] 日經 Microdevices, p.80, Apr. 1991.
 [10] A. Fukuda, "Matsushita Develops

High-Density Memory Module Stacking 10 QFP LSIs," *NIKKEI ELECTRONIC Asia*, p.35-36, June, 1993.
 [11] D.P. Seraphim, R.C. Lasky, C.Y. Li, *Principles of Electronic Packaging*, McGraw-Hill, p.38, 1989.
 [12] 尹光鉉, 朴大永, "SRAM 제품 및 기술의 현황과 전망," 전자工學會誌, 第 19 卷 第 5 號 p.16-21, 1992年 12月.
 [13] *MOTOROLA Memory Data*, Motorola INC., p.7.26-7.30, 1990.
 [14] H.B. Bakoglu, *Circuits, Interconnections and Packaging for VLSI*, Addison-Wesley, 1990.
 [15] C. Wei and R.F. Harrington, "Multi-conductor Transmission Lines in Multilayered Dielectric Media," *IEEE Trans. Microwave Theory Tech.*, vol. 32, no. 4, p.439-450, Apr. 1984.
 [16] *Memory Module Selection Guide*, Mitsubishi Electric Corp., p. 30-32, 1989.
 [17] I. Bahl and P. Bhartia, *Microwave Solid State Circuit Design*, John Wiley & Sons, p.8-33, 1988.
 [18] T.A. Lane, F.J. Belcourt, and R.J. Jensen, "Electrical Characteristics of Copper/Polymide Thin-Film Multilayer Interconnection", *IEEE Trans. Components, Hybrides, Manuf. Technol.*, vol. CHMT-12, no. 4, p.577-585, Dec. 1987.
 [19] D. Nayak, L.-T. Hwang, and I. Turlik, "Simulation and Design of Lossy Transmission Lines in a Thin-Film Multichip Package," *IEEE Trans. Components, Hybrides, Manuf. Technol.*, vol. 13, no. 2, p.294-302, June 1990.
 [20] B. Prince, *Semiconductor Memories*, John Wiley & Sons, 2nd ed., 1991.
 [21] J. Uffenbeck, *Microcomputer & Microprocessor*, Prentice-Hall, 1989.

著者紹介



池 龍(正會員)

1955年 7月 3日生. 1978年 8月 서강대학교 전자공학과(학사). 1981年 8월 서강대학교 전자공학과(석사). 1987年 5월 The University of Texas at Austin, Electrical Eng., Ph. D. 1987年 6월 ~ 1987年 8월 The University of Texas at Austin, Research Associate. 1987年 9월 ~ 1991年 2월 미국 Microelectronics and Computer Technology Corporation (MCC) Member of Technical Staff. 1991年 3월 ~ 현재 서강대학교 전자공학과 조교수. 주관심 분야: 전자 시스템 패키징 및 반도체 패키징, 광소자 패키징, 반도체 공정, MCM 등임.



金昌淵(正會員)

1968年 10月 29日生. 1992年 2월 서강 대학교 전자공학과(학사). 1994年 3월 서강 대학교 전자공학과(석사)