

## 저전압 고속 전류형 Pipelined A/D 변환기의 설계

## (Design of A Low-Voltage and High-Speed Pipelined A/D Converter Using Current-Mode Signals)

朴昇均\*, 李熙德\*\*, 韓喆熙\*\*

(Seung Kyun Park, Hi Deok Lee and Chul Hi Han)

## 要約

Track-and-hold 증폭기에 2 개의 적분기가 병렬로 구성되어, 1 클럭 주기에 2 번의 샘플링을 수행하여, 종래의 파이프라인 방식보다 2배의 속도로 A/D 변환을 수행할 수 있는, 새로운 구조의 8 비트 2단 파이프라인 A/D 변환기를 설계하였다. 이 A/D 변환기는 3.3V 의 전원 전압으로 동작되며 입력 다이내믹 레인지는 0-256mA 이다. ISRC 1.5 $\mu$ m BICMOS 프로세스파라미터를 이용한 HSPICE 시뮬레이션 결과 최대 55 Msample/s 의 속도로 A/D 변환을 수행할 수 있으며, 소비 전력은 약 150 mW으로 나타났다. 설계된 칩의 면적은 3  $\times$  4 mm<sup>2</sup>이다.

## Abstract

An 8-bit 2-stage pipelined current mode A/D converter is designed with a new architecture, where the wideband track-and-hold amplifiers which have 2 integrators in parallel sample input signal twice per clock cycle. The conversion speed of the A-D converter is two times faster than that of conventional pipelined method. The converter is designed to be operated at the power supply voltage of 3.3V with the input dynamic range of 0-256 $\mu$ A. HSPICE simulation results show the performance of up to 55Msamples/s and power consumption of 150mW with the parameters of ISRC 1.5 $\mu$ m BICMOS process. The chip area is 3 $\times$ 4mm<sup>2</sup>.

## 1. 서론

\*正會員, 金星 일렉트론 半導體 研究所

(Semiconductor Research Lab. of Goldstar Electron Co., Ltd)

\*\*正會員, 韓國科學技術院 電氣 및 電子工學科

(Dept. of Electrical Eng., KAIST)

※본 연구는 1992 년도 교육부 지원 학술진흥재단 학술연구조성비에 의한 반도체 공동연구소 과제의 소과제로 연구되었음.

接受日字 : 1993年 3月 9日

VLSI 공정 기술의 발달과 더불어 트랜지스터의 초고집적화가 가능하고, 디지털 신호처리 기술이 발달함에 따라, 종래에는 아날로그 방식으로 신호 처리되던 분야들이 점차 디지털 방식으로 바뀌어가고 있다. 또한 단위 칩에 집적되는 소자수가 많아지고 동작속도가 빨라짐에 따라 파워 소모가 증가하게되고, 이로 인한 열발생 문제 등이 나타나게 되어 이를 해결하기 위한 방안으로 저 전압화가 추진되고 있다. 그러나

자연계의 대부분의 신호는 아날로그이므로, 이것을 디지털로 처리하기 위해서는 아날로그 신호를 디지털로 바꾸어 주고 또 디지털 신호를 아날로그로 바꾸어 주는 변환 기술이 필요하고, 이 기술의 적용분야도 점차 확대되어 가고 있다.

표 1. A/D 변환기의 종류와 특징

Table 1. The kinds of A/D converters and the characteristics.

변환 방식	분해능	속도(SPS)	응용분야	공 정
병렬형 (flash type)	4 - 8	10M - 300M	영상 신호처리	바이폴라/CMOS
직렬형 (subrange pipelined)	8 - 10	10M - 40M	영상 신호처리	바이폴라/CMOS
속차 비교형	8 - 16	10k - 1M	오디오	바이폴라/CMOS
적분형	12 - 22	수k 이하	계측기	CMOS
Over sampling형	12 - 18	수k - 수10k	오디오	CMOS

표 1에 대표적인 A/D 변환 방식의 응용 분야와 그 특징을 간단히 나타내었다. <sup>1</sup> 영상 신호 처리를 위해서는 분해능이 8 비트 이상이고 동작 속도가 20Msample/s 이상의 A/D 변환기가 필요하다. 표 1에서 열거한 A/D 변환기 중에서 영상신호 처리가 가능한 형은 병렬형 A/D 변환기와 파이프라인 A/D 변환기가 있다. 병렬형 A/D 변환기는 동작 속도가 가장 빠르지만, N 비트의 분해능을 얻기 위해서는  $2^N - 1$ 개의 비교기가 필요하다. 그래서 칩 (chip) 면적이 비트 수에 따라 기하 급수적으로 증가하고 소비 전력도 크기 때문에 10 비트 이상의 고속 A/D 변환기는 주로 파이프라인 방식을 이용한다. <sup>2,3</sup> 본 논문에서는 파이프라인 방식으로 8 비트의 고속 A/D 변환기를 BICMOS 회로로 설계하였다. 파이프라인 방식의 A/D 변환 속도는 각 서브 블록 중 가장 동작 속도가 늦은 track-and-hold 회로(이하 T/H 증폭기)에 의해 결정되므로 본 논문에서는 이 T/H 증폭기를 병렬로 구성하여 종래의 파이프라인 방식보다 A/D 변환 속도를 2배 향상시킬 수 있는 새로운 구조를 제안하고 설계하였다. 본 A/D 변환기는 전류 모드 (current mode)로 동작 되는데, 이는 전류를 신호원으로 하는 경우 광대역 특성을 얻을 수 있다는 장점과 고성능의 연산 증폭기가 필요하지 않다는 장점이 있기 때문이다. <sup>4</sup>

## II. 새로운 파이프라인 A/D 변환기의 구조

파이프라인 A/D 변환기는 고속 동작이 가능하며 칩 면적도 비교적 작아, 고속 고분해능 A/D 변환기

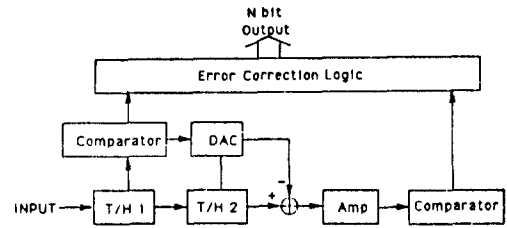


그림 1. Pipelined A/D 변환기의 구조

Fig. 1. Block diagram of the pipelined A/D Converter.

의 대표적인 방식으로 사용되어 왔다. 그림 1은 일반적인 파이프라인 A/D 변환기의 블록도이다. 이것은 2 개 이상의 단(stage)으로 구성되며 각각의 단은 T/H 증폭기, 뺄셈기 (subtractor) 그리고 신호 증폭기 등으로 구성된다. 제 1 단은 상위 비트를 A/D 변환시키고 제 2 단은 하위 비트를 A/D 변환 시킨다.

T/H 증폭기(T/H1)는 입력된 신호를 샘플링하여 일정시간 동안 유지시키며 이 신호가 비교기와 또 하나의 T/H 증폭기 (T/H2)에 입력된다. 비교기에서는 입력된 신호를 양자화 하여 T/H2 증폭기에 유지된 신호에서 이 양자화된 아날로그 신호만큼 빼주게 된다. 이 빼어진 신호는 매우 작으므로, 증폭기를 통하여 증폭되어 다음 단으로 입력되어 다음 클럭 주기 동안 위에서 서술한 동작을 반복하게 된다.

파이프라인 A/D 변환기의 변환 속도는 각 서브 블록 중 가장 동작 속도가 늦은 서브 블록인 T/H 증폭기에 의해 좌우된다. 지금까지 200MHz로 동작하는 비교기는 많이 발표되고 있지만 <sup>5,6</sup>, T/H 증폭기는 대부분이 100MHz이하로 동작하고, 폐루프 (closed loop) 형태의 T/H 증폭기는 수십 MHz이하로 동작한다. 따라서 전체 A/D 변환기의 동작 속도를 향상시키기 위해서는 T/H 증폭기의 성능을 향상시키는 것이 필수적이다. 그러나 T/H 증폭기의 어퀴지션 (acquisition) 과 세틀링 (settling) 동작은 비교기의 동작보다 훨씬 느리다는 근본적인 단점을 보완해야 한다. 본 논문에서는 가장 동작 속도가 느린 서브 블록인 T/H 증폭기를 병렬로 구성하여 신호 처리함으로써 종래 방식보다 2배의 속도로 A/D 변환이 가능하도록 하였다.

제안된 A/D 변환기의 블록도는 그림 2에 나타나 있다. 제 1 단은 2개의 적분기를 가진 T/H 증폭기와 비교기 그리고 뺄셈기로 구성되며, 상위 4 비트의 출력을 낸다. 제 2 단은 제 1 단의 출력을 증폭한 다음 비교기로 양자화하여 하위 5 비트의 출력을 낸다. 이 9 비트의 출력은 오차 수정 (error correction) 논리

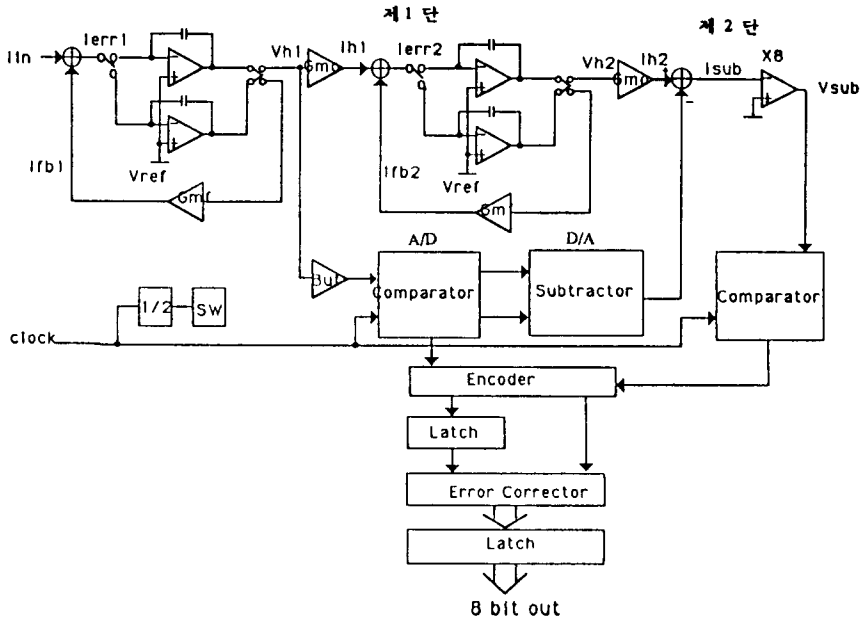


그림 2. 새로운 A/D변환기의 블록도

Fig. 2. Block diagram of the A/D converter with a new architecture.

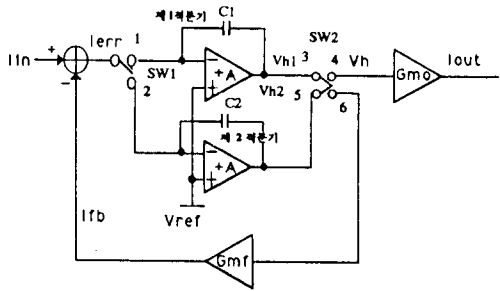


그림 3. T/H증폭기의 구조

Fig. 3. Block diagram of the T/H amplifier.

를 통하여 8 비트를 출력시킨다.

T/H 증폭기는 그림 3과 같이 구성되고 그 타이밍도 (timing diagram)은 그림 4에 나타나 있다. T/H 증폭기에는 2개의 적분기가 있어 클럭의 위상이 바뀔때 따라 교대로 동작한다. 제 1 적분기가 입력신호를 트래킹(tracking)한 후 홀딩(holding)할 때 제 2 적분기가 입력 신호를 트래킹하고, 제 2적분기가 신호를 홀딩할 때 제 1적분기가 신호를 트래킹하는 동작을 반복하여 1 클럭 주기동안 2번의 샘플링을 수행하게 된다.

비교기는 T/H 증폭기보다 동작 속도가 훨씬 빠르므로, 샘플링 클럭보다 주파수가 2배인 클럭을 사용하여 비교한다. T/H 증폭기(T/H1)의 출력은 제 2

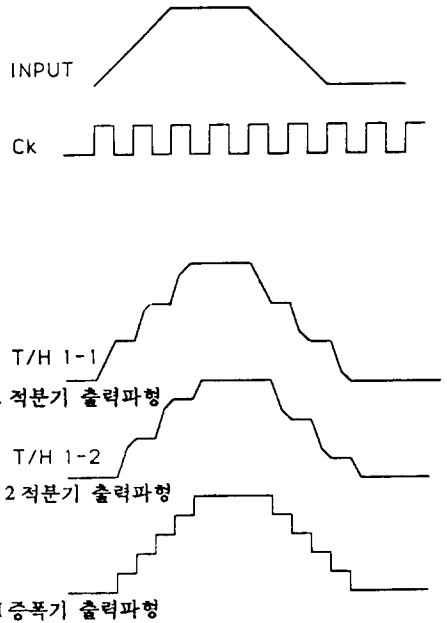


그림 4. T/H증폭기의 타이밍도

Fig. 4. Timing diagram of the T/H amplifier.

의 T/H 증폭기(T/H2)와 비교기로 입력된다. 비교기는 입력된 신호를 양자화하여, 이 양자화된 출력만큼

의 아날로그 신호를 T/H 2의 출력에서 빼주게 된다. 비교기는 출력을 T/H 2와 타이밍(timing)을 일치시키기 위해 1/4 샘플링 클럭 주기만큼 신호를 더 유지시켜 주어야 한다.

제 2 단에서는 제 1단에서 출력된 신호를 증폭하여 비교기로 양자화 한다. 그림 4는 전체적인 동작 파형을 나타내는데 1샘플링 주기동안 2 번의 A/D 변환을 수행하여 종래의 방식에 비해 이론적으로 2배 빠른 동작 특성을 나타내고 있다.

### III. 서브 블록 회로의 설계

A/D 변환기의 각 블록 회로의 설계는 서울대학교 반도체공동연구소의 BICMOS 공정에 맞추었고 회로 시뮬레이션은 HSPICE로 수행하였으며 소자 파라미터의 값은 표 2와 표 3에 나타나 있다.

표 2. MOS 트랜지스터의 소자 파라미터  
Table 2. Device parameters of MOSFETs.

Parameter	NMOS	PMOS
VTO(V)	0.72	-0.64
KP(AV <sup>-2</sup> )	8E-5	2.2E-5
GAMMA(V <sup>-0.5</sup> )	0.65	0.25
PHI(V)	0.8	0.8
PB(V)	0.8	0.8
CJ(Fm <sup>2</sup> )	190E-6	570E-6
MJ	0.3	0.3
CJSW(Fm <sup>-1</sup> )	260E-12	260E-12
MJSW	0.33	0.33
JS(Am <sup>-2</sup> )	3.3E-5	2.8E-5
TOX(nm)	25	25
NSUB(cm <sup>-3</sup> )	5E16	5E16
XJ(um)	0.3	0.3
KAPPA(V <sup>-1</sup> )	0.3	5.6
VMAX(ms <sup>-1</sup> )	1.1E5	2.4E5

#### 1. T/H 증폭기의 설계

T/H 증폭기는 파이프라인 A/D 변환기 전체의 성능을 제한하는 회로 블록이다. 그림 3은 본 논문의 T/H 증폭기의 기본 구조인데 피이드백(feedback)

표 3. 바이폴라 트랜지스터의 소자 파라미터  
Table 3. Device parameters of bipolar transistors.

Parameter	NPN	Parameter	NPN
IS (A)	2.07E-17	VJE(V)	0.76
$\beta_F$	70	MJE	0.34
NF	1	$\tau_f$ (s)	0.4E-10
IKF(A)	1.8E-3	VAE(V)	70
NE	1.33	ISE(A)	1.5E-17
$\beta_R$	2	ISC(A)	5E-15
NR	1.17	IKR(A)	4.4E-4
NC	1.73	CJC(pF)	0.013
$R_B(\Omega)$	250	CJE(pF)	0.013
$R_E(\Omega)$	20	CJS(pF)	0.05
$R_C(\Omega)$	200		

형태를 취하고 있다. 피이드백 전류  $I_{fb}$ 는 입력전류  $I_{in}$ 을 상쇄시키고 두 전류의 차이  $I_{err}$ 가 호울드 커패시터에 충전되며, 이 충전된 전압이 피이드백 트랜스컨덕턴스  $G_{mf}$ 를 통하여  $I_{err}$ 를 상쇄시켜 정확한 샘플링을 수행한다.

그림 3의 T/H 증폭기 블록의 동작을 설명하면 sw1이 1 에 연결되고 sw2가 3 - 6. 4 - 5 로 연결 되었을 때 제 1 적분기는 샘플된 신호를 호울드 하게 된다. 즉 입력전류( $I_{in}$ )는 제 1 적분기를 거쳐 이에 상응하는 전압( $V_{h1}$ )V으로 변환된 후 트랜스컨덕턴스 증폭기를 통하여 피이드백 되어 입력전류를 트래킹한다. 이 때 제 2 적분기의 커패시터(C2)는 충·방전 패스가 끊어져 이전의 전압상태를 계속 유지한다. 그 다음 위상(phase)에서 sw1이 2 에 연결되고, sw2가 3 -4 . 5 - 6 으로 연결되면 입력전류는 제 2 적분기를 거쳐 이에 상응하던 전압( $V_{h2}$ )으로 변환되어 트랜스컨덕턴스 증폭기를 거쳐 입력단으로 피이드백 되고, 제 1 적분기의 출력( $V_{h1}$ )은 이전의 상태를 유지하게 되어, 각각 트래킹과 샘플링을 수행하여 1 클럭 주기동안 2 번의 샘플링을 수행한다. 또한 본 방식은 트래킹 및 호울딩을 반복하는 과정에서 피이드 백 루프가 끊어지지 않기 때문에 호울딩시 피이드 백 루프가 끊어지는 종래의 방식에 비해 어퀴지션 시간을 줄일 수 있는 장점이 있다.

T/H 증폭기의 전달함수는 다음과 같다.

$$\frac{I_{out}}{I_{in}} = \frac{G_{m1}}{G_m \left\{ 1 + \frac{C}{G_{mf}} \left( 1 + \frac{1}{A} \right) \omega \right\}} \approx \frac{G_{m1}}{G_m \left\{ 1 + \frac{C}{G_{mf}} \omega \right\}} \quad (1)$$

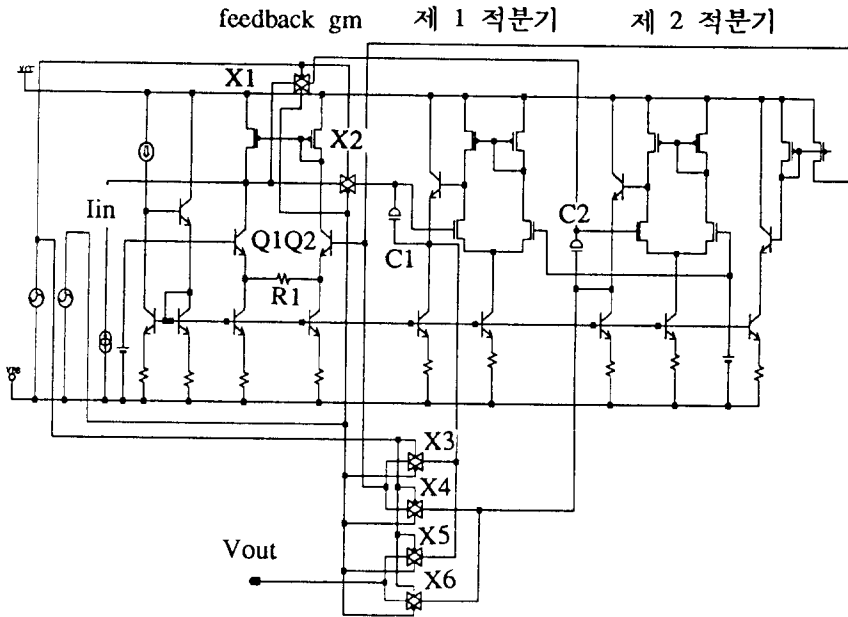


그림 5. T/H 증폭기의 회로도  
Fig. 5. Circuit diagram of the T/H amplifier.

$G_{mf} = G_{mf}$  이면 아래와 같이 간략화된다.

$$\frac{I_{out}}{I_{in}} \approx \frac{1}{\left(1 + \frac{C}{G_{mf} \omega}\right)} \quad (2)$$

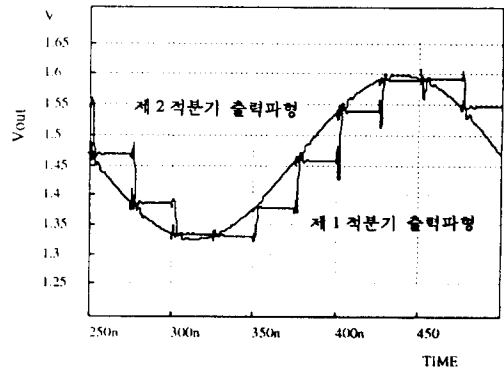
$$\frac{V_h}{I_{in}} \approx \frac{1}{G_{mf} \left(1 + \frac{C}{G_{mf} \omega}\right)} \quad (3)$$

위의 식에서 T/H 증폭기의 대역폭은  $G_{mf}/C$  가 되고 홀드 전압  $V_h$ 의 선형성(linearity)은  $G_{mf}$ 의 선형성에 의해 결정되고, 제 1 단에서 4 비트의 선형성이 필요하다.

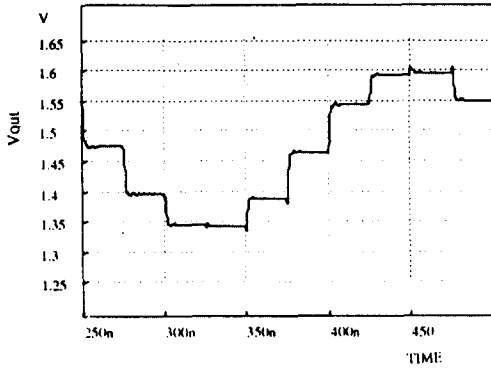
그림 5 는 T/H 증폭기의 회로이다. 적분기의 입력단은 드롭 레이트(drop rate)를 최소로 하기 위해 MOSFET로 하였고 호울드 커패시터를 구동하기 위해 npn 바이폴라 트랜지스터로 출력단을 구성하였다. 호울드 스위치는 CMOS로 구성하였고 PMOS의 W/L (5/1.5)과 NMOS의 W/L(10/1.5)을 다르게 조정하였다. 회로의 동작을 설명하면 DI입력 클럭에 의해 X1 은 ON, X2 는 OFF, X3 ON, X4 Off, X5 OFF, X6 가 ON 된 상태에서 입력전류는 X1을 통해 제 1 적분기에 입력되어 C1을 충전시키고, 이 충전된 전압이 X3와 트랜스컨덕턴스 증폭기(feedback gm)을 통하여 입력단으로 피이드 백되어

입력전류를 트래킹하고, 제 2 적분기 C2에 호울드된 전압은 X6을 통해 출력된다. 그 다음 클럭 위상에서 X1 은 OFF, X2 는 ON, X3 OFF, X4 ON, X5 ON, X6 가 OFF 되는데 입력전류는 X2 와 제 2 적분기를 통해 충전되어 X3와 트랜스컨덕턴스 증폭기를 통해 입력단으로 피이드 백 되어 입력전류를 트래킹하고 제 1 적분기 C1에 호울드된 전압은 X5를 통해 출력된다.

그림 6-(a)는 2개의 적분기가  $128\mu A$ 의 진폭을 갖는 4MHz 사인(sine) 신호를 트랙-호울드한 경우의 HSPICE 시뮬레이션 결과 파형이며 그림 6-(b)는



(a)

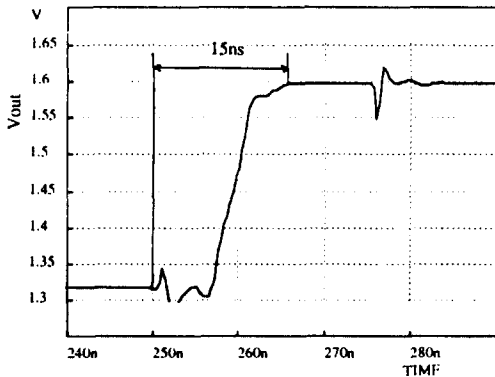


(b)

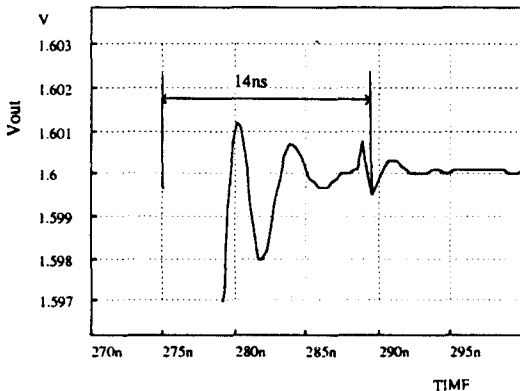
그림 6. T/H증폭기의 출력 파형

- (a) 제1적분기와 제2적분기의 출력파형
- (b) T/H증폭기의 출력파형

Fig. 6. Output waveform of the T/H amplifier. (a) Output waveform of 1st integrator and 2nd integrator, (b) Output waveform of T/H amplifier.



(a)



(b)

그림 7. T/H증폭기의 계단과 응답 특성

- (a) acquisition (b) settling

Fig. 7. Unit step response of the T/H amplifier.

- (a) acquisition, (b) settling.

트랙-홀드 된 신호가 스위치를 통과한 후의 파형이다. 그림 7은 단위 계단파 (unit step) 입력이 인가 되었을 때 T/H 증폭기의 출력 파형인데, 어퀴지션 시간이 15ns정도이고, 세틀링 시간은 14ns정도로 나타나 최대 샘플링 주파수를 30MHz로 할 수 있음을 보여 준다. 샘플링 주파수가 30MHz인 경우 본 시스템에서는 1 클럭주기에 2번의 샘플링을 수행하므로 60MHz의 동작이 가능하게 된다.

2. 비교기의 설계

고속 비교기의 회로는 그림 8과 같이 ECL 구조의 전류 스위칭 회로를 사용하고 있다. 그 구성은 프리앰프(preamplifier)부, 제1래치(latch)부와 레벨 쉬프트(level shift)부 그리고 1 위상 주기동안 신호를 유지시켜 주는 제 2 래치부로 구성된다. 프리앰프는 입력단을 MOS로 구성하여 입력신호가 바이어스 전류에 의해 변하는 것을 방지하였다.

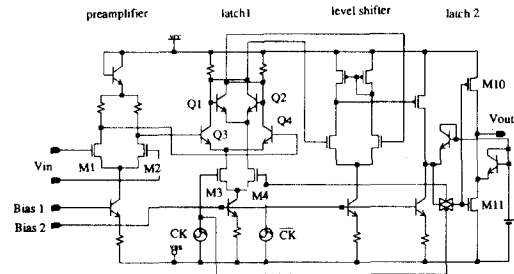


그림 8. 비교기 회로도

Fig. 8. Circuit diagram of the comparator.

회로의 동작을 간단히 설명하면 M3의 게이트가 'High' 이고 M4의 게이트가 'Low' 일 때 Q3, Q4를 통해 신호를 증폭시켜 샘플링 한다. 그 다음 M3의 게이트가 'Low', M4의 게이트가 'High'일 때 Q1, Q2에서 신호를 증폭하게 하여 래치한다. 제 1 래치에서 출력되는 신호의 길이는 1/2 클럭주기에 샘플링 주기의 1/4이다. 그런데 서브트랙터에서는 T/H1에서 출력되는 신호를 1/2 샘플링주기 동안 전류를 빼주어야 되므로 CMOS로 구성된 스위치와 M10, M11로 구성된 제 2 래치에서 제 1 래치의 출력신호를 1/2 클럭 주기만큼 더 유지시켜 준다.

그림 9는 입력 클럭 주파수가 40MHz이고 입력

전압이 256 mV에서 -4mV(1/2LSB)로 변할 때의 제 1 래치의 출력 파형 및 제 2 래치의 출력 파형이다. 그림 9 에 나타난 비교기의 지연 시간은 약 6ns 인데, 이는 비교기가 최대 80MHz의 클럭 주파수로 동작할 수 있음을 나타낸다. 비교기의 총 전력 소모는 1.3 mW이다.

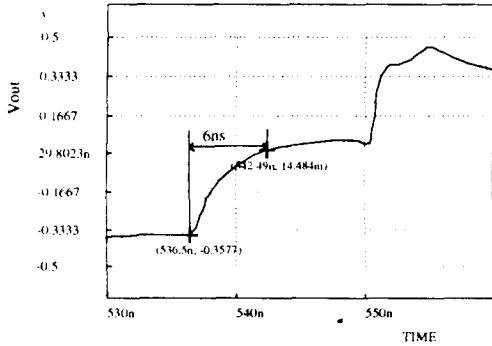


그림 9. 비교기의 출력 특성  
Fig. 9. Output waveform of the comparator.

3. 서브트랙터의 설계

그림 10 은 비교기와 전류 서브트랙터의 회로인데 그 기능은 T/H 증폭기에 호출된 신호를 15개의 비교기로 양자화 한 다음, 이 양자화 된 아날로그 신호만큼의 전류를 빼 주는 역할을 한다. 비교기에 입력되는 전압 범위는 0 ~ 255mV이고 15개로 양자화하므로 1/2LSB는 8mV가 된다. 회로동작은 다음과

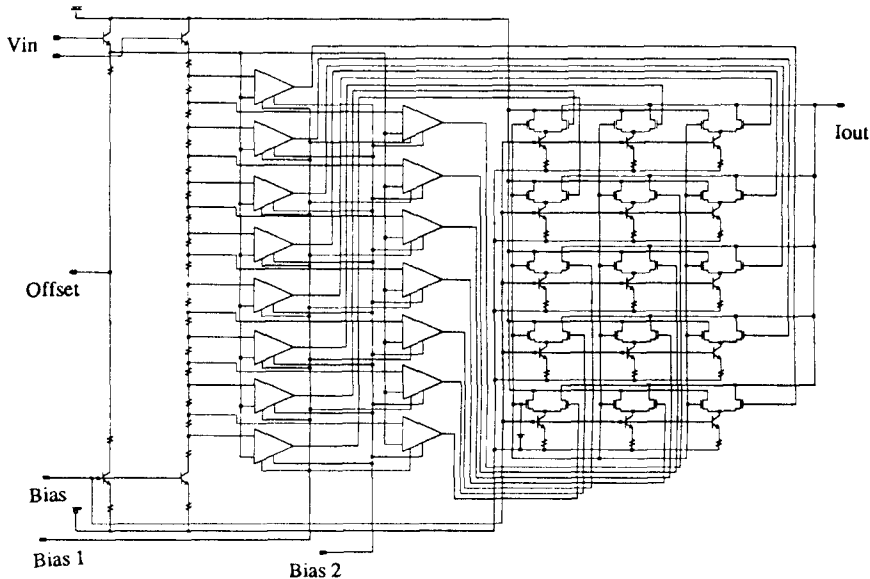


그림 10. Subtractor 회로도  
Fig. 10. Circuit diagram of the subtractor.

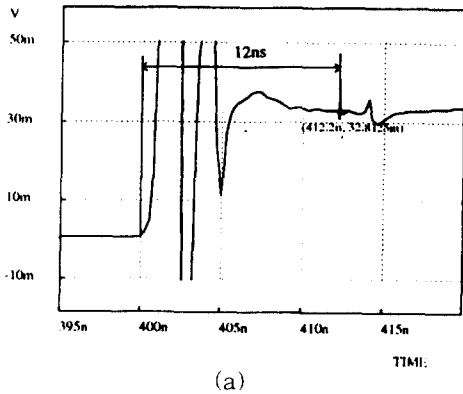
같다. 출력이 'High' 가 되는 비교기의 갯수는 입력 전압(Vin)의 크기에 비례하는데, 출력전류 Iout의 크기는 출력이 'High' 되는 비교기의 갯수에 따라 정해지므로, 결국 출력전류 Iout의 크기는 '입력전압을 양자화한 결과에 비례하게 된다.

제안된 서브트랙터 회로에서는 양자화시 8mV의 offset을 주어 0 ~ 23mV를 1로 인식하고 24mV ~ 40mV는 2로 인식하는데, 이는 오차 수정을 용이하게 하고 수정되는 범위를 넓히기 위해서이다.

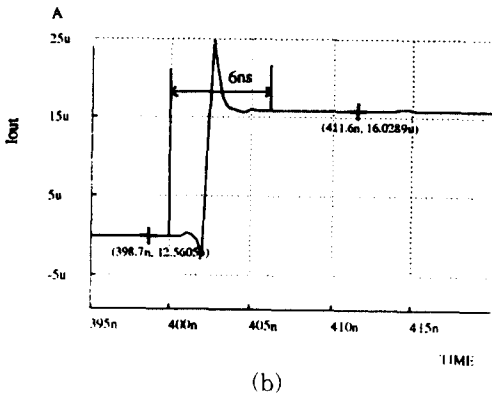
그림 11은 단위 계단 (unit step) 전류가 인가되었을 때 T/H 증폭기 (T/H1)에서 호출된 신호를 뺀 때의 출력 전압 파형과 빼주는 전류의 파형인데, 출력 전압이 1/2LSB이하로 세틀링 되는 시간은 약 12ns 정도이고 빼주는 전류가 0.5% 이하로 세틀링 되는 시간은 6ns 정도이다.

4. 오차 수정 (Error Correction) 회로

파이프라인 A/D변환기에서는 제 1 단에서 상위 비트를 출력시키고 그 다음 단에서는 하위 비트를 출력시킨다. 제 1 단에서의 1/2LSB는 제 2 단의 MSB에 해당되므로 제 1 단에서 1/2 LSB의 오차가 발생한 경우 제 2 단의 출력은 의미가 없어진다. 그래서 제 1 단의 오차를 수정해 주는 회로가 필요 불가결하다. 본 논문에서의 A/D변환기는 8 비트의 해상도를 가지고 있어, 제 1 단에서 발생하는 오차를 수정해 주기 위해, 제 1 단에서 4 비트를 출력시키고, 제 2 단에



(a)



(b)

그림 11. 계단과 응답 특성  
(a) 전압 (b) 전류

Fig. 11. Unitstep response of the subtractor.  
(a) voltage, (b) current.

서는 5 비트를 출력시켜, 전체적으로는 9 비트의 출력으로 1 비트는 오차 수정용으로 사용하였다.

본 논문의 A/D 변환기에서는 상위 4 비트의 출력에 하위 5 비트의 출력을 더함으로써 오차 수정을 행하였다. 예를 들어 10000001에 해당하는 입력을 제 1 단에서 0111로 판단하였다면, 제 2 단에 입력되는 입력은 10000001에서 01110000를 빼 10001이 된다. 따라서 최종 출력은 01110000 + 00010001의 덧셈을 수행하면 10000001이 출력되어 오차를 수정할 수 있다. 실제적으로는 상위 4 비트에다 하위 5 비트 중 최상위 비트를 carry 로 생각하여 더하면 된다. 이때 하위 4 비트의 출력은 바뀌지 않는다. 그러나 만일 상위 10001111의 신호를 제 1 단에서 1001로 판단하였다면 제 2 단의 출력은 -00001이 된다. 이

경우도 오차 수정을 위해서 10010000에다 00000001을 빼주면 되는데, 상위 4 비트의 출력 뿐만 아니라 하위 4 비트의 출력도 바뀌고 음의 부호도 생각해야 되므로 회로가 복잡해진다. 그래서 본 논문에서는 상위 4 비트를 비교할때 1/2LSB의 오프셋을 두어 상위 4 비트에다 하위 비트중 최상위 비트를 더함으로써 오차 수정이 가능하도록 하였다.

예를 들어 위에서 언급한 바와 같이 10001111에 해당되는 입력 신호를 제 1단에서 1001로 판단하는 것을 막기 위하여 비교하는 기준전압에 1/2 LSB (00001000)에 해당되는 전압을 더해주어 비교함으로써 제 1단에서는 1000으로 판단하여 이에 해당하는 아날로그 양만큼 입력 신호에서 빼 준다음 제 2단에서 00001111의 신호를 증폭하여 비교하여 그 출력을 제 1단의 출력과 더해줌으로써 오차 수정을 수행할 수 있다.

#### IV. A/D 변환기 특성 (시뮬레이션 결과)

본 장에서는 전체적인 동작 특성을 요약하여 보면 T/H증폭기의 어퀴지션 시간은 약 15ns 이고, 세틀링 시간은 14ns로 T/H증폭기는 최대 30MHz의 동작이 가능함을 보여준다. 비교기는 지연시간이 최대 약 6ns로 서브 블록중 가장 빠른 속도인 80MHz 동작이 가능하다. 서브트랙터는 세틀링시간이 약 12ns 정도인데 세틀링된 출력을 비교기의 지연시간 이상 유지시켜야 하므로 실제적인 최대 동작 주파수는 약 55MHz 정도가 된다. 따라서 A/D변환을 할 수 있는 최대 주파수는 종래의 방식에서는 T/H증폭기의 최대 동작 주파수인 30MHz가 되나, T/H증폭기를 병렬로 구성한 경우 최대 55MHz까지 동작이 가능함을 나타낸다. 그리고 오프 셋 오차는 1/5 LSB 이며, 이득 오차는 0.05%로 나타났다. 직선성 오차와 미분 직선성 오차는 부분적인 시뮬레이션 결과 1/2 LSB 이하로 나왔다.

본 A/D 변환기는 전원 전압 3.3V의 저전압에서 동작 가능하며, 입력 전류의 범위는 0 - 255  $\mu$ A 이고 8 비트의 분해능을 가지고 있다. 1 비트의 절대값은 전류의 경우 1 $\mu$ A 이고 holding 되는 전압의 경우 1mV에 해당된다. 총 소자수는 약 2400 개이며 소비 전력은 약 150 mW 이다.

#### V. 결론

본 논문에서는 바이폴라 트랜지스터의 고속 동작 특성과 큰 전류 구동 능력의 장점과 MOS 트랜지스



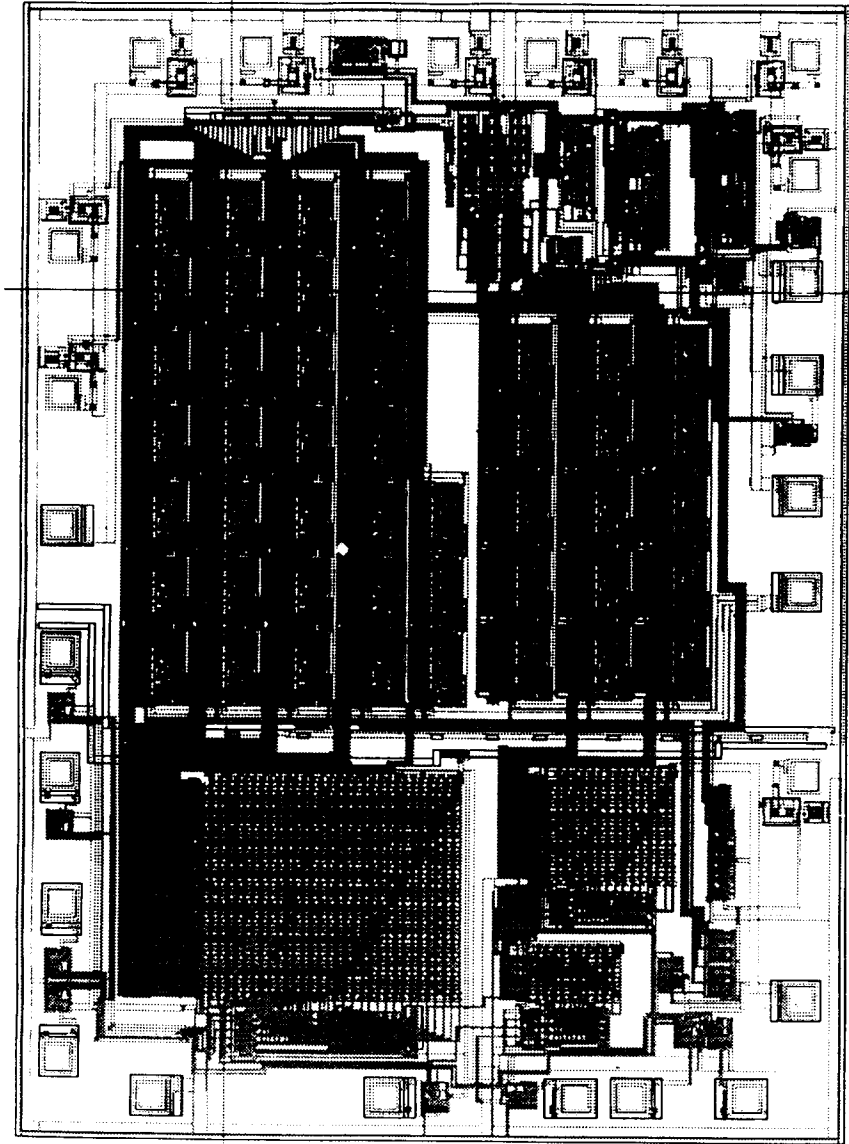


그림 12. 설계된 chip의 layout도

Fig. 12. layout diagram of the chip.

터의 게이트단의 높은 임피던스 특성 및 고집적 특성의 장점을 결합시킨 BICMOS 공정을 이용하여 3.3V에서 55Msample/s의 속도로 동작하는 8-bit 파이프라인 A/D변환기를 설계하였다.

일반적인 파이프라인 구조에서는 T/H 증폭기의 느린 동작 속도에 의해 A/D 변환기의 변환 속도가 결정되게 되는데, 본 논문에서는 T/H 증폭기를 병렬로 구성하여 신호 처리하는 구조를 제안하여 이 방식이 종래의 방식보다 약 2배의 속도인 최대 55Msample/s

의 속도로 A/D 변환할 수 있음을 HSPICE 시뮬레이션을 통해 검증하였다.

본 논문에서 제안한 A/D 변환기는 저 소비전력의 관점에서 저전압 (3.3V) 에서 동작하는 것을 목표로 하였기 때문에, 전압 및 전류의 다이내믹 레인지 (dynamic range)가 작아 8 비트의 분해능 밖에 얻을 수 없었으나, 5V의 전원 전압을 사용하면 10 비트의 분해능은 충분히 얻을 수 있을 것이다. 또한 T/H 증폭기는 분해능이 높을수록 그 동작 속도

(acquisition 시간 및 settling 시간) 가 느려지므로 본 논문에서 제안된 방식은 특히 고분해능을 가진 고속 A/D 변환기에 적용되면 더 큰 효과를 얻을 수 있을 것이다.

본 A/D변환기의 제작에 적용될 공정은 1.5 $\mu$  BiCMOS 공정으로 npn 트랜지스터의  $f_T$ 는 약 3.6 GHz이다. 디지털 논리는 PLA를 이용하여 설계하였으며 전체 칩면적은 4mm  $\times$  3mm 이다.(그림 12)

參 考 文 獻

[1] 스즈키 다카시, 트랜지스터 기술 SPECIAL no. 16 특집 A-D/D-A변환 기술의 전부, pp. 6, CQ출판사, 1989.  
 [2] Akira Matsuzawa et al., " A 10b 30MHz Two-Step Parallel BiCMOS ADC with Internal S/H". *ISSCC Digest of Technical Papers* pp. 162-163, Feb. 1990.  
 [3] P. Real et al., " A Wide-Band 10-b 20-

Ms/s Pipelined ADC Using Current-Mode Signals". *IEEE J. Solid-state Circuits*, vol.26, no. 8, pp. 1103-1109, Aug. 1991

[4] Masayuki Ishigawa et al., " An 8-bit 50-MHz CMOS Subranging A/D Converter with Pipelined Wide-Band S/H", *IEEE J. Solid-State Circuits*, vol 24, no. 6, pp. 1485-1491 Dec. 1989.  
 [5] Stephen H.Lewis et al., " A 10-bit 20-MSample/s Analog-to-Digital Converter". *IEEE J. Solid-State Circuits*, vol 27, no. 3, pp. 351-358 March 1992.  
 [6] C. Toumazou et al., *Analogue IC Design : the current -mode approach*, Peter Peregrinus Ltd. 1990.  
 [7] P. J. Lim et al., " An 8-bit 200-MHz BiCMOS Comparator ", *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 192-199 Feb. 1990.

著 者 紹 介

朴 昇 均(正會員)

1962年 6月 12日生. 1984年 2月 서울대학교 제어계측공학과 졸업. 1993年 2月 한국과학기술원 전기 및 전자공학과 졸업. 1984年 1月 ~ 1989年 7月 금성사 중앙연구소 근무. 1989年 8月 ~ 1994年 현재 금성일렉트론 반도체연구소 근무. 주관심 분야는 아날로그 및 디지털 회로 설계 등임.

李 熙 德(正會員) 第 30卷 B編 第 1號 參照

현재 한국과학기술원 전기 및 전자공학과 박사과정

韓 喆 熙(正會員) 第 30卷 B編 第 1號 參照

현재 한국과학기술원 전기 및 전자공학과 부교수