

pRAM 회로망을 위한 역전파 학습 알고리즘

(A Backpropagation Learning Algorithm for pRAM Networks)

元 載 喜*, 蔡 洙 翊*

(Jae Hee Won and Soo Ik Chae)

要 約

실시간 처리를 위해서 인공 신경망의 현장 학습 기능을 가지는 집적 회로의 구현이 중요하다. pRAM은 생물학적인 뉴런의 확률적인 출력을 기본으로 하는 것으로 학습 기능이 있는 집적 회로의 구현에 적합하다. 펄스열의 단극성 수 표현 방법을 이용하여 pRAM 회로망을 위한 오차 역전파 학습 알고리즘을 유도하고, 이를 집적 회로로 구현할 수 있도록 수정된 pRAM 구조를 제안하고, XOR 문제와 숫자 인식 문제에 대한 모의 실험 결과를 제시한다.

Abstract

Hardware implementation of the on-chip learning artificial neural networks is important for real-time processing. A pRAM model is based on probabilistic firing of a biological neuron and can be implemented in the VLSI circuit with learning capability. We derive a backpropagation learning algorithm for the pRAM networks and present its circuit implementation with stochastic computation. The simulation results confirm the good convergence of the learning algorithm for the pRAM networks.

1. 서론

현재의 인공 신경망을 구현하는 방법은 크게 세 가지로 분류할 수 있다. 첫째는 디지털 컴퓨터를 중심으로 하여 소프트웨어로 처리하는 방법이고, 둘째는 소프트웨어적인 방법과 하드웨어를 병행하는 구조이다. 첫째 방법은 신경망의 최대 장점인 병렬 처리 능

력을 제대로 살릴 수 없고 디지털 컴퓨터의 순차적인 처리에 의존하므로 시간이 많이 걸리게 된다. 따라서 이러한 방법으로는 많은 수의 뉴런을 가지고 있는 신경망의 연산을 실시간으로 처리하는 것이 불가능하다. 이 단점을 보완하는 것으로 소프트웨어와 하드웨어를 병행하는 방법이 있다. 보통 이 경우 학습 과정은 컴퓨터에서 소프트웨어로 하고, 학습 후 신경 회로망 연산은 ASIC으로 구현된 하드웨어에서 수행하는 형태이다. 그러나, 계속 변화하는 상황에 실시간 적응을 해야 하는 경우, 학습에 걸리는 시간을 줄일 필요가 있다. 셋째 방법은 학습 기능을 자체적으로 갖고 있는 집적 회로를 구현하는 방법이다. 신경 회로망이 기존의 디지털 컴퓨터에 대해 가지는 장점을

*正會員, 서울大學校 半導體共同研究所 및 電子工學科
(Inter-University Semiconductor Research
Center & Department of Electronics
Engineering Seoul National University)
接受日字 : 1993年 7月 10日

최대한 살리기 위해서는 이와 같이 자체적인 학습 회로 구현이 가능한 신경 회로망 구조를 개발할 필요가 있다.

일반적인 신경 회로망은 기본적으로 많은 곱셈과 덧셈 연산을 수행해야 한다. 그러나, 디지털 곱셈기와 덧셈기를 구현하는 회로가 복잡하기 때문에 신경 회로망의 집적도를 높이는 데 어려움이 있다. 이 문제를 해결하기 위해 여러 가지 방법들이 시도되고 있다. 그중 한가지는 펄스를 통한 확률 연산을 이용하는 방법으로 AND 게이트를 곱셈기로, 그리고 OR 게이트를 덧셈기 및 비선형 함수를 포함하는 소자로 이용하는 방법이다.^[1,2] pRAM(probabilistic RAM)도 확률 연산에 의해서 동작되는데 그것보다 중요한 것은 pRAM이 생물학적 뉴런에 충실한 모델이라는 것이다. pRAM은 생물학적 뉴런에서 한 시냅스(synapse)에 자극을 주는 뉴런의 신호가 이 자극을 받아들이는 시냅스 연결 부분에서 문턱값(threshold)을 넘지 않는 입력, 즉 활동 전위(action potential)를 내기에 충분하지 않은 입력에서도 어느 정도의 확률로 활동 전위를 발생하는 기능을 뉴런 모델에 첨가하였다.^[3] 이 pRAM 모델은 기존의 신경망 모델과 비교할 때 일반 RAM 구조를 가지고 있어 집적도에서 유리한 장점을 가진다. pRAM을 학습시키는 방법으로 제안된 것으로는 현장 학습(on-chip learning)이 가능한 강화 학습(reinforcement algorithm)이 있다.^[4] 이 강화 학습의 대안으로 본 논문에서 제안하는 것은 오차 역전파(error back-propagation) 학습 방법이다. 펄스를 통한 확률 연산을 이용하는 신경망 구조와 유사한 방법으로 오차 역전파 학습 알고리즘을 유도하고 이를 현장 학습이 가능하도록 수정된 pRAM 구조를 제안한다.

본 논문의 구성은 II 장에서 확률 연산의 개념과 pRAM의 기본적인 구조 및 입출력 관계에 대해 설명하고, III 장에서는 pRAM을 위한 오차 역전파 학습 알고리즘을 유도한다. IV 장에서는 이 학습 알고리즘을 구현하기 위한 하드웨어 구조를 제시하고, 이를 검증하기 위해 V 장에서 모의 실험 결과를 보였으며, VI 장에서 이 오차 역전파 학습 알고리즘을 이용하는 pRAM에 대한 결론을 기술하였다.

II. pRAM의 기본 구조

1. 확률 연산

수를 펄스열(pulse stream)로 표현하여 확률 연산을 하는 방법에는 양극성(bipolar) 방법과 단극성

(unipolar) 방법이 있다. 본 논문에서는 펄스열을 pRAM과 직접적으로 관련되는, 0과 1인 펄스들로 구성되어 있는 단극성으로만 해석한다. 한 펄스열의 값은 그 펄스열 속에 있는 1인 펄스의 수를 전체 펄스 개수로 나눈 값으로 정의한다. 이것은 한 펄스열의 값은 한 펄스의 값이 1일 확률에 해당한다.^[5] AND 게이트에 입력되는 두 개의 펄스열이 서로 상관 관계(correlation)가 없는 경우에, 그 AND 게이트에서 출력된 펄스열의 기대값은 두 입력 펄스열의 값의 곱으로 나타나게 된다. 그림 1에서 입력 A의 펄스 발생 확률을 a 라 하고, 입력 B의 펄스 발생 확률을 b 라 할 때, 이들 펄스가 발생할 확률이 서로 독립, 즉 상관 관계가 없다고 하면, 출력 C에서 펄스가 발생할 확률 c 의 기대값과 분산(variance)은 다음과 같다.

$$E[c] = a \cdot b \quad (1)$$

$$\text{var}[c] = \frac{1}{N}(1-ab)ab \quad (2)$$

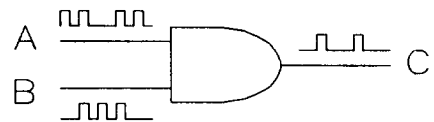


그림 1. AND 게이트에 의한 곱셈

Fig. 1. Multiplication with an AND gate.

덧셈은 OR 게이트를 이용하여 수행할 수 있는데, 그림 2와 같은 OR 게이트의 출력은

$$E[c] = 1 - (1-a)(1-b) \quad (3)$$

위의 식에서 a, b 가 작을 경우 다음과 같이 쓸 수 있다.

$$E[c] \cong a + b \quad (4)$$

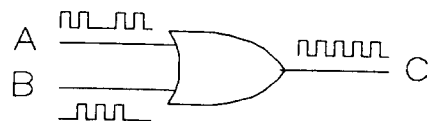


그림 2. OR 게이트에 의한 덧셈

Fig. 2. Addition with an OR gate.

여러 개의 펄스열 a 가 OR 게이트에 입력될 경우 즉 (4)식의 일반적인 경우에 그 출력은

$$E[c] = 1 - \prod_i (1 - a_i) \cong 1 - \exp\left(-\sum_i a_i\right) \quad (5)$$

가 된다. ^[12] 위 식이 $\sum a_i$ 가 되기 위해서는 입력이 적어야 한다. 다시 말해서 1에 가까운 수들 간의 덧셈은 정확하지 않은 문제점이 생긴다. 그림 3과 같은 AND-OR 구조의 오차 역전과 신경망에서는 가중치와 입력의 곱셈은 AND 게이트로 이루어지며, 이들의 덧셈과 비선형 함수는 OR 게이트로 행해진다. 또한, 음의 값을 가질 수 있는 오차를 표현하기 위해 단극성 신호를 두 개 사용해야 한다. ^[14]

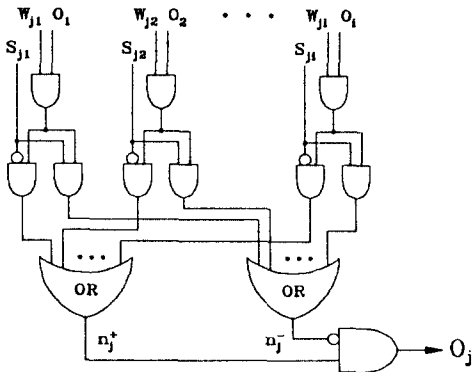


그림 3. AND-OR 구조의 신경망
Fig. 3. AND-OR architecture neural network.

이와 같은 AND 게이트와 OR 게이트를 통한 곱셈과 덧셈, 그리고 음수를 위한 별도의 신호선 추가 등을 이용하여 III 장에서 유도된 오차 역전과 학습 알고리즘을 구현할 수 있다.

2. pRAM의 동작 원리

순방향 연산을 위한 pRAM의 기본적인 구조는 그림 4와 같이 입력 벡터의 주소 디코더(address decoder), 가중치를 저장하는 저장 장소, 난수의 발생을 위한 난수 발생기의 세 부분으로 이루어져 있다. pRAM은 단극성 펄스열로 표현되는 입력에 의해 매 순간 지정되는 주소에 저장된 메모리값과 이때 발생하는 난수 발생기의 난수값을 비교하여 가중치 값이 클 경우에만 출력으로 1인 펄스를 내보내는 동작 형태를 가진다.

그러므로 pRAM의 출력은 각 주소가 지정될 확률과 그 주소에 저장된 가중치 값의 곱을 모두 가산한 값의 확률로 펄스가 발생하는 구조를 가지고 있다. n개의 입력을 가지는 pRAM의 출력 함수식은 다음과 같이 표현된다.

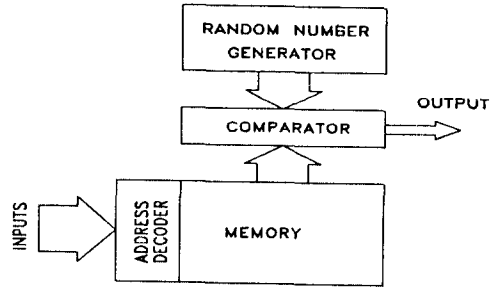


그림 4. pRAM의 기본구조
Fig. 4. Basic structure of pRAM.

$$F(x_n, x_{n-1}, \dots, x_2, x_1) = \sum_{i=0}^{2^n-1} \omega_i \prod_{j=1}^n x_j^{b_{ij}} (1-x_j)^{1-b_{ij}} \quad (6)$$

여기서 x번째 입력, j번째 주소에 저장된 값. 그리고 b_{ij} 는 i의 이진수 값의 LSB에서부터 j번째 비트 값을 의미한다. ^[15] n개의 입력 변수를 가지는 경우 출력함수가 최대 n 차 항을 가질 수 있다는 점에서 pRAM은 비선형적인 특성을 나타낸다. 입력이 2 개인 2-pRAM의 출력 함수식은 다음과 같다.

$$F(x_2, x_1) = \omega_0(1-x_2)(1-x_1) + \omega_1(1-x_2)x_1 + \omega_2x_2(1-x_1) + \omega_3x_2x_1 \quad (7)$$

이와 같은 pRAM의 입출력 관계를 살펴보면 n 개의 입력을 가지는 n-pRAM은 임의의 n 차원의 값을 1 차원으로 대응시키는 식임을 알 수 있다.

III 오차 역전과 알고리즘의 유도

pRAM을 학습시키기 위한 알고리즘중 먼저 제안되었던 방법은 강화 학습(reinforcement learning) 방법이다. ^[14] 본 논문에서는 이 학습 방법의 대안이 될 수 있는 오차 역전과 학습 알고리즘을 다음과 같이 유도한다. 주어진 한 입력 패턴에 대해 오차를 다음과 같이 정의한다.

$$E = \frac{1}{n_o} \sum_{k=1}^{n_o} (t_k - o_k)^2 \quad (8)$$

여기서 t_k 는 k번째 출력 노드(node)의 목표값, o_k 는 k번째 출력 노드의 값, 그리고 n_o 는 출력 노드의 수를 의미한다. 이때 출력층의 노드 k에서의 오차 e_k 는 다음과 같이 정의 된다.

$$e_k = t_k - o_k = e_k^+ - e_k^- \quad (9)$$

여기서 e_k^+, e_k^- 는 각각 e_k 의 양의 성분과 음의 성분을 의미하며 이렇게 e_k 를 분리하는 이유는 단극성 수표 현에서는 음의 값을 나타낼 수 없기 때문이다.

e_k^+, e_k^- 를 나타내는 식은 다음과 같이 표현할 수 있다.

$$e_k^+ = t_k(1 - o_k) \quad (10)$$

$$e_k^- = o_k(1 - t_k) \quad (11)$$

입력층, 은닉층, 출력층의 3 개의 층으로 구성된 일반적인 다층 신경망에 대응될 수 있는 그림 5와 같은 2 층으로 이루어진 pRAM 회로망에 대해 오차 역전과 알고리즘은 다음과 같다.

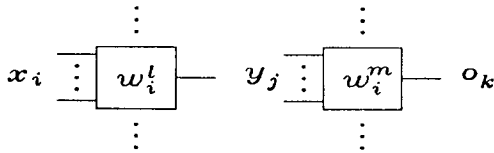


그림 5. 2 개의 층으로 구성된 pRAM 회로망

Fig. 5. 2-layered pRAM network.

출력층의 출력 o_k 는 입력층의 출력인 동시에 출력층의 입력인 y 에 의해 다음과 같이 나타내어 진다.

$$o_k = \sum_{i=0}^{2^n-1} \omega_i^m \prod_{j=1}^n y_j^{b_{ij}} (1 - y_j)^{1-b_{ij}} \quad (12)$$

이때 n 은 pRAM의 입력 갯수, ω_i^m 는 출력층에 연결된 m 번째 pRAM의 주소 i 의 메모리 값, b_{ij} 는 i 의 이진값의 j 번째 비트를 나타낸다. - 예를 들어 $i = 5$ 인 경우 $b_{5,2}$ 는 5의 이진수인 101의 2 번째 비트 값인 0 을 의미한다.

가중치가 변화되는 방향은 오차 E 의 기울기를 따라 제공한 오차의 평균(Mean Squared Error)이 작아지는 방향이며, 가중치의 갱신(update)되는 값은 다음과 같이 쓸 수 있다.

$$\Delta \omega_i^m = -\eta \frac{\partial E}{\partial \omega_i^m} = -\eta \frac{\partial E}{\partial o_k} \frac{\partial o_k}{\partial \omega_i^m} = -\eta (e_k^+ - e_k^-) \frac{\partial o_k}{\partial \omega_i^m} \quad (13)$$

이때 $\frac{\partial o_k}{\partial \omega_i^m}$ 는

$$\frac{\partial o_k}{\partial \omega_i^m} = \frac{\partial}{\partial \omega_i^m} \sum_{i=0}^{2^n-1} \omega_i^m \prod_{j=1}^n y_j^{b_{ij}} (1 - y_j)^{1-b_{ij}} = \prod_{j=1}^n y_j^{b_{ij}} (1 - y_j)^{1-b_{ij}} = d(i, m) \quad (14)$$

이고, η 는 학습율(learning rate)을 의미한다.

위 식을 다시 쓰면

$$\Delta \omega_i^m = \eta (e_k^+ - e_k^-) d(i, m) = \eta (e_k^+ - e_k^-) \prod_{j=1}^n y_j^{b_{ij}} (1 - y_j)^{1-b_{ij}} \quad (15)$$

가 되고, 따라서 갱신되는 출력층 가중치의 양의 값과 음의 값은 다음과 같이 된다.

$$\Delta \omega_i^{m+} = \eta e_k^+ d(i, m) = \eta e_k^+ \prod_{j=1}^n y_j^{b_{ij}} (1 - y_j)^{1-b_{ij}} \quad (16)$$

$$\Delta \omega_i^{m-} = \eta e_k^- d(i, m) = \eta e_k^- \prod_{j=1}^n y_j^{b_{ij}} (1 - y_j)^{1-b_{ij}} \quad (17)$$

입력층의 j 번째 노드의 출력값을 y 라 하면 y 의 식은 다음과 같다.

$$y_j = \sum_{i=0}^{2^n-1} \omega_i^l \prod_{j=1}^n x_j^{b_{ij}} (1 - x_j)^{1-b_{ij}} \quad (18)$$

이때 출력층의 k 번째 노드에서 입력층으로 전파되는 오차는 다음과 같다.

$$\delta_k = \frac{\partial E}{\partial o_k} \frac{\partial o_k}{\partial y_k} = (e_k^+ - e_k^-) \sum_{i=0}^{2^n-1} \omega_i^m (-1)^{b_{ik}} \prod_{j=1}^n y_j^{b_{ij}} (1 - y_j)^{1-b_{ij}} \quad (19)$$

$$= \delta_k^+ - \delta_k^-$$

입력층의 가중치의 갱신을 위한 식은

$$\Delta \omega_i^l - \eta \frac{\partial E}{\partial \omega_i^l} = -\eta \sum_{k=0}^N \frac{\partial E}{\partial o_k} \frac{\partial o_k}{\partial y_k} \frac{\partial y_k}{\partial \omega_i^l} = \eta \sum_{k=0}^N \delta_k \frac{\partial y_k}{\partial \omega_i^l} \quad (20)$$

여기서, N 은 입력층의 한 노드에 대한 팬아웃(fanout) 수를 의미한다.

가중치 갱신의 양의 값과 음의 값은 다음과 같이 표현된다.

$$\Delta \omega_i^{l+} = \eta \sum_{k=0}^N \delta_k^+ \prod_{j=1}^n y_j^{b_{ij}} (1 - y_j)^{1-b_{ij}} = \eta \sum_{k=0}^N \delta_k^+ d(i, l) \quad (21)$$

$$\Delta \omega_i^{l-} = \eta \sum_{k=0}^N \delta_k^- \prod_{j=1}^n y_j^{b_{ij}} (1 - y_j)^{1-b_{ij}} = \eta \sum_{k=0}^N \delta_k^- d(i, l) \quad (22)$$

위의 식들과 유사한 방법으로 그림 5에 보여진 2층의 경우 뿐 아니라 다수의 은닉층이 존재하는 경우에 대한 오차 역전파 식도 (18)-(22)와 같은 방법으로 유도될 수 있다.

IV. pRAM 회로

pRAM의 하드웨어는 순방향(forward) 연산을 위한 회로와 학습을 위한 오차 역전파 회로로 나누어 생각할 수 있다.

1. 순방향 연산을 위한 회로

순방향의 연산을 위해 필요한 하드웨어는 그림 4에서와 같이 RAM, 난수 발생기 및 펄스 발생 회로로

구분된다. n 개의 입력을 가지는 pRAM에서 RAM 블럭은 n 비트 주소 입력과 이에 의해 지정되는 2^n 개의 저장 장소로 구성되어 있다. 이때 가중치 즉 펄스 발생 확률 값을 저장하는 기억 장소에 저장된 가중치의 비트 수는 필요에 따라 달라질 수 있다. 기억 장소에 저장된 가중치를 펄스열로 변환하는 데 난수 발생기가 사용된다. 이 난수 발생기가 만족하여야 할 중요한 조건은 여기서 발생하는 난수가 균일하게 분포해야 하고, 자체 상관 관계(auto-correlation)가 적어야 한다는 점이다. 난수 발생기를 위한 대표적인 것으로는 LFSR(linear feedback shift register)이나 cellular automata 등을 이용할 수 있다.^[6.7] 펄스 발생 회로는 가중치를 펄스열로 변환시키는 역할을 한다. 이 펄스열로 변환시키는 데 비교기를 사용하는 것은 필요한 비교기의 수가 많고, 난수 발생기와 가중치의 비트수가 증가함에 따라 비교기가 복잡해지기 때문에 피해야 한다. 이를 해결하기 위한 방법으로 그림 6과 같은 펄스 발생 회로를 사용하면 된다. 그리고, 이 펄스 발생 회로에서 발생하는 각 출력 신호와 이에 상응하는 디코더된 신호를 AND를 한 후, 모두를 OR를 통해 얻어지는 논리합이 pRAM의 최종 출력이 된다.

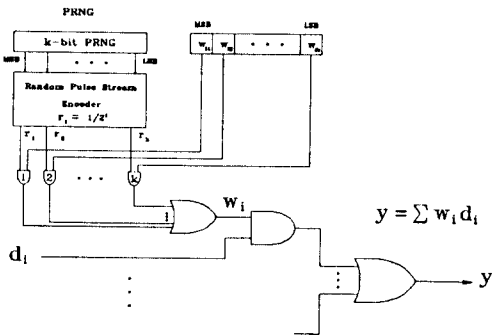


그림 6. 펄스 발생을 위한 회로
Fig. 6. Circuit to convert a register value to a pulse stream.

2. 오차 역전파를 위한 회로

오차 역전파와 학습 기능을 포함하는 현장 학습이 가능한 pRAM의 블럭도는 그림 7과 같다. 단극성 수 표현에서는 오차 역전파를 위하여 오차를 음의 성분과 양의 성분으로 분리한 식 (10)과(11), 그리고 역전파 오차 계산을 위한 식(19)을 $n=2$ 인 2-pRAM의 경우에 대하여 그림 8과 같은 회로로 구성할 수 있다. 이 계산에서 필요한 신호는 디코더의 출력과 펄스열로 변환된 가중치이다.

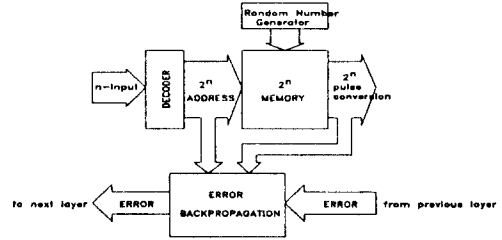


그림 7. 오차 역전파와 학습 기능을 가진 pRAM의 블럭도

Fig. 7. Block diagram of pRAM with backpropagation learning.

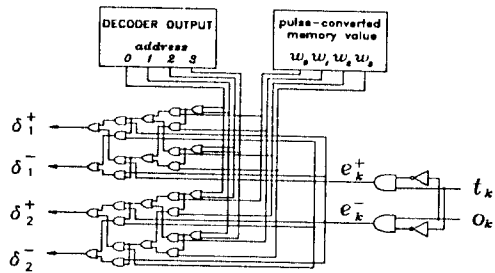


그림 8. 2-pRAM의 오차 전파를 위한 회로
Fig. 8. Error backpropagation of 2-pRAM.

기억 장소에 저장된 가중치 값을 갱신하기 위한 식 (20)도 전파되어 온 오차의 신호에 비례하는 값이므로 카운터를 이용하여, 그림 9와 같이 양의 오차 성분을 카운터를 증가시키는 신호, 음의 오차 성분을 카운터를 감소시키는 신호, 그리고 어떤 시간에서 기억 장소를 지정하는 신호를 카운터의 선택 신호로 쓰면 총 시간 T 후에 카운터에 저장된 값은 갱신되는 가중치 값이 된다. 따라서 이때 카운터에 저장된 값

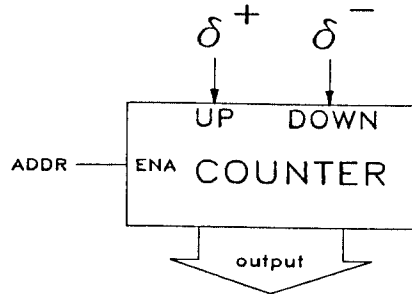


그림 9. 가중치 값의 갱신을 위한 회로의 블럭도
Fig. 9. Block diagram of circuits for updating memory values.

을 기억 장소로 써주면 학습을 위한 한 주기가 끝나게 된다. ^[2]

V. 모의 실험

앞에서 유도한 오차 역전과 학습 알고리즘을 확인하기 위해 XOR 문제와 숫자 인식 문제에 대한 모의 실험을 하였다. 그림 10의 pRAM 회로망을 이용하여 XOR를 학습한 모의 실험의 학습 곡선은 그림 11과 같으며, 학습이 학습율이 클수록 빨리 이루어지는 특징을 가지고 있다. ^[5]

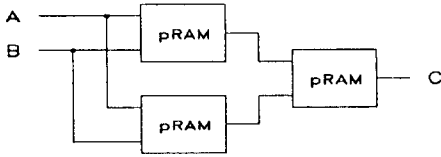


그림 10. XOR 학습을 위한 회로망
Fig. 10. Network of 2-pRAMs for XOR learning.

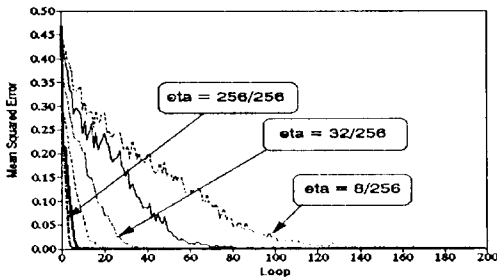


그림 11. XOR의 학습 곡선
Fig. 11. Learning curves of XOR.

이 밖에도 오차 역전과 학습알고리즘을 적용한 2개의 입력을 가지는 2-pRAM 회로망의 모의 실험을 통해 동형사상(identity mapping), 전가산기(full adder) 및 간단한 논리 회로들도 잘 학습이 됨을 확인했다. ^[6] pRAM 구조는 디지털 영역 문제의 학습에 좋은 결과를 보이고 있다. pRAM 회로망은 또한 패턴 인식을 위해서도 쓰일 수 있는데, 여기서는 pRAM이 패턴 인식이 가능함을 보이기 위해 PC에서 사용되는 8x8 크기의 10개의 숫자를 인식하는 실험하였다. 그림 12와 같은 8x8 크기의 숫자 10개의 패턴을 학습하기 위해서 8개의 입력을 가지는 8-pRAM으로 구성된 그림 13과 같은 회로망을 이용하였다. 입력의 한 화소(pixel)는 pRAM 회로망의 입

력 한 개에 해당하며, 출력 4 개에 의해 이진 형태로 부호화(coding)된 결과를 내도록 하였다. 즉 패턴 1은 출력 0001에 해당하고, 패턴 2는 출력 0010에 해당하는 방법으로 해서 1부터 0까지의 10개의 패턴에 대한 부호화된 출력을 낸다. 학습한 결과 10개의 숫자 모두를 잘 학습하였으며, 다른 결과와 마찬가지로 큰 학습율에서도 학습이 잘 되었다. 다음 그림 14, 15, 16은 위의 회로망에 의한 서로 다른 학습율에 따른 결과를 나타낸 것이다.

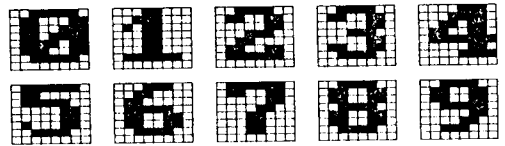


그림 12. 10개의 8x8 크기의 숫자 패턴
Fig. 12. 10 digit patterns of 8x8 pixels.

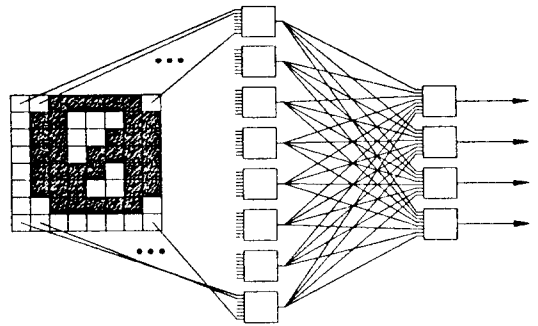


그림 13. 8x8 패턴을 학습하기 위한 회로망
Fig. 13. Network for 8x8 size pattern learning.

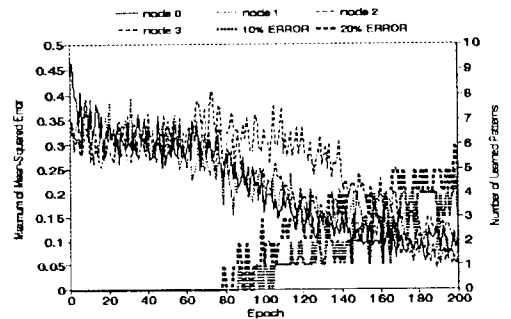


그림 14. 숫자 패턴의 학습 곡선 (학습율 0.05)
Fig. 14. Learning curves of 10 digit patterns (learning rate 0.05).

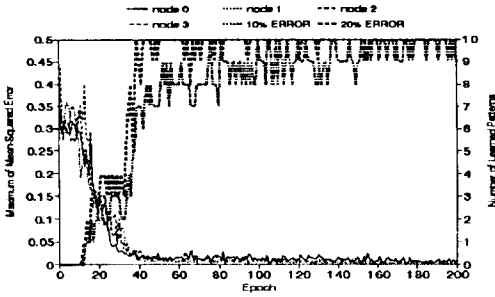


그림 15. 숫자 패턴의 학습 곡선 (학습율 0.4)
 Fig. 15. Learning curves of 10 digit pattern (learning rate 0.4).

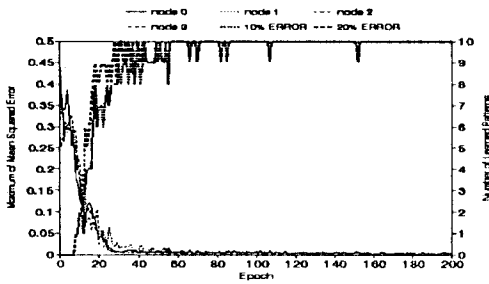


그림 16. 숫자 패턴의 학습 곡선 (학습율 0.8)
 Fig. 16. Learning curves of 10 digit pattern (learning rate 0.8).

VI. 결론

본 논문에서는 입력 벡터에 의해서 한 기억 장소가 지정될 확률이 그 기억 장소에 저장된 가중치를 곱한 값과 같은 기대값을 가지는 출력 펄스열을 발생하는 pRAM을 위한 학습 방법으로서, 오차 역전파 알고리즘을 유도하고 이를 구현하기 위한 회로 구조를 제시하였다. 이러한 오차 역전파 학습 방법을 pRAM 신경망에 모의 실험을 한 결과에서 이진 영역의 디지털 문제에 대해 좋은 결과를 보이고 있다. XOR와 같은 문제에 대해서는 현재의 다층 신경망 구조에 비해 작은 회로망으로도 학습능력이 좋다. 이것은 n-pRAM의 입출력 관계가 이진 영역의 n 변수의 입력을 1차원 이진 영역의 값으로 대응시키는 임의의 함수를 학습할 수 있기 때문이다. 따라서 이진 영역의 문제인 경우 적절한 크기의 회로망이 주어지면 학습이 가능하다. 그러나, 현재의 하드웨어 구조로는 입력 n이 커질 경우 주소 공간은 2ⁿ이 되므로 입력 n의 수를 늘이는 데는 한계가 있기 때문에 많은 수의 입

력을 필요로 하는 문제를 해결하고자 하는 경우 제한된 입력을 가지는 pRAM을 이용한 회로망을 구성하여야 한다. 현재까지 시도된 문제들에 대해서 pRAM을 위한 학습 방법으로 확률 연산을 이용한 오차 역전파 알고리즘은 오차 역전파를 이용하는 기존의 다층 신경망과 비교할 때, 회로망이 충분한 능력이 있다면 수렴을 잘하고 또 빨리 수렴하며, 학습율에 비교적 무관하게 동작하는 것을 확인 하였다. 앞으로 남은 과제로는 강화 학습과 오차 역전파 학습 방법을 직접 비교 하는 실험 및 실제적인 문제에 적용하기 위한 개선된 하드웨어 구조등에 대한 연구 등이다.

參考文獻

- [1] M.S. Tomlinson Jr., D.J. Walker, and M.A. Sivilotti, "A Digital Neural Network Architecture for VLSI," *Proc. IJCNN*, vol. 2, pp. 545-550, 1990.
- [2] 서정원, "Stochastic Pulse Coding을 이용한 신경회로망의 구현," 서울대학교 석사 논문, 1993.
- [3] D. Gorse and J.G. Taylor, "On the Identity and Properties of Noisy Neural and Probabilistic RAM Nets," *Physics Letters A*, vol. 131, pp. 326-332, 1988.
- [4] D. Gorse and G. Taylor, "A Continuous Input RAM-Based Stochastic Neural Model," *Neural Networks*, vol. 4, pp. 657-665, 1991.
- [5] P. Mars and W.J. Poppelbaum, *Stochastic and Deterministic Averaging process*, London Peter Penguins, 1981.
- [6] E. Lee, J. Won, S. Chae, "Modified Probabilistic RAM Architecture for VLSI Implementation of a Backpropagation Learning Algorithm," *Proc. ISCAS*, pp. 1897-1900, May, 1993.
- [7] P.H. Bardell, W.H. McAnney, and J. Savir, *Built-in Test for VLSI : Pseudorandom Techniques*, John Wiley & Sons Inc., 1987.
- [8] P.D. Hortensius, R.D. Mcleod, and H. C. Card, "Parallel Random Number Generation for VLSI Systems Using Cellular Automata," *IEEE Trans. on Computers*, vol. 38, no.10, pp. 1466-

1473, Oct. 1988.

[9] 원재희, 채수익, "A pRAM Structure for Backpropagation Learning Algorithm."

인공 지능 신경망 및 퍼지 관련 학술 발표회 논문집 pp. 42-45, May, 1993.

著 者 紹 介



元 載 喜(正會員)

1970年 3月 5日生. 1992年 2月 서울대학교 전자공학과(학사). 1992年 3月 현재 서울대학교 대학원 전자공학과 석사과정 재학중. 주관심 분야는 신경회로망과 집적 회로 설계 등임.



蔡 洙 翊(正會員)

1952年 11月 2日生. 1976年 2月 서울대학교 전기공학과 (학사). 1978年 2月 서울대학교 대학원 전기 공학과 (석사). 1978年 8月 1982年 3月 공군사관학교 교수부 교관. 1987年 (美)Stanford 대학교 전기공학과 (박사). 1987年 11月 ~ 1988年 7月 ZyMos Corp. Design Manager. 1988年 8月 ~ 1990年 5月 대우통신 근무. 1990年 7月 ~ 현재 서울대학교 반도체 공동연구소 및 전자공학과 조교수. 주관심 분야는 신경회로망과 집적회로 설계 등임.