

論文94-31A-1-14

회로 레벨의 신뢰성 시뮬레이션 및 그 응용

(Circuit-Level Reliability Simulation and Its Applications)

千柄植*, 崔倉熏*, 金敬昊*

(Byung Sik Chun, Chang Hoon Choi and Kyung Ho Kim)

要約

본 논문에서는 반도체 소자와 메탈라인의 미세화로 인한 hot-carrier 및 electromigration 효과에 대한 신뢰성 문제를 예측하는 SECRET(SEC RELiability Tool)에 대하여 기술한다. Hot-carrier에 의한 소자의 DC 및 AC 수명시간을 예측하기 위하여 sensitivity 파라미터를 갖는 기판전류 모델을 개발, 이식하였으며 그 정확성을 여러가지 트랜지스터의 측정 데이터를 통하여 검증하였다. 그리고 hot carrier 효과에 취약한 소자에 대하여 HOT-carrier REsistant Logic(HOREL) 적용효과 분석을 할 수 있어 신뢰성이 높은 회로를 제작하는데 도움이 되며, 문턱전압 이동도 등의 전기적 특성변화에 대응한 회로의 특성 감쇄 시뮬레이션을 실행할 수 있다. 또한 lossy transmission line 해석을 통하여 high speed에서 동작하는 메탈라인의 R, L, C 값을 모델링하여 전류 밀도를 구하고 이로부터 DC 및 AC MTTF(Median Time To Failure)를 계산할 수 있다. 또한, 회로 레벨의 신뢰성 시뮬레이션을 사용하여 메탈라인의 폭 결정과 기판 전압 발생회로의 커패시터 크기 최적화에 응용할 수 있다. SECRET를 여러가지 실제 회로에 적용한 결과 신뢰성 예측 및 분석에 유용한 틀임을 알 수 있었다.

Abstract

This paper presents SECRET(SEC RELiability Tool), which predicts reliability problems related to the hot-carrier and electromigration effects on the submicron MOSFETs and interconnections. To simulate DC and AC lifetime for hot-carrier damaged devices, we have developed an accurate substrate current model with the geometric sensitivity, which has been verified over the wide ranges of transistor geometries. A guideline can be provided to design hot-carrier resistant circuits by the analysis of HOREL(HOT-carrier REsistant Logic) effect, and circuit degradation with respect to physical parameter degradation such as the threshold voltage and the mobility can also be expected. In SECRET, DC and AC MTTF values of metal lines are calculated based on lossy transmission line analysis, and parasitic resistances, inductances and capacitances of metal lines are accurately considered when they operate in the condition of high speed. Also, circuit-level reliability simulation can be applied to the determination of metal line width and that of optimal capacitor size in substrate bias generation circuit. Experimental results obtained from the several real circuits show that SECERT is very useful to estimate and analyze reliability problems.

* 正會員, 三星電子 半導體部門 製品開發센터
CAE 그룹
(CAE Group, Memory Product Develop

Center, Semiconductor Business, Samsung
Electronics)
接受日字 : 1993年 6月 28日

I. 서론

II. 본론

반도체 소자 제조기술이 급격히 빠른 속도로 발전됨에 따라 디바이스와 배선의 크기가 극소화 되었지만 이에 따른 소자와 칩의 신뢰성 문제가 이슈로 대두되고 있다. 신뢰성 문제를 해결하기 위해서는 설계와 제조단계에서 이를 고려해야 하지만, 신뢰성 문제를 정확하게 예측할수 있는 방안이 없어서 칩의 신뢰성은 테스트 단계에 이르러서야 문제점을 발견하는 경우가 생겨 큰 손실을 초래하고 있는 실정이다. 따라서 주어진 공정기술과 회로에 따른 각종 신뢰성 문제를 설계 단계에서 효과적으로 예측하고 분석할 수 있는 툴이 필요하게 되었다.

집적회로의 미세화에 따른 hot carrier 효과, electromigration, oxide wearout, electrostatic discharge, latch-up, radiation 효과 등과 같은 문제들을 설계단계에서 고려하기 위하여 여러가지 failure 모델들을 통한 신뢰성 시뮬레이션이 시작되었는데 지금까지 개발된 대표적인 reliability simulator들과 그 기능은 표 1과 같다.

표 1. 신뢰성 시뮬레이터 목록
Table 1. Lists of reliability simulators.

종명	개발처	기능
BEAT[1]	U.C. Berkeley	Hot carrier effect, oxide wearout, electromigration, circuit aging effect, BJT circuit aging
HOTRON[2]	T.I.	Hot carrier effect, electromigration*, mechanical stress*
RELY[3]	USC	Hot carrier effect, electromigration*, oxide quality*
Illlads[4]	Illinois Univ.	Hot carrier effects by timing simulation
CREST[5]	Illinois Univ.	Electromigration by rapid simulation
RELIANT[6]	CLEMSON Univ.	Electromigration effect

* 이탤릭체는 현재 진행중임

본 논문의 SECRET는 기관전류 모델링과 hot carrier 효과에 대한 소자의 수명 예측기능 및 소자 특성 감쇄에 따른 모델 파라미터 추출 기능, hot carrier 효과에 강한 회로의 효과 분석등을 회로 시뮬레이션 단계에서 제공하고 있다.

또한 lossy transmission line 해석을 통한 메탈 라인의 MTTF(Median Time To Failure)를 구할 수 있는 기능을 제공하고 있으며, 설계 효율화를 위해 메모리 기관 바이어스 생성 회로인 VBB 발생기의 커패시터 최적화 기능과 신뢰성 있는 메탈라인의 폭을 제시하는 기능등, 신뢰성에 관련된 각종 모델링 및 이들을 분석, 응용할 수 있는 집적된 환경을 제공하고 있다.

SECRET는 집적회로 설계 단계에서 각종 신뢰성을 예측하기 위한 툴로써 전체적인 구성은 그림 1과 같다. 즉, 입력 네트리스트와 신뢰성 예측을 위한 파라미터와 데이터를 받아들여 선처리(pre-processing)하고 데이터베이스를 구성한 다음 회로 시뮬레이션을 수행한다. 회로 시뮬레이션의 결과에 모델링을 적용하여 각종 신뢰성 문제를 측정하고 이를 분석하게 된다. 메인 모듈은 수행하는 기능에 따라 3가지 세부 모듈로 나누어지는데 hot carrier, electromigration, 그리고 최적화 및 감쇄 분석모듈이 그것들이다. 그림 2는 SECRET의 메인 윈도우, 결과분석 테이블 및 파형 분석기등 전체 시스템의 구성을 보여준다.

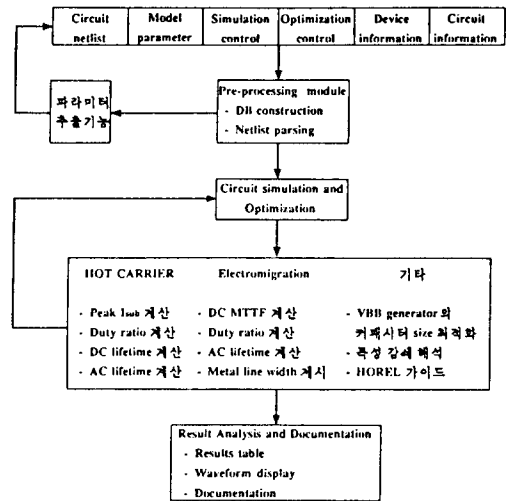


그림 1. SECRET 구성도
Fig. 1. SECRET configuration.

1. 기관전류 모델링 및 hot-carrier 효과
(1) 기관전류 모델링

기관전류는 hot carrier의 발생에 밀접한 관련이 있어서 hot carrier 효과를 정확하게 예측할수 있는 가장 간편한 인자로서 이에 대한 정확한 모델링이 신뢰성을 예측하는데 있어 필수적이다. SECRET에는 기관전류 모델이 이식되어 있어 시뮬레이션을 통한 기관전류의 추출이 가능하다.

NMOS의 경우 기관전류는 다음의 기본식으로 표현된다.

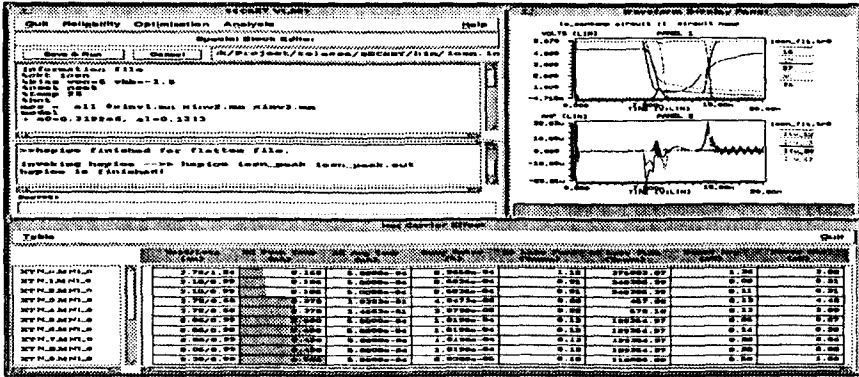


그림 2. 메인 윈도우 및 결과분석 화면들
Fig. 2. Main window and results analyzer.

$$I_{sub} = I_{ds} \cdot A \int_{y=0}^{l_{sat}} \exp(-B/E) dy \quad (1)$$

여기서 A, B는 이온화 상수(ionization constant), l_{sat} 는 채널의 속도포화된 길이(velocity saturated length of channel), E는 채널 전계(channel electric field)이다.

Quasi-2-dimensional model을 적용하여 E(y), V(y)를 풀면⁹⁾,

$$E(y) = E_{sat} \cosh(y/l_d) \quad (2)$$

$$V(y) = V_{dsat} + l_d \cdot E_{sat} \cdot \sinh(y/l_d) \quad (3)$$

가 된다. 여기서 l_d 는 유효 이온화 길이(effective ionization length)를 나타낸다. y는 채널 방향을 따라 증가하는 길이로서 y = 0인 지점에서 캐리어의 속도가 포화되기 시작하며, 이때의 수평방향 전계는 E_{sat} 이 된다. 따라서 포화 영역에서의 전압과 전계는 각각 V_{dsat} , E_{sat} 이 되므로 식 (2), (3)으로 부터 E(y)를 구하면, 식 (4)와 같이 된다.¹⁰⁾

$$E(y) = \frac{-dV}{dy} = \sqrt{\frac{(V(y) - V_{dsat})^2}{l_d^2} + E_{sat}^2} \quad (4)$$

적분 변수 dy를 dE로 바꾸고 E_{sat} 에서 E_m 까지 적분하면,

$$I_{sub} = I_{ds} \cdot A \cdot l_d \int_{E_{sat}}^{E_m} \frac{1}{\sqrt{(E_m^2 - E_{sat}^2)}} \exp\left(-\frac{B}{E}\right) dE \quad (5)$$

이 된다. 그런데 식 (5)는 다음과 같이 근사화 시킬 수 있다.

$$I_{sub} = I_{ds} \cdot A \cdot l_d \frac{1}{\sqrt{(E_m^2 - E_{sat}^2)}} \frac{E_m^2}{B} \exp\left(-\frac{B}{E_m}\right) \quad (6)$$

한편, 식 (4)에서 $V = V_{ds}$ 라 하고, E_{sat} 을 무시하면 E_m 은 다음과 같이 근사된다.

$$E_m = (V_{ds} - V_{dsat}) / l_d \quad (7)$$

따라서 식 (6)은 다음과 같이 될 수 있다.

$$I_{sub} = I_{ds} \cdot \frac{A}{B} \cdot (V_{ds} - V_{dsat}) \exp\left(-\frac{l_d \cdot B}{V_{ds} - V_{dsat}}\right) \quad (8)$$

그러나 식 (8)은 oxide의 두께가 200Å 이하에서는 측정치와 잘 맞지 않아서 Arora는 최대 전계치를 다음과 같은 실험식으로 표현하였다.¹⁷⁾

$$E_m = \frac{(V_{ds} - \eta \cdot V_{dsat})}{l_d} \quad (9)$$

여기서는 실험적인 파라미터(technology dependent fitting parameter)로서 공정에 따라 다른 값을 갖는다.

그리고 유효 이온화 길이 l_d 를 드레인-소오스간 전압 V_{ds} , 게이트-소오스간 전압 V_{gs} 바이어스에 의존적인 실험식을 제안하였다.¹⁷⁾

$$l_d = l_0 + l_1(V_{ds} - V_{geff}) + l_2(V_{ds} - V_{geff})^2 \quad (10)$$

여기서 $V_{geff} = V_{gs} - V_{th}$ 이다.

식 (9), (10)을 식 (8)에 적용하면,

$$I_{sub} = I_{ds} \cdot A/B \cdot (V_{ds} - \eta \cdot V_{dsat}) \exp\left\{-\frac{B}{(V_{ds} - \eta \cdot V_{dsat})} \left[l_0 + l_1 \cdot (V_{ds} - V_{geff}) + l_2 \cdot (V_{ds} - V_{geff})^2 \right] \right\} \quad (11)$$

와 같은 최종식을 도출할 수 있다.

여기서 각각의 파라미터들은 온도에 따른 1차 함수 식으로 표현이 되어 있어서 온도 변화에 따른 기판전류량을 구할 수 있다.^[7]

그러나 하나의 파라미터 서으로 식 (11)은 여러가지의 트랜지스터 크기에 대해서는 잘 맞지 않는다. 따라서 SECRET에서는 각 파라미터에 대하여 길이 및 넓이 sensitivity 파라미터를 추가하여 하나의 파라미터 서으로 여러가지의 트랜지스터 크기에 잘 맞도록 수정하였다.

예를 들어 파라미터 A에 대하여,

$$A = A0 + \frac{A1}{Leff} + \frac{Aw}{Weff} \quad (12)$$

가 된다. 여기서 A1은 A0의 길이 sensitivity 파라미터, Aw는 A0의 넓이 sensitivity 파라미터, Leff는 유효 채널 길이(effective channel length), Weff는 유효 채널 넓이(effective channel width)이다.

필요한 파라미터들은 표 2에 정리하였으며, 파라미터 추출을 위하여 SECRET에서는 파라미터 추출기능을 제공하고 있다.

표 2. 기판전류 모델에 관련된 파라미터들
Table 2. Model parameters for substrate current model.

표 2

PARAMETER NAME	DEFAULT	UNIT	DESCRIPTIONS
A0	0.319	10 ⁶ cm ⁻¹	Impact ionisation rate
A1	0.131	.	Length sensitivity of A0
Aw	0.0	.	Width sensitivity of A0
B0	2.17	10 ⁶ cm ⁻¹	Impact ionisation rate
B1	-0.242	.	Length sensitivity of B0
Bw	0.0	.	Width sensitivity of B0
ata0	0.915	.	Fitting parameter for I _{sa} calculation
etal	-0.227	.	Length sensitivity of ata0
etaw	0.0	.	Width sensitivity of ata0
10	13.05	μm	Fitting parameter for I _d calculation
10l	0.74	.	Length sensitivity of 10
10w	0.0	.	Width sensitivity of 10
11	-1.92	μm	Fitting parameter for I _d calculation
11l	0.161	.	Length sensitivity of 11
11w	0.0	.	Width sensitivity of 11
12	0.10	μm	Fitting parameter for I _d calculation
12l	-0.001	.	Length sensitivity of 12
12w	0.0	.	Width sensitivity of 12

(2) Hot Carrier 효과와 소자의 수명시간(lifetime)

MOSFET에서의 hot carrier 주입은 드레인의 고전계에 의해 가속된 높은 에너지를 가진 캐리어가 Si-SiO₂ 계면에서의 에너지 장벽을 넘어서 게이트 산화막 안으로 주입, 산화막 계면이나 그 내부에 포획되어 소자의 문턱전압등의 변화를 가져와 소자특성을 변화시킨다. 소자의 신뢰성 기준이 되는 수명시간을

구하기 위하여 흔히 최대기판 전류가 발생하도록 stress를 가하는 조건에서 Ids 전류값이 처음의 값에 대하여 10% 감소될 때까지의 stress 시간을 소자의 DC 수명시간이라고 정의하며, 실제 트랜지스터가 회로내에서 동작할 때의 AC 수명시간은 소자가 동작하는 비율인 duty ratio를 이용하여 DC 수명시간으로부터 환산하는 방법을 사용한다.^[6]

SECRET에서는 hot carrier에 의한 NMOS의 DC 및 AC 수명시간을 시뮬레이션하여 주어진 회로에서 신뢰성이 작은 소자들을 관찰할수 있는데, 그림 3은 이에 관련된 프로그램 순서도이다.

DC 수명시간 계산은 채널 길이나 바이어스 조건에 무관하며 단지 기판전류에 의해서만 결정되므로 식 (13)과 같이 표현할 수 있다.^{[10], [11]}

$$DC \text{ 수명시간} = K \cdot I^{n_{peak dc}} \quad (13)$$

여기서 K, n은 실험을 통해 구해진 상수이다.

Duty ratio의 계산은 Sakurai의 연구결과를 인용하여 다음과 같이 구할 수 있다.^[16]

$$Duty \text{ ratio} = \frac{\int I_{sub} dt}{t_{cyclo} * I_{sub, peak}} \quad (14)$$

Sheu등이 제안한 AC 수명시간 계산방법은^[2] 시뮬레이션 이전에 회로의 특성을 파악해야하므로 일반적이지 못하기 때문에, SECRET에서는 Horiuchi의 실험결과 식을 인용, AC 수명시간을 DC 수명시간과 duty ratio의 비로 다음과 같이 간략히 표현하였다.^[10] 이를 통하여 정확한 AC 수명을 예측하기는 어려우나, 회로의 동적 동작특성에 따른 소자의 상대적인 감쇄상태는 예측이 가능할 것으로 보인다.

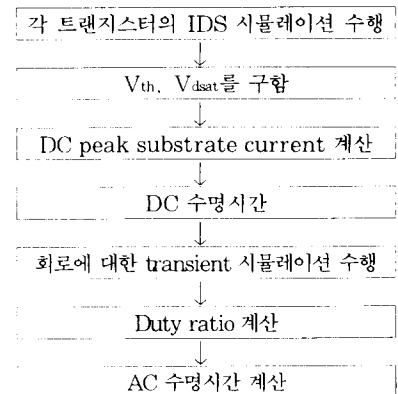


그림 3. 소자의 수명계산 흐름도

Fig. 3. Flow of device lifetime calculation.

$$AC \text{ 수명시간} = \frac{DC \text{ 수명시간}}{\text{Duty ratio}} \quad (15)$$

2. Transmission line 해석으로부터의 금속 배선의 MTTF 추출

Electromigration에 의한 배선의 단선률로서, 측정한 전체 배선에서 50%가 단선될 때의 시간을 MTTF라 하며 이때의 금속 배선의 MTTF는 식 (16)과 같은 실험식으로 알려져 있다. 전류밀도에 따른 MTTF의 변화는 $-n$ 승에 비례하는데 이 n 값은 1.8-2.3 정도이며 활성화 에너지(Ea)는 0.5-0.6eV 정도이며 passivation을 하였을 경우에는 0.6-0.8 정도의 값을 가진다. [12] [13]

$$MTTF = \frac{D \cdot W \cdot th}{J^n} \exp\left(\frac{E_a}{kT}\right) \quad (16)$$

여기서 $D = G \cdot \sigma \cdot v / (\rho \cdot l)$ 이고, G 는 상수, v 는 전자 속도(electron velocity), ρ 는 체 저항(volume resistivity), σ 는 ionic scattering cross-section, l 은 mean free path, W 는 넓이, th 는 두께, E_a 는 활성화 에너지(activation energy)이다.

DC MTTF는 식 (16)을 따르며 AC MTTF는 duty ratio로 나누게 된다. 먼저 메탈라인에서의 DC 전류를 구하여 금속 스펙으로 부터 DC 전류밀도를 구하고, 이로부터 DC MTTF를 구한다. 그 다음 lossy transmission line 해석 [14]을 수행하여 high speed에서 동작하는 메탈라인을 transmission line으로 간주하여 이를 등가회로로 바꾼 후, line의 시간변화에 따른 전류의 적분값을 구하고 이를 DC 전류의 적분치로 나누어서 duty ratio를 계산한 다음, AC 수명시간을 구한다. 이때 AC MTTF는 DC MTTF를 duty ratio의 제곱승으로 나누게 되는데 이는 AC MTTF는 on/off 시에 이동하는 Al 원자가 내부 전위에 의해 어느정도 복구되기 때문이다. [15] SECRET는 transmission line을 사용하여 길이, 넓이, 두께와 같은 금속배선의 스펙만을 통하여 R, L, C 값을 등가적으로 구할수가 있으므로 레이아웃으로부터 기생 파라미터 추출이 필요하지 않다.

3. 회로의 특성 감쇄 시뮬레이션 및 기타 기능

소자의 특성 감쇄에 대한 회로의 특성 시뮬레이션은 주어진 NMOS와 PMOS의 문턱전압, 이동도, 드레인-소오스간 전류 I_{ds} 의 감쇄도에 따른 모델 파라미터들을 재 추출하여 감쇄 이전과 감쇄 이후의 회로 특성을 동시에 관찰할 수 있다. 예를들어 현재의 공정에서 V_{ds} 에 따른 전류값이 10% 감소된 공정에 대한 모델

파라미터 서을 마련해준다. 그림 4는 공정변화에 대한 전류의 특성변화를 보여준다. 여기서 실선은 원래의 전류값이고, 점선은 10% 감소된 전류값을 나타낸다.

그리고 Sakurai가 제안한 HOREL [16]에 대한 guide 기능을 제공하기 위하여 hot carrier에 의하여 수명시간이 짧은 것으로 밝혀진 트랜지스터에 대하여 HOREL 기법이 적용되었을 경우의 트랜지스터 수명시간을 보여준다. 이 기법은 duty ratio가 높아서 신뢰성이 우려되는 소자에 대하여 게이트 단자가 VCC에 연결된 NMOS 트랜지스터를 그림 5와 같이 삽입함으로써 드레인 단자에 걸리는 전압을 낮추게 되어 hot carrier의 발생을 억제함과 동시에 duty ratio를 낮추게 된다. 이 밖에 트랜지스터의 폭을 작게하여 전류 양을 줄임으로써 기판전류를 작게 할 수도 있다. 그러나 guide 기능에는 신뢰성과 속도가 항상 trade-off 관계가 있어서 최적화 과정을 필요로 한다. Sakurai의 연구 결과에 의하면 HOREL을 메모리 주변회로에 모두 적용한 경우 주변회로의 레이아웃 면적은 20% 정도 증가 되었으나 전체 칩 면적의 증가는 3% 이내이다. [16] SECRET에서는 hot carrier 효과 해석을 통하여 수명시간이 짧은 소자를

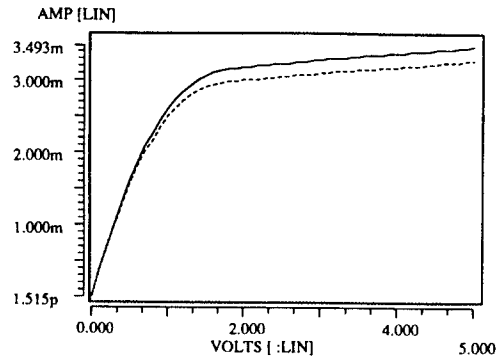


그림 4. 전류가 10% 감소시 소자의 I-V 특성
Fig. 4. I-V curves when current is degraded by 10%.

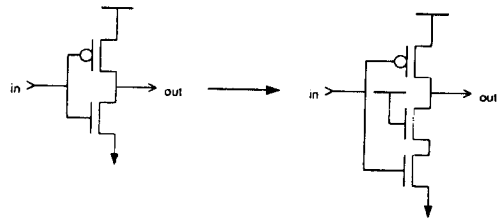


그림 5. NMOS 삽입에 의한 HOREL 형성
Fig. 5. HOREL formation by inserted NMOS.

찾아서 guide 기능을 적용하면 NMOS 트랜지스터를 자동으로 삽입하여 HOREL로 구성된 다음 이에 대한 신뢰성 분석을 하게 한다. 사용자는 이를 통하여 신뢰성 있는 회로의 특성을 확인할 수 있으며, 삽입할 트랜지스터의 크기를 최적화 할 수 있다.

DRAM 회로의 경우 칩 내부에 기관 바이어스인 VBB를 발생하는 회로를 가지고 있으나, 기관전류에 의하여 VBB 레벨이 변화될 수 있어서 일정 주기를 두고 펄핑회로를 동작시켜서 발생한 기관전류를 제거하게 되는데, 기존의 회로 시뮬레이터의 경우 기관전류 모델링이 이식되어 있지 않으므로 정확한 기관전류 양을 알 수 없어서 펄핑회로의 MOS 커패시터의 크기를 최적화하기가 어려웠으나 SECRET에서는 기관전류 모델링을 통하여 전체 칩의 기관전류 크기를 알 수 있어, VBB를 유지하는데 필요한 펄핑회로의 MOS 커패시터의 크기를 최적화할 수 있다. 최적화를 위하여 SECRET에서는 Levenberg-Marquart 알고리즘을 이용하였다.¹¹⁷⁾ 이 방법에서 최적화의 탐색 방향은 Gauss-Newton 탐색 방식과 Steepest Descent 탐색 방식 사이에 놓여진 점에서 구해진다. 목적 함수 $F(x)$ 에 nonlinear least-squares minimization 방법을 적용하여 최적의 파라미터 벡터인 x^* 를 추정할 수 있

는데 목적 함수를 mini-mize하려면 아래의 식 (17), (18)을 만족하는 x^* 를 찾아야 한다.

$$F(x) = f^T f \tag{17}$$

$$g = 2J^T(x^*)f(x^*) = 0 \tag{18}$$

여기서 f 는 에러 함수, f^T 는 에러 함수의 역치 행렬, J 는 에러 함수 f 의 Jacobian, J^T 는 에러 함수 f 의 Jacobian의 역치 행렬, g 는 목적 함수 $F(x)$ 의 gradient이다. 최적화의 반복 과정은 다음과 같다.

$$x(\kappa+1) = x(\kappa) + (\kappa) \tag{19}$$

$$(J^T J + \text{LAMBDA}(\kappa)D)\delta(\kappa) = -J^T f(x(\kappa)) \tag{20}$$

여기서 LAMBDA는 양의 실수 상수 값, D 는 행렬의 대각 성분, $\delta(\kappa)$ 는 최적값인 x^* 에 근사시키기 위한 Newton step이다.

III. 실험 결과

1. Substrate Current의 검증 결과

그림 6은 SECRET의 기관전류 모델에 64M

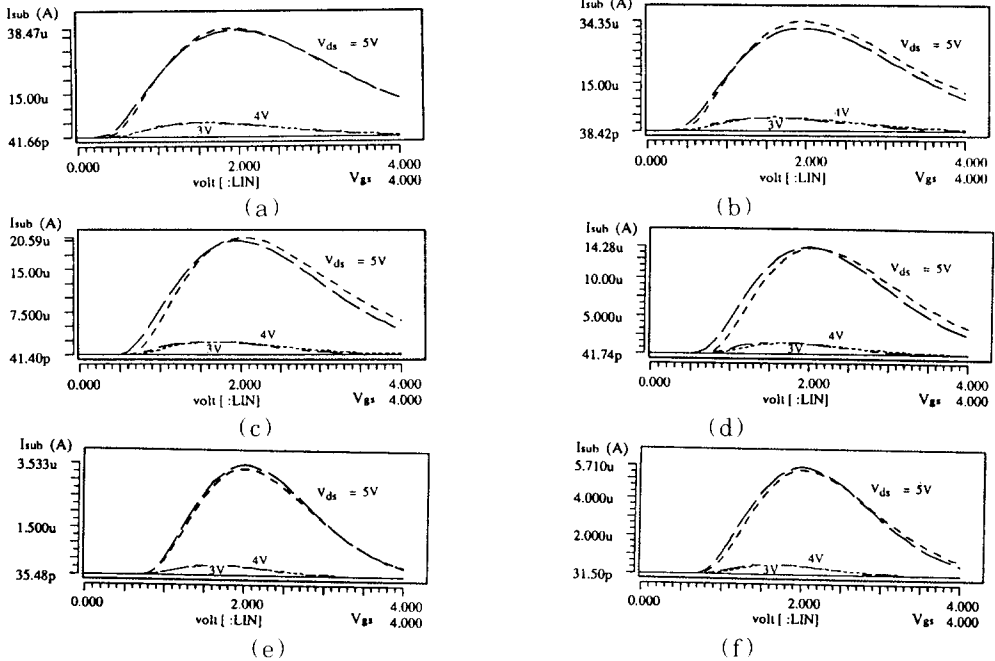


그림 6. SECRET 기관전류 모델의 검증결과

(a) $w/l=10/0.55$ (b) $w/l=10/0.6$ (c) $w/l=10/0.8$ (d) $w/l=10/1.0$ (e) $w/l=10/2.0$ (f) $w/l=10/3.0$

Fig. 6. Verification of substrate current model in SECRET.

(a) $w/l=10/0.55$, (b) $w/l=10/0.6$, (c) $w/l=10/0.8$, (d) $w/l=10/1.0$, (e) $w/l=10/2.0$, (f) $w/l=10/3.0$.

DRAM 트랜지스터의 측정치에 적용한 결과이다. 각 그림에서 x축은 게이트와 소오스간 전압 V_{gs} 를 나타내며 이때 드레인과 소오스간 전압 V_{ds} 의 조건은 3V, 4V, 5V인데 하나의 파라미터 셔으로 0.55, 0.6, 0.8, 1.0, 2.0, 3.0um 채널 길이를 갖는 6개 트랜지스터의 측정치(점선)에 시뮬레이션 값(실선)이 잘 맞는 것을 보여주고 있다.

2. Hot carrier 효과와 metal MTTF

그림 7은 hot carrier 효과 및 회로특성 감쇄기능을 시뮬레이션하기 위한 링 오실레이터(ring oscillator) 회로이다. 각 inverter를 구성하고 있는 NMOS 트랜지스터에 대한 DC 및 AC 수명시간을 구하고 금속 배선에 대한 DC, AC MTTF를 구해보았다. 표 3과 표 4는 hot carrier 효과 및 metal의 MTTF에 대한 시뮬레이션 결과이다.

표 5는 guide기능에 대한 결과로서 표 3의 xinv4.mn, xinv5.mn 소자에 대하여 NMOS를 삽입하였을때 AC 수명시간이 각각 65배 및 17배로 향상되었음을 보여주고 있다.

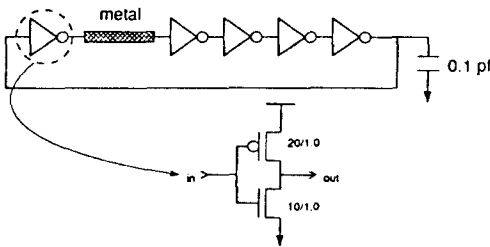


그림 7. 테스트 회로
Fig. 7. Test circuit.

표 3. Hot-carrier 효과에 대한 시뮬레이션 결과
Table 3. Simulation results for hot-carrier effects

표 3

Transistor Name	Weff/Leff (um)	Peak Isub (mA)	Avg AC Isub (uA)	Duty ratio (%)	DC lifetime (Years)	AC lifetime (Years)	Avg Power (uW)
XINV1.MN	6.2/0.62	0.0223	1.70	7.63	63.8	436	1.36
XINV2.MN	6.2/0.62	0.0223	4.30	19.3	63.8	330	14.1
XINV3.MN	6.2/0.62	0.0223	6.13	27.4	63.8	232	8.2
XINV4.MN	6.2/0.62	0.0223	22.32	59.1	63.8	167	10.0
XINV5.MN	6.2/0.62	0.0223	22.32	17.0	63.8	374	10.9

표 4. 금속의 MTTF 시뮬레이션 결과
Table 4. Metal MTTF simulation results.

표 4

Element Name	DC current (mA)	Width/Length (um)	Avg AC Current (mA)	Avg/Peak Current Density (A/cm ²)	Duty Ratio (%)	DC MTTF (Hours)	AC MTTF (Hours)
U	0.023	10/2.0	0.0032	0.02/3.0	12.7	318.5	19438

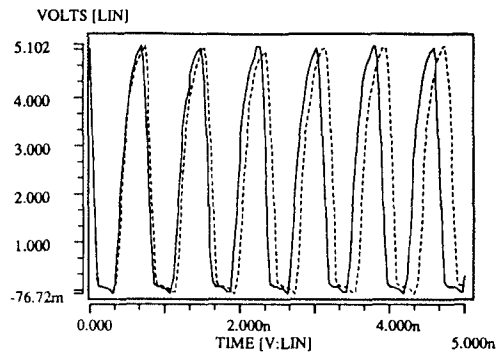
표 5. HOREL 적용 결과
Table 5. Application results of HOREL.

표 5

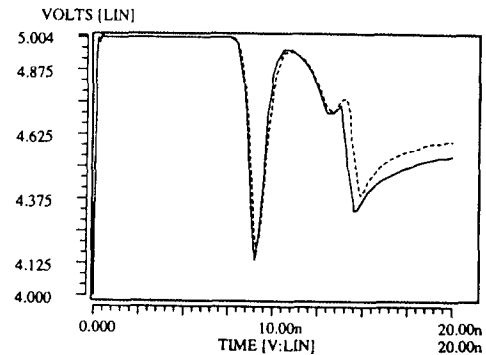
Transistor Name	Weff/Leff (um)	Peak Isub (mA)	Avg AC Isub (uA)	Duty ratio (%)	DC lifetime (Years)	AC lifetime (Years)
XINV4.MN	6.2/0.62	0.0223	0.34	1.5	63.8	6980
XINV5.MN	6.2/0.62	0.0223	0.34	1.9	63.8	6380

3. 감쇄 시뮬레이션 및 VBB 최적화가능

그림 8은 NMOS와 PMOS의 전류가 10% 감소되었을때 링 오실레이터(그림 a)와 DRAM sense amplifier(그림 b)의 회로특성(점선)과 감쇄이전의 특성(실선)을 보여주고 있다.



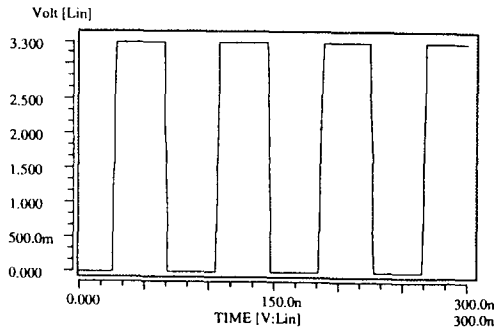
(a)



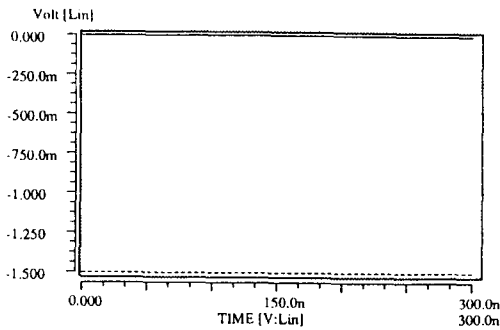
(b)

그림 8. 회로특성감쇄 시뮬레이션 결과
(a) ring oscillator (b) Sense amp

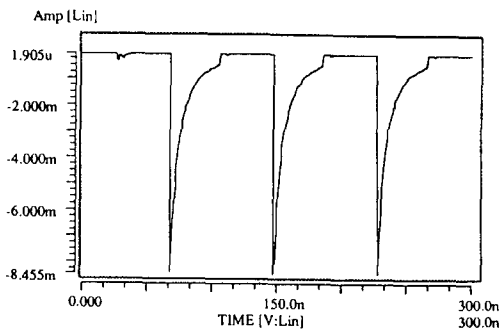
Fig. 8. Simulation results of circuit degradation.
(a) ring oscillator.
(b) Sense amplifier.



(a)



(b)



(c)

그림 9. VBB 발생기의 최적화 결과

- (a) oscillator 출력
- (b) Vbb 레벨 (점선)
- (c) pumping 전류량

Fig. 9. Optimization result for VBB generator circuit.

- (a) oscillator's waveform,
- (b) vbb level (dotted line),
- (c) pumping current.

그림 9는 VBB 발생기의 펌핑회로에 사용되는 MOS 커패시터의 size 최적화의 결과를 보여준다. 채널 폭이 620um이고 채널 길이가 120um 일때 펌핑회로가 펌핑할 수 있는 기판전류는 그림 9-(c)의 평균치를 구했을때 1.97mA로써 target 기판전류인 2mA와 거의 일치하였다. 그림에서 볼 수 있듯이 펌핑회로는 oscillator 회로에 의해 일정한 주기를 가지고 동작하며(그림 9-(a)), 최적화된 capacitor는 VBB 레벨이 그림 9-(b)와 같이 항상 -1.5 volt가 되게 한다.

IV. 결론

반도체 회로의 미세화 및 고집적화로 인한 신뢰성 문제를 회로 시뮬레이션을 이용하여 설계단계에서 예측하기 위한 틀을 개발하였다. SECRET(SEC RELiability Tool)는 미세소자에 대하여 정확성이 높은 기판전류 모델과 모델 파라미터 추출기능을 제공함으로써 이를 통한 hot carrier 효과 및 소자의 수명시간을 예측할 수 있었으며, 이 기판전류 모델의 정확성은 TEG 측정 데이터를 통하여 검증하였다. 그리고 hot carrier 효과에 취약한 소자에 대한 신뢰성 있는 HOREL에 관한 guide 기능을 가지고 있어서 신뢰성이 높은 회로를 제작할 수 있으며, 소자의 전기적 특성 변화에 대응한 회로의 특성 감쇄 시뮬레이션을 실행할 수 있다. 또한 lossy transmission line 해석을 통하여 high speed에서 동작하는 메탈 라인의 DC 및 AC MTTF(Median Time To Failure) 추출기능 및 신뢰성 있는 금속 넓이를 제시할 수 있으며 설계 효율화를 위해 VBB 발생기 회로의 커패시터 크기 최적화 기능을 제공하고 있다. SECRET를 링 오실레이터, DRAM sense amplifier와 같은 실제회로에 적용하여 검증하였고, 신뢰성 예측 및 분석이 용이하여 설계자로 하여금 현재의 공정 및 설계환경에서 발생할 수 있는 신뢰성 문제를 회로 시뮬레이션 단계에서 예측케 함으로써 보다 신뢰성 높은 제품을 설계하는데 필요한 환경을 제공한다.

參考文獻

- [1] Chenming Hu, "IC Reliability Simulation," *IEEE Journal of Solid-State Circuits*, vol.27, no.3, pp.241-246, Mar. 1992.
- [2] S. Aur and Ping Yang, "Hotron : A circuit hot electron effect simulator."

- IEEE Int. Conf. on Computer-Aided Design*, pp.256-259, 1987.
- [3] Wen-Jay Hsu and Bing J. Sheu, "Integrated-Circuit Reliability Simulation Including Dynamic Stress Effects," *IEEE Journal of Solid-State Circuits*, vol.27, no.3, pp.247-257, March 1992.
- [4] Y. H. Shih, Y. Leblebici, and S. M. Kang, "New Simulation Methods for MOS VLSI Timing and Reliability," *IEEE Int. Conf. on Computer-Aided Design*, pp.162-165, 1991.
- [5] F. Najm, P. Yang and I. N. Hajj, "Probabilistic Simulation for Reliability Analysis of CMOS VLSI Circuits," *IEEE Trans. Computer-Aided Design*, vol.9, no.4, pp.439-450, Apr. 1990.
- [6] D. F. Froast and K. F. Poole, "Reliant : A Reliability Analysis Tool for VLSI Inconnections," *IEEE Journal of Solid-State Circuits*, vol.24, no.2, pp.458-462, 1989.
- [7] Narain D. Arora, "MOSFET Substrate Current Model for Circuit Simulation," *IEEE Trans. on Electron Devices*, vol.38, no.6, pp.1392-1398, June 1991.
- [8] J. W. Slotboom, G. Streutker and P. B. Hartog, "Surface Impact Ionization in Silicon Devices," *IEEE IEDM-87, Dig. Tech. Papers*, pp. 494-497, 1987.
- [9] Y. A. El and A. R. Boothroyd, "A Simple Two-Dimensional Model for IGFET Operation in The Saturation Region," *IEEE Trans. Electron Devices*, vol. ED-24, pp. 254-262, 1977.
- [10] T. Horiuchi, K. Hamano, "A Simple Method to Evaluate Device Lifetime Due to Hot-Carrier Effect Under Dynamic Stress," *IEEE Electron Device Letters*, vol.7, no.6, pp.178-180, June 1986.
- [11] Brain S. Doyle, "An Empirical Model for the Leff Dependence of Hot-Carrier Lifetimes of n-Channel MOSFET's," *IEEE Electron Device Letters*, vol.10, no.11, pp.500-502, Nov. 1989.
- [12] T. Turner and K. Wendel, "The Influence of Stress on Aluminum Conductor Life," *IEEE/IRPS*, pp.142-147, 1985.
- [13] R.E. Jones, "Line Width Dependence of Stress in Aluminum Interconnect," *IEEE/IRPS*, pp.15-21, 1987.
- [14] F. Gardial, *Lossy Transmission Lines*, Artech House, 1987.
- [15] B. K. Liew and Chenming Hu, "Reliability Simulator for Interconnect and Intermetallic Contact Electromigration," *IEEE/IRPS*, pp.111-118, 1990.
- [16] Takatasu Sakurai, "Hot-Carrier Generation in Submicrometer VLSI Environment," *IEEE Journal of Solid-State Circuits*, vol.21, no.1, pp.187-192, Feb. 1986.
- [17] K. Doganis and D. L. Scharfetter, "General Optimization and Extraction of IC Device Model Parameters," *IEEE Trans on Electron Devices*, vol.ED-30, no.9, pp.1219-1228, Sep. 1983

著 者 紹 介



千柄植(正會員)

1987年 2月 조선대학교 전자공학과 졸업(학사). 1990年 ~ 현재 삼성전자 CAE 연구원. 주관심 분야는 회로 신뢰성, 고주파 해석, 시뮬레이션 및 테스트 등임.



崔倉熏(正會員)

1988年 2月 서강대학교 전자공학과 졸업(학사). 1990年 2月 서강대학교 전자공학과(공학석사). 1990年 ~ 현재 삼성전자 CAE 연구원. 주관심 분야는 디바이스 모델링 및 신뢰성 시뮬레이션 등

임.



金敬甬(正會員)

1984年 2月 연세대학교 전자공학과 졸업(학사). 1987年 2月 한국과학기술원 전기 및 전자공학과(공학석사). 1991年 2月 한국과학기술원 전기 및 전자공학과 공학박사 학위취득. 1983年 ~ 현재 삼성전자 ASIC 및 CAE 연구원. 주관심 분야는 Deep Submicron 모델 및 시뮬레이션, 메모리 테스트 및 논리 합성, 고주파 해석, 회로 신뢰성, 아나로그 자동화 등임.