

論文94-31A-1-12

스트레스에 의한 핫-전자가 유기된 p-MOSFET의 게이트 산화막 두께 변화의 열화(劣化)의 특성 분석

(Degradation Characteristics of Hot-Electron-Induced p-MOSFET's GateOxide Thickness Variations by Stress)

李 龍 宰*

(Yong Jae Lee)

要約

교류와 직류 스트레스에 의해 핫 전자가 유기된 열화(劣化)의 특성을 10nm 이하의 RTP-CVD 게이트 산화막으로된 p-MOSFET(W/L=25/1 μ m)에 대해서 조사하였다. 얇은 게이트 산화막의 표면채널 p-MOSFET는 적은 열화(劣化)를 나타내는 것이 확인되었다. 이 효과에 대한 메카니즘은 간단한 MOS 소자 열화 모델을 사용하여 분석하였다. 생성된 전자포획(고정된 전하)의 수는 게이트 산화막 두께에 의존하고, 침투 게이트 전류량에 의해 결정되고, 더욱 얇아지는 산화막 소자에서 더욱 작아지는 열화의 주요 원인은 낮은 핫 전자포획 캐리어 때문이라는 것이 발견되었다.

Abstract

Characteristics of hot-electron-induced degradation by AC, DC was investigated for p-MOSFET's(W/L=25/1 μ m) with sub-10nm RTP-CVD gate oxides. It was confirmed that the surface channel p-MOSFET of a thinner gate oxide shows less degradation. Mechanisms for this effect were analyzed using a simple MOS Device degradation model. It was found that the number of generated electron traps(fixed charge) is determined by the amount of peak gate current, dependent of the gate oxide thickness, and the major cause of the smaller degradation in the thinner gate oxide devices is the lower hot electron trapping carriers.

1. 서론

차세대 MOS 소자에 요구되는 초박막 유전체의 신뢰성을 증진 시키기 위한 조건들은 낮은 수준의 누설 전류를 갖는 박막, 개선된 전하 포획 특성, 높은 유

전 전장이 요구된다.¹ 또한 소자의 크기가 점점 축소됨에 따라 핫 캐리어 유기에 의한 특성 변화가 n-MOS 트랜지스터 뿐만 아니라 p-MOS 트랜지스터에서도 심각한 문제로 대두되었다. 표면 채널의 n-MOS 트랜지스터에 대한 유기된 핫 캐리어의 특성변화가 상세하게 연구되고 있으며^{2,6}, 여기의 주요 원인은 게이트 산화막 속으로 핫 전자와 핫 정공의 주입에 의한 원인이다.^{3,4} 소위 'DAHC'(Drain Avalanche Hot Carrier)라 불리는 드레인 눈사태

*正會員, 東義大學校 電子工學科
(Dept. of Elec. Eng., Dongeui Univ.)
接受日字: 1993年 1月 28日

핫 캐리어는 산화막내의 주입에 의해서 계면 상태가 생성이 된다. 깊은 게이트 바이아스 영역에서 계면 상태의 포획 전자들은 n-MOS 트랜지스터에서는 문턱전압을 양(+)방향으로 증가 시키며, 부분턱 전류 기울기를 낮게 하며, 최대 전달컨덕턴스를 감소 시킨다. 이 n-MOS 트랜지스터에서 얇은 게이트 산화막 내에서 특성 변화가 p-MOS 트랜지스터 소자에 비하여 적은 열화(Degradation)의 메카니즘은 i) 핫 캐리어 포획율이 낮고, ii) 채널 반전 전하의 수가 많고, iii) 이동도가 낮은 원인이다.^{4,6}

본 연구에서는 초유전 박막을 RTP-CVD(Rapid Thermal Process-Chemical Vapour Deposition) 장치로써 게이트 산화막 두께를 10nm 이하로 성장시키고, MOS 트랜지스터는 채널폭/길이가 25/ μm 인 p-MOS 트랜지스터를 제작 하였다. 열화 특성 변화를 분석하기 위해 교류 스트레스 시간을 직류 스트레스와 동일하게 하여, 게이트 펄스는 50%의 충전계수와 주파수는 10KHz, 100KHz와 1MHz에서 각각 수행하며, 직류 스트레스는 게이트 전류가 최대인 전압 조건에서 스트레스 시간을 변화 시키면서 게이트의 유전 박막에 스트레스를 인가한다. 이때 소자에서의 스트레스가 계면 상태의 포획 전자, 정공들의 영향으로 최대 전달컨덕턴스, 문턱 전압, 부분턱 전류 기울기, 기판 전류, 게이트 전류에 미치는 특성 변화를 분석 하고자 한다.

II. 소자 제작

연구에 사용한 MOS 트랜지스터는 쌍둥이 우물 기술과 기존 n⁺다결정 실리콘 게이트 전극을 이용한 (100) p-형, 비저항 37.5-62.5 $\Omega\text{-cm}$ 인 실리콘 기판을 사용하여 제작 하였다. 주요 공정으로는 활성영역 정의 후 단계에서, 얇은 게이트 산화막 층은 RTP-CVD 장치에 의해 전식 산소 분위기에서 각기 다른 시간으로 성장 시켰으며, 게이트 산화막 형성 단계를 제외한 모든 웨이퍼는 동일한 공정 순서에 의해 제작 하였다. 측정 시스템에 포함된 장치는 측정대, 반도체 파라미터 분석기(HP4145), 신호 발생기, 디지털 오실로스코프 등이며, 소자들의 특성 측정은 소오스 단자를 접지하여 드레인 전압을 -50mV를 가하여 최대 전달컨덕턴스(g_m), 문턱전압(V_t)과 부분턱 전류 기울기 등의 파라미터를 추출 특성화 한다. 이때 소자에 인가하는 교류 스트레스는 동일한 주파수에서 직류와 같은 시간으로 소자에 인가한후 파라미터를 추출한후 주파수를 변화시키면서 반복한다. 직류 스트레스는 인가전에 게이트 전압-전류 측정으로 최대 전

류에서의 게이트 전압을 소자에 인가하여 10, 100, 1000과 2000초의 스트레스를 가한후, 동일한 측정조건으로 각각의 파라미터를 측정한다.

III. 특성 결과 및 고찰

각각의 소자는 스트레스에 의한 특성 변화가 일어나며, 드레인 전류의 흐름에 기인한 정공의 빠른 이동 속도에 의해 드레인 근처에 충돌에 의한 이온화가

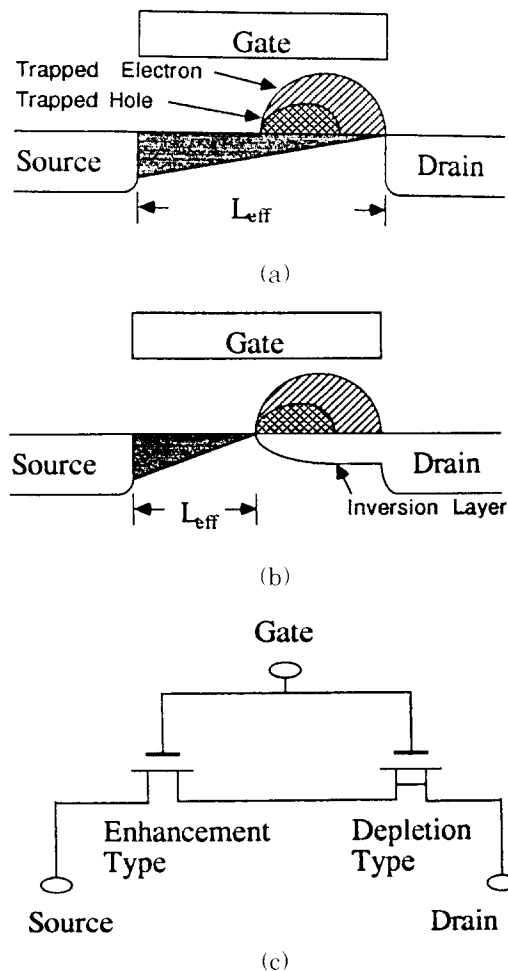


그림 1. p-MOSFET에 대한 (a)순방향에서 핫 캐리어 생성과 (b)핫 캐리어가 유기된 열화 모델 (c) 등가회로

Fig. 1. (a) Hot-carrier induced degradation model and (b) hot carrier generation at forward mode for p-MOSFET's (c) equivalent circuit.

일어난다. 그러나 이때 드레인 눈사태의 핫 전자가 게이트 산화막내에 주입되어지며, 이로 인한 포획된 전자(고정된 전하형)가 그림1에서 보여준다. 일부는 게이트 전극으로 빠져나가 게이트 전류를 형성하고, 나머지 고정된 포획 전자들은 부분턱 전류 기율기의 변화없이 문턱전압 이동, 최대 전달 컨덕턴스 변화, 게이트 전류와 기관전류의 변화를 일으킨다.

그림 1은 순방향 형태에서 문턱 전압은 측정된 드레인 전류의 감소에 따라 양에서 부터 음의 값으로 이동된다. 게이트 산화막 내에는 많은양의 전자들이 드레인 가장자리에서 적은양의 정공과 함께 포획되어 있다. 이때 전자들이 우세하며, 이는 유효 채널길이 가 짧아진것 처럼 나타나고, 전달컨덕턴스는 증가하며, 문턱전압은 감소하고, 게이트 전류와 기관 전류는 줄어든다. 게이트 산화막의 두께에 따라서는 두께가 얇은 게이트 산화막은 포획될수 있는 공간이 얇은 만큼 작기 때문에 그 만큼 포획 전하가 적으며 열화율도 낮을것이다. 게이트 전류의 형성은 'Lucky 전자' 모델의 전류성분이 가장 지배적이고, 그 다음이 'DAHC' 모델로 드레인 눈사태 핫 전자 주입 전류이며, 나머지가 이차 생성 핫 전자에 의한 전류 성분이다.^[21] 한편 측정하는 드레인 전압이 높을때 포획된 전자 영역은 드레인 가장자리로 부터 확장된 공핍층에 의해 약화되는 전자포획 모델 설명^[15]이며, 이 모델에 의한 게이트 전류와 기관전류의 형성이 그림 2이다. 이는 스트레스 인가전에 증가형의 p-MOSFET가 인가후 드레인 영역 근처의 게이트 산화막내에 고정 전하의 형성으로 인하여 공핍형 p-MOSFET가 형성되며, 따라서 유효 채널 길이가 짧아지는 효과를 나타낸다.

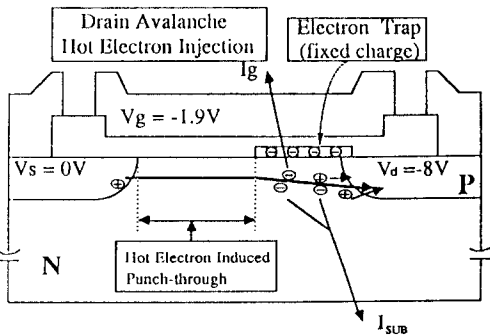


그림 2. p-MOSFET에 대한 게이트 전류, 기관전류 형성 모델

Fig. 2. Formation model of gate current, substrate current for p-MOSFET's.

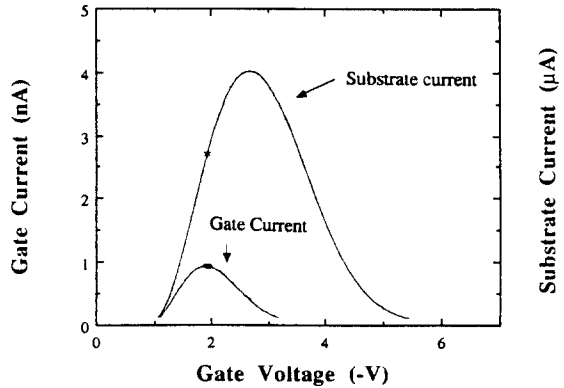


그림 3. 최대 직류 스트레스 조건을 위한 게이트 전류와 기관전류 측정 결과

Fig. 3. Measurement results of gate current and substrate current for maximum DC stress condition.

최대 직류 스트레스 조건을 위한 게이트 전류와 기관전류의 측정 결과가 그림3이며, 게이트 전류가 최대인 게이트 전압이 -1.9V, 기관전류가 최대인 게이트 전압은 -2.7V로 측정되었으며, 스트레스를 소자에 가장 많이 인가되는 조건은 p-MOSFET는 게이트 전류가 최대인 점의 게이트 전압이며, n-MOSFET 소자는 기관전류가 최대인 게이트 전압이 직류 스트레스 인가 전압이다.^[23,6]

스트레스 인가전에 72A의 매우 얇은 산화막의 경우 최대 전달컨덕턴스가 두꺼운 산화막 보다 높은값이며, p-MOS 트랜지스터의 경우 게이트 산화막의 두께가 72, 78, 87과 116Å일때 전달컨덕턴스(gm)

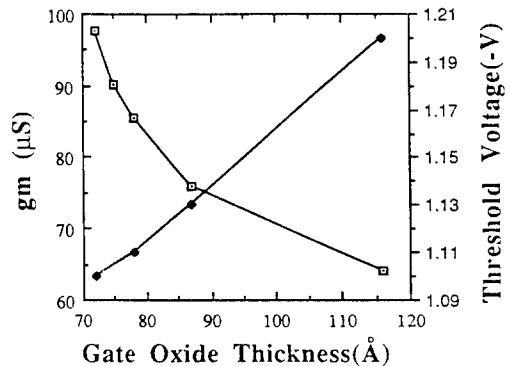


그림 4. 스트레스 인가전의 게이트 산화막 두께에 따른 임계전압, 전달컨덕턴스

Fig. 4. Threshold voltage, transconductance with gate oxide thickness at before stress bias.

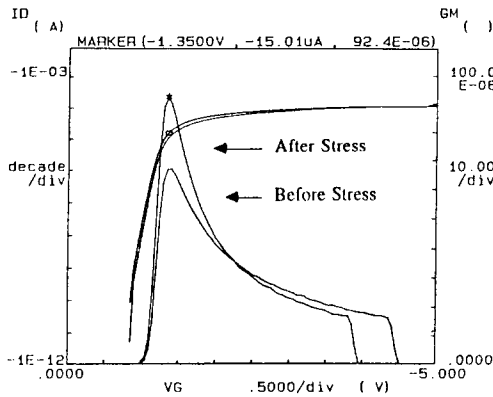


그림 5. p-MOSFET(W/L=25/1 μ m, T_{ox} =87Å)에 대한 V_{ds} =50mV에서 측정된 I_d , g_m 대 V_g

Fig. 5. I_d , g_m versus V_g measured at V_{ds} =50mV for p-MOSFET(W/L=25/1 μ m, T_{ox} =87Å).

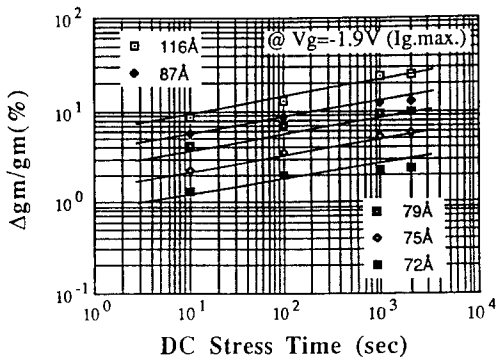


그림 6. $\Delta g_m/g_m(\%)$ 의 직류 스트레스 시간 의존. 모든 소자는 지수항 $n=0.28$ 에서 0.29 를 갖는 전력법칙 종속으로 나타난다.

Fig. 6. DC stress time dependence of $\Delta g_m/g_m(\%)$. All devices exhibit a power law dependence with the exponent $n=0.28$ to 0.29 .

값이 97.6, 90.1, 85.6과 64.0 μ S로 나타났으며, 문턱 전압은 72, 78, 87과 116Å인 경우 -1.10, -1.11, -1.13과 -1.20V로 측정된 결과가 그림 4이다. 이는 게이트 산화막 두께가 두꺼울수록 문턱전압이 높아지며, 최대전달 컨덕턴스는 낮아지는 결과로 이론과 잘 일치한다.^[3,7]

그림 5는 스트레스 전과 2000초 스트레스 후의 드

레인 전류의 변화와 전달컨덕턴스의 변화값을 측정된 결과로 이때 채널폭/길이(25/1 μ m, T_{ox} =87Å)인 p-MOS 트랜지스터에서 최대전달 컨덕턴스가 61에서 92.4 μ S의 큰값 변화가 나타났다. 이 열화는 문턱전압 이동(ΔV_t), 부분턱 전류 기울기($\delta V_g/\delta \log I_d$) ΔS , 최대 전달컨덕턴스 변화(Δg_m)등의 특성을 나타낸다.

그림6은 스트레스 시간에 종속된 최대 전달컨덕턴스의 변화의 결과이며, 스트레스 조건은 $V_{ds} = -8V$, $V_{gs} = -1.9V$ 이며, 측정은 드레인 전류를 측정하여 미소 게이트 전압분에 미소 드레인 전류의 정의된 값의 최대값이 바로 전달컨덕턴스이며, 이를 각 스트레스 조건에 따라서 반복하여 추출한 결과이다. 스트레스 변화에 따른 변화는 $\Delta g_m/g_m(\%) = K \cdot t^n$ 식으로 묘사^[4,6] 될수 있는데, 여기에서 K는 상수, t는 시간, n은 계수로 이미 보고된^[3,4] 값과 비교하여 지수항 n이 0.28-0.29로 나타났다.^[3,6]

그림 7은 그림 6과 동일한 스트레스 조건에서 시간에 종속된 문턱전압이 이동된 결과이며, 문턱전압 측정은 드레인 전류를 선형축으로 측정하여 최대 전달 컨덕턴스 값에서 외삽법으로 연결하여 게이트 전압축과 만난점의 전압으로 측정 하였다. 문턱전압의 변화도 전력법칙에 의거하여 $\Delta V_t = K \cdot t^n$ 식으로 묘사^[5,6] 될수 있는데, 여기에서 K는 상수, t는 시간, n은 계수로 이미 보고된^[3,4] 값과 비교하여 지수항 n이 0.26과 0.27 사이 범위로 잘 일치함을 보여준다.^[2,3,6]

결국 이는 채널 핫 전자의 영향으로 부터 나타나는 g_m , V_t , S와 I_d 같은 MOS 트랜지스터 파라미터의

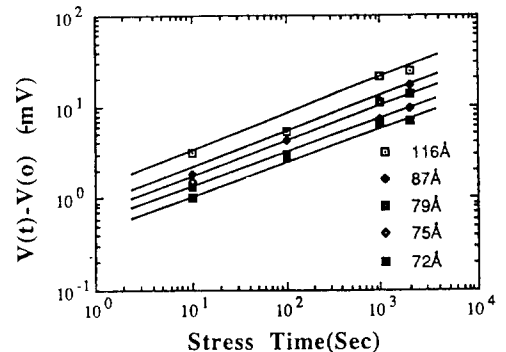


그림 7. 직류 스트레스 시간 의존의 문턱전압 이동 (ΔV_t 는 t^n 에서 지수항 $n=0.26$ 에서 0.27 로 증가)

Fig. 7. DC stress time dependence of threshold voltage shift(ΔV_t increase as t^n with $n=0.26$ to 0.27).

열화를 규명하는데 열화와 스트레스 시간 사이에 직접적인 관련이 있는것으로 분석 되었다. 바로 전달컨덕턴스 열화는 가령 전자와 정공 포획과 계면 상태 생성과 같이 기본적 성질에 의한 열화의 원인 분석이 회로 설계자에 대해 중요한 인자이며, 소자 제작 공정을 위한 설계에도 결정적이다. 이 열화에 대한 원인은 두가지로 연구되는데, 한가지는 전달컨덕턴스와 문턱전압과 같은 파라미터의 열화는 인가하는 스트레스의 게이트 바이아스의 함수로써 연구되고, 이 관련성은 일정한 게이트 바이아스에서 게이트 전류와 기관전류와의 종속 정도와 관련된다.^{12,13} 다른 접근 방법은 열화와 스트레스 시간과의 관계에서 열화가 시간에 전력법칙 종속으로 표현될수 있으며, 이 전력법칙 종속의 지수항은 소자에서 열화의 형태를 특징 지을수 있다.¹⁴ 지수항이 0.5-0.7 범위는 계면 상태 생성의 특징을 보여주고, 0.2-0.3의 낮은 지수항은 전하 포획의 증거를 나타낸다.¹⁵ 일차적인 열화 메커니즘을 연구하기 위해서 두번째 접근 방법을 이용하는데, 스트레스 인가전과 같이 여러 다른 게이트 산화막의 소자를 최대 게이트 전류 조건에서 스트레스를 인가한다. 최대 전달컨덕턴스는 스트레스 시간과의 함수 관계로 나타나며, 그림 6.7은 위 실험의 결과를 보여주며, 전달컨덕턴스 증가 퍼센트를 로그-로그 눈금에 스트레스 시간과의 관계를 추출한 결과가 게이트 산화막 두께의 다섯 종류 소자에 대해 전력법칙 종속을 보여 주는 직선으로 그려질수 있으며, 여기에서 지수항 n은 0.26에서 0.29로 보고된^{14,15} 결과와 잘 일치 한다.

얇은 게이트 산화막에서 드레인 전압에 대해 스트

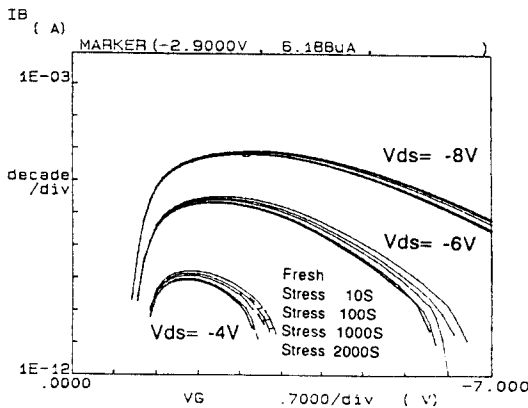


그림 8. 드레인-소오스 전압(-4, -6, -8V)의 기관전류(게이트 산화막 : 87Å)

Fig. 8. Substrate current(gate oxide : 87Å) of drain-source voltage(-4, -6, -8V).

레스 시간과 게이트 산화막 두께에 따라서 최대 기관전류를 추출 할수 있다. 이런 결과는 그림8 이며, 드레인과 소오스 사이의 전압에 따라서 기관전류의 차이가 로그축에서 몇차의 정도를 보이며, 큰 스트레스 전압에 따라 눈사태 핫 캐리어의 발생에 따라서 큰 기관전류가 측정 되었으며, 스트레스의 인가 시간에 따라서 기관전류가 감소 되는데 이는 게이트 산화막 내에 고정전하가 형성되어 유효 채널길이가 짧아지는 영향으로 인하여 소오스와 드레인간에 눈사태 핫 캐리어가 감소되기 때문에 기관전류도 감소하게 된다. 감소되는 정도는 모든 스트레스 인가 시간이 산화막 두께에 대해 선형적이며, 식 $\Delta I_d/I_{d0} = K \cdot f(t_{ox})$, I_{sub} 의 전력법칙^{12,13}으로 표현될수 있으며, 여기에서 t_{ox} 는 게이트 산화막 두께이고, $f(t_{ox})$ 는 t_{ox} 의 함수이며, I_{sub} 는 스트레스 인가전의 최대 기관전류이다. 위의 실험적 식에 의해 72Å에 대한 기관전류 결과가 그림8에서 잘 확인된다. 이때 게이트 산화막 두께는 전하 포획량이 결정되며, 동일한 조건(RTP-CVD)에서 두께만 변화 시킨 게이트 산화막에서 두께가 두꺼울 수록 포획 전하량이 많이 축적될수 있으므로, 전달 컨덕턴스, 드레인 전류와 기관전류의 변화율이 크게 나타나지만, 이 결과를 윗식에 의한 지수함수는 거의 동일한 결과를 그림6.7에서 나타냈다.

직류 스트레스와 교류 스트레스에 의한 소자에 미치는 열화의 정도가 각기 다르게 나타나며, 교류 스트레스는 주파수의 변화에 열화 정도가 민감하고 충격계수, 파형과 진폭에는 미소한 증가의 차이를 보였다. 교류 스트레스의 파형은 펄스파로 진폭은 0V와 -4V, 충격계수는 50%, 주파수 변화는 10KHz, 100KHz, 1MHz이고, 스트레스 시간은 직류 스트레

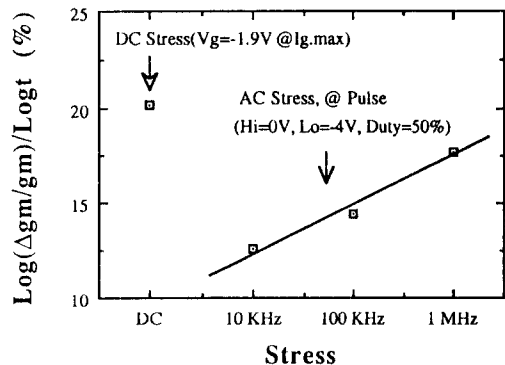


그림 9. 직류와 교류 스트레스에 의한 Log(Δgm/gm)/Logt (%)의 결과

Fig. 9. Results of Log(gm/gm)/Logt (%) by AC, DC stress.

스 시간과 동일하게 소자에 인가 하였다. 그림 9은 전달컨덕턴스의 변화분을 직류와 교류 스트레스의 비교 결과인데, Y축은 $\text{Log}(\Delta g_m/g_m)/\text{Log}t$ (%)로 여기에서 t는 스트레스 시간으로 2000초의 결과이다. 낮은 주파수에서 주파수 증가에 따라서 열화 정도가 증가하는데 로그축에서 거의 선형적으로 증가함을 보였으며, 이 결과에 의거 5MHz에서 거의 직류 스트레스에 의한 열화율과 동일하며, 5MHz 이상의 주파수에서는 직류 스트레스 보다 교류 스트레스가 소자에 미치는 열화 정도가 크게 나타날 것이다. 이 결과는 신뢰성에서 낮은 주파수에서 동작하는 집적회로 소자가 높은 주파수 보다 우월하다고 할 수 있다.

IV. 결론

신뢰성의 초고집적회로 적용을 위한 게이트 산화막 10nm 이하의 두께를 RTP-CVD 장치에 의해 형성 시킨 p-MOSFET에서 게이트에 교류 스트레스는 주파수를 변화 시키면서 직류와 동일한 방법으로 파라미터를 추출하며, 직류 스트레스는 게이트 전류를 측정하여 최대 게이트 전류의 전압을 스트레스 인가 전압 조건으로 직류 스트레스를 인가하여 유기된 핫 캐리어의 포획으로 나타나는 열화(degradation)에 관해서 분석 하였다. 얇은 게이트 산화막 일수록 소자 열화는 ΔV_i , $\Delta g_m/g_m$ (%)와 $\Delta I_{sub}/I_{sub}$ (%)를 포함한 소자의 파라미터에 대해서 두꺼운 게이트 산화막 보다 적은 변화를 보였는데, 이는 게이트 산화막내에 핫 전자, 정공이 포획될수 있는 정도가 소자 하락 특성의 함수 관계인것을 보여준다. 이와 비슷한 성질인 n-MOS 트랜지스터에 대해서 보고되고^{2,5,7} 있으며, p-MOS는 n-MOS 트랜지스터에 비해 계면에서 감소된 캐리어 포획으로 n채널 소자 보다 줄어든 전자 포획특성을 보이며, 하락에 관련된 전기적 특성은 서로 상반된 효과를 나타낸다. 교류 스트레스의 결과에 의하면 파형의 모양, 진폭과 충격계수는 열화율에 미미한 영향을 미치며, 큰 상승율에 영향을 미치는 인자는 주파수와 스트레스의 인가 시간이다. 주파수의 결과는 낮은 주파수에서는 전달 컨덕턴스 열화 정도가 직류 스트레스의 열화에 비해 낮은 열화율을 보이지만, 동일한 스트레스 인가 시간에서 5MHz 이상의 고주파 스트레스가 직류 스트레스 보다 큰 열화율을 나타낸다.

參考文獻

[1] G.Q. Lo, J. Ahn and D.L. Kwong
"Improved Hot Carrier Immunity in

CMOS Analog Device with N₂O-Nitrided Gate Oxides" *IEEE Electron Device Lett.*, vol.13, no.9, pp.457-459, sep., 1992

- [2] A. Ditali, V. Mathews and P. Fanzan
"Hot-Carrier-Induced Degradation of Gate Dielectrics Grown in Nitrous Oxide under Accelerated Aging" *IEEE Electron Device Lett.*, vol.13, no.10, pp.538-540, Oct., 1992
- [3] Y.J. Lee, D. Peyton, G.Q. Lo, D.L. Kwong
"Analysis of Gate Thickness Dependence of Hot-Carriers-Induced Degradation in Submicron p-MOSFET's" *IEEE Electron Device Lett.*, will be published
- [4] F. Matsuoka, H. Iwai, H. Hayashidi, K. Hama, Y. Toyoshima and K. Maeguchi
"Analysis of Hot-Carrier-Induced Degradation Mode on p-MOSFET's" *IEEE Trans on Electron Devices*, vol.37, no.6, pp.1487-1495, June 1990
- [5] 이용재, D.L. Kwong
"서브마이크론 p-MOSFET에서 스트레스로 유기된 핫 캐리어 효과" 1992년도 대한전자공학회 추계종합학술대회 논문집, 제15권 제2호 pp. 231-234, Nov. 1992
- [6] B. Doyle, M Bourcierie, J. Marchtaux and A. Boudou
"Interface state creation and charge trapping in the medium to high voltage range($V_d/2 > V_e > V_d$) during hot carrier stressing of n-MOS transistors" *IEEE Trans. Electron Device*, ED-37, pp.744-754, 1990
- [7] I.C. Chen, C. W. Teng, D. J. Coleman and A. Nishmura
"Interface-trap enhanced gate-induced leakage current in MOSFET" *IEEE Electron Devices Lett.*, EDL-10, pp.216-218, 1989
- [8] C. Hu, S.C. Tan, F. Hsu, P.K. Ko, T.Y. Chan and K.W. Terrill
"Hot-electron-induced MOSFET degradation model, monitor and improvement" *IEEE Trans. on Electron Devices* ED-32, No.2, pp.375-384, 1989

著者紹介



李龍宰(正會員)

1954年 10月 11日生. 1974年 3月 ~ 1981年 2月 경북대학교 공과대학 전자공학과(학사). 1981年 3月 ~ 1983年 2月 연세대학교 대학원 전자공학과(석사). 1983年 3月 ~ 1986年 8月 연세대학교 대학원 전자공학과(공학박사). 1991年 7月 ~ 1992年 7月 University of Texas at Austin Micro-Electronics Research Center Post Dr. 1983年 3月 ~ 1984年 7月 삼성반도체 연구소 연구원. 1985年 3月 ~ 1988年 2月 한국전자통신연구소 집적회로 개발부 선임연구원. 1988年 3月 ~ 현재 동의대학교 전자공학과 부교수. 주관심 분야는 실리콘 반도체 공정, 소자 설계와 모델링, MOSFET의 핫-캐리어, 초박막 게이트 산화막 등임.