

論文94-31A-1-10

Undoped 표면층을 갖는 전력용 GaAs MESFET의 제작에 관한 연구

(A Study on Fabrications of GaAs Power MESFETs with an Undoped Surface Layer)

金尙明*, 李逸炯**, 申錫鉉***, 徐振豪****, 徐光錫****, 李鎮九*

(Sang Myung Kim, Il Hyeong Lee, Suk Hyun Shin, Jin Ho Seo,
Kwang Seok Seo and Jin Koo Rhee)

要約

본 논문에서는 MOCVD 를 이용하여 undoped 층이 있는 에피 구조를 성장시켰고, 성장된 웨이퍼에 IR 공정을 이용하여 undoped 표면층위에 게이트 길이가 $0.8\mu\text{m}$ 인 전력용 GaAs MESFET 을 제작하고 특성을 측정하였다. 측정결과 ideality factor 1.17, built-in potential 0.83 V, pinch-off voltage -2.7 V, specific contact resistance $1.21 \times 10^{-5} \sim 3.42 \times 10^{-6} \Omega\text{-cm}^2$ 와 extrinsic g_m 103.5 mS/mm 를 얻었다. 제작된 전력용 GaAs MESFET 의 최대 출력밀도는 게이트 길이 x 단위 게이트폭이 $0.8 \times 150\mu\text{m}$, $0.8 \times 200\mu\text{m}$ 에서 각각 360 mW/mm, 499.0 mW/mm 이고, 12 GHz 에서 전력부가효율은 각각 29.67, 29.05 를 얻었다.

Abstract

GaAs power MESFETs with $0.8\mu\text{m}$ gate lengths are fabricated using image reversal (IR) methods on the wafer with an undoped surface layer grown by MOCVD. The fabricated GaAs power MESFETs with an undoped surface layer show that an ideality factor 1.17, a built-in potential 0.83 V, a pinch-off voltage -2.7 V, a specific contact resistance $1.21 \times 10^{-5} \sim 3.42 \times 10^{-6} \Omega\text{-cm}^2$ and an extrinsic $g_m = 103.5$ mS/mm. The maximum RF output power densities of the $0.8\mu\text{m}$ devices are 360 mW/mm and 499 mW/mm, and power added efficiencies 29.67 % and 29.05 %, for the unit gate width $150\mu\text{m}$ and $200\mu\text{m}$ at 12 GHz.

1. 서론

* 正會員, ** 準會員 東國大學校 電子工學科
(Dept. of Elec. Eng., Dongguk Univ.)

*** 正會員, 韓國通信 通信시스템 開發센터
(Korea Telecom. Research Center)

**** 正會員, 서울大學校 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)
接受日字 : 1993年 5月 22日

GaAs FET 의 저잡음, 광대역 특성이 초고주파 전력용 GaAs FET 에 응용된 이후 많은 장점에도 불구하고 1970 년대 초반까지는 전력용 Si FET 보다 출력면에서 크게 낮았다. 그러나 소자기술의 개발과 더불어 내부정합을 통한 단위셀 (unit cell) 소자의 결합으로 출력이 크게 개선되어 1974년에 X 밴드

에서 1W이상의 출력을 갖는 소자가 발표되었다.¹²

1970년대 후반에 개발된 AlGaAs/GaAs HEMT (high electron mobility transistor)는 오늘날 MBE와 MOCVD 등에 의한 반도체 결정성장 기술의 발전으로 다채널 구조를 갖는 AlGaAs/GaAs MQ-HEMT (multi-quantum well HEMT)와 AlGaAs/InGaAs/GaAs PM-HEMT (pseudomorphic HEMT) 등의 큰 전류 구동능력을 이용하기 위한 고전력용 소자 개발 연구가 활발하게 진행되고 있다.¹³ 또한 일반적인 GaAs MESFET의 에피층 구조를 약간 변형시켜 게이트 아래에 undoped 표면층을 갖는 전력용 GaAs MESFET은 초고주파에서 출력과 효율이 우수하여 초고주파 전력증폭기의 능동소자로 주목받고 있다.⁵

따라서 본 논문에서도 undoped 표면층 구조를 갖는 초고주파 전력용 GaAs MESFET의 웨이퍼를 MOCVD로 성장하여 C-V 측정으로 확인하였고 IR (image reversal) 공정을 이용하여 C-band 혹은 X-band의 주파수 범위에서 0.5~1.0 W 범위의 출력을 갖는 GaAs MESFET을 제작하고 특성을 측정하였다.

II. Undoped 층을 갖는 에피층 구조의 MOCVD 성장

MOCVD로 성장된 undoped 층을 갖는 에피층 구조는 그림 1과 같다. Ga의 공급원으로 황은조에 의해 -10 °C로 유지되는 TMGa를 사용하였고, As 공급원으로 100% AsH₃를 사용하였다. 성장온도는 650 °C이고 TMGa의 양은 12.2 sccm, AsH₃의 양은 19.1 sccm으로 V/III비는 30이었고, H₂

n ⁺ GaAs	4 × 10 ¹⁸ cm ⁻³	400 Å (60 sccm SiH ₄)
i GaAs		700 Å
n ⁻ GaAs	3~4 × 10 ¹⁷ cm ⁻³	1000 Å (4 sccm SiH ₄)
i GaAs	Buffer	3500 Å
p GaAs	Buffer	300 Å (3 sccm DEZn)
i GaAs	Buffer	1000 Å
Semi-Insulating GaAs Substrate		

그림 1. MOCVD 성장된 에피층 구조

Fig. 1. The structure of epi-layers grown by MOCVD.

이송기체의 양은 14 slm이었다. Buffer 층의 잔존 전하 (unintentional doping에 의한 전하)의 영향으로 생각되는 buffer 층의 누설전류 문제를 해결하기 위하여 DEZn을 사용하여 p-type 도핑층을 삽입하였다. 이때 사용한 DEZn은 -15 °C로 유지시켰고, 사용량은 3 sccm이었다. Buffer에 p-type 도핑층을 삽입하는 경우 active 부분과 p-n 접합 부분을 형성하므로 누설전류가 흐르는 것을 방지할 수 있고, 채널층에 전하를 구속하는데 도움을 준다.

에피층 성장후 Hall 측정에 의한 이동도는 300 K와 77 K에서 750 Å 에칭후 3450 cm²/V·s와 10760 cm²/V·s를 얻었다.

III. 초고주파 전력용 GaAs MESFET의 설계

초고주파 대역에서 동작하는 전력용 MESFET의 게이트 길이는 차단주파수를 결정하는 가장 중요한 설계변수로 게이트 길이와 차단주파수는 반비례한다.

본 논문에서는 게이트 길이가 0.8 μm 일때 출력과 주파수범위를 고려하여 단위 핑거폭은 150 μm 및 200 μm로 설계하였다. 게이트의 단위 핑거수는 총 게이트폭과 관계되므로 소자의 출력에 합당한 총게이트폭을 설정하고 동작주파수에 따라서 여러개의 단위 핑거로 나누게 되는데 기존의 논문 및 시뮬레이션을 근거로하여 게이트 핑거수는 6개 및 20개를 설계하였다.¹⁴

출력과 관계된 또 다른 중요한 설계변수로 항복전압이 있는데 그 이유는 최대 채널전류 I_{ch}와 항복전압 V_{dsb}의 곱이 소자의 최대 출력이 되기 때문이다. 일반적으로 채널두께와 도핑농도의 곱, 즉, a × N_d가 감소하면 V_{dsb}는 증가하는 반면에 I_{ch}가 감소하므로 최대 출력을 얻기 위해서는 a × N_d를 최적화해야 한다. X-band에서 동작하도록 설계된 전력용 GaAs MESFET의 개략적인 특성으로 V_{dsb} ≥ 15 V, I_{ch} ≤ 0.6 A/mm를 기준으로 할 경우 a = 0.1~0.2 μm, N_d = 10¹⁷~2 × 10¹⁷ cm⁻³가 적당하다.

일반적인(conventional) 전력용 GaAs MESFET에서는 항복전압을 증가시키기 위해서 채널 리세스(recess) 에칭으로 채널두께를 감소시키고 동시에 공핍된 표면전하의 영향을 줄여서 과잉 표면전하에 의한 고전계를 방지하였다. 반면에 본 논문에서 이용한 undoped 표면층 위에 게이트가 있는 GaAs MESFET의 구조에서는 그림 2와 같이 undoped 층의 일부만을 리세스 에칭함으로써 전계집중현상을 줄일 수 있으며 동시에 undoped 층이 passivation 층처럼 작용하여 드레인 전류 분산을 개선할 수 있다. 게이트 아래의 바

람직한 undoped 표면층 두께를 항복 전압의 관점에서 보면 300Å일때가 undoped 표면층을 완전히 리세스 에칭하여 n-GaAs 채널상에 게이트가 존재할 때보다 드레인층의 게이트 끝에서 첨두(peak) 전계강도가 약 1/2 감소되므로 undoped 표면층 두께는 300Å 이상이 전계 집중현상을 줄이는데 유효하다.¹⁵

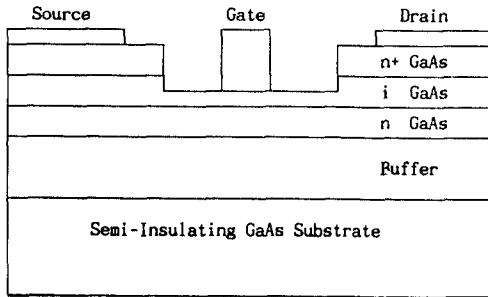


그림 2. Undoped 표면층을 갖는 전력용 GaAs MESFET 구조

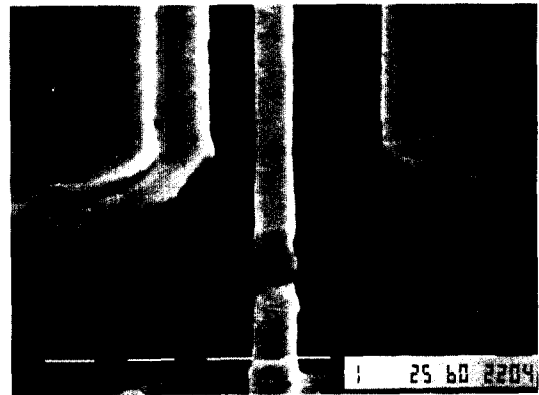
Fig. 2. The structure of a GaAs power FET with an undoped surface layer.

IV. Undoped 표면층을 갖는 전력용 GaAs MESFET 제작

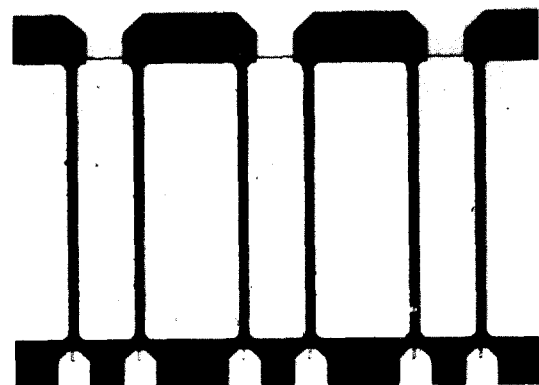
공정에 사용된 웨이퍼는 MOCVD 를 이용하여 제작된 n', undoped 및 n 층이 각각 400Å, 700Å, 1000Å이고 n' 도핑이 $4 \times 10^{16} \text{ cm}^{-3}$ 이고 n 층은 $3 \sim 4 \times 10^{17} \text{ cm}^{-3}$ 으로 도핑되어 있는 GaAs 에피층 웨이퍼이다. MESFET의 제작공정은 메사 에칭, 오믹 금속증착, 채널 리세스 에칭, 게이트 금속증착 및 게이트 패드 증착순으로 진행하였다. 메사 에칭은 황산 에칭용액 ($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 8 : 160$) 을 사용하였고 오믹 금속증착은 진공증착기에서 열적 증착방식으로 AuGe/Ni/Au 를 3500Å 증착한 후 450°C 에서 2 분간 열처리 하였다. TLM 패턴을 이용하여 오믹접촉 비저항을 측정한 결과 $1.21 \times 10^{-5} \sim 3.42 \times 10^{-6} \Omega\text{-cm}^2$ 을 얻었다. 채널 리세스 에칭은 채널영역의 n'층을 제거하고 최대 출력을 얻기위해 undoped GaAs 층이 300~400Å 남을 때까지 에칭하였다. 리세스 에칭용액은 암모니아 에칭용액 ($\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 3 : 3000$)을 사용하였다. Ti/Au 를 사용한 게이트 금속형성은 edge profile 이 우수한 IR 공정때문에 lift-off 가 용이하였고 마지막으로, 게이트 패드 금속형성은 Au 를 3500Å 증착하였다. 리소그라피 공정은 미세패턴 리

소그라피에 적합한 IR 공정조건을 확립하여 전력용 GaAs MESFET 제작을 위한 리소그라피에 이용하였다.¹⁶ IR 공정 순서는 초기세척, 회전도포, pre-baking, 노광, reverse baking, flood exposure 및 현상순으로 각각 실시하였고 PR 은 AZ 5214-E 를 사용하였다.

그림 3 (a) 는 IR 공정을 이용하여 제작한 0.8μm 게이트를 갖는 MESFET 의 SEM 사진으로 게이트의 edge profile 이 매우 우수함을 알수 있다. 완성된 interdigital 형태를 갖는 undoped 표면층을 갖는 전력용 MESFET의 400배 확대된 현미경 사진을 그림 3 (b)에 나타내었다.



(a) 0.8μm 전력용 GaAs MESFET의 SEM 사진(10,000X)



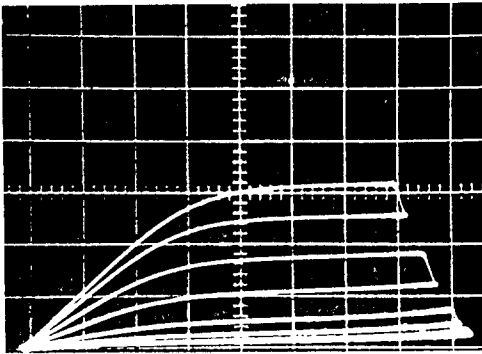
(b) 전력용 GaAs MESFET 의 광학 현미경 사진 (400X)

그림 3. 제작된 전력용 GaAs MESFET의 표면사진
Fig. 3. Surface photos of the fabricated GaAs power MESFET.

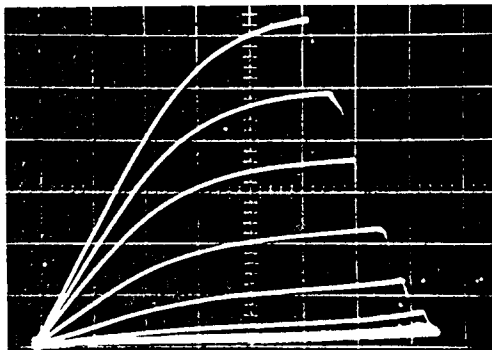
V. 전력용 GaAs MESFET 의 특성 측정

1. DC 특성

Undoped 표면층을 갖는 전력용 GaAs MESFET의 쇼트키 다이오우드 측정결과 Fukui 방법으로 계산된 ideality factor n 는 1.17 이고 built-in 전위는 0.83V 이다. ¹⁰ 그림 4(a) 와 (b)는 $I_{ds} = 10$ mA/div, $V_{ds} = 0.5$ V/div, $V_{gs} = -0.5$ V/step의 측정범위에서 게이트 길이와 단위 핑거폭이 $0.8 \times 150\mu\text{m}$ 이고 전체 단위 핑거수가 20 개인 전력용 MESFET의 각각 첫번째 1개의 게이트와 마지막 2개의 게이트에 대한 전류 전압 특성을 나타낸것이다. 웨이퍼상의 게이트 위치에 따라서 약간의 오차가 받



(a) 게이트 $0.8 \times 150 \mu\text{m}$, 단위 핑거 1 개 (10 mA/div, 0.5 V/div, -0.5 V step)



(b) 게이트 $0.8 \times 150 \mu\text{m}$, 단위 핑거 2 개 (10 mA/div, 0.5 V/div, -0.5 V step)

그림 4. 제작된 전력용 GaAs MESFET의 I-V 특성
Fig. 4. Current - voltage characteristics of the fabricated GaAs power MESFET.

생하지만 드레인 전류가 게이트 핑거수에 비례하여 증가함을 알 수 있다. 따라서 전력용 소자의 전체 드레인 전류는 단위 게이트 전류와 단위 핑거수의 곱으로 구할 수 있다.

그림 5는 단위 핑거가 $0.8 \times 200\mu\text{m}$ 인 MESFET의 전달특성과 extrinsic 트랜스컨덕턴스 g_m 곡선을 나타낸것으로 $V_{gs} = 0$ V에서 전류는 약 42 mA 이고 g_m 은 20.7 mS 로 정규화된 g_m 은 103.5mS/mm 이다.

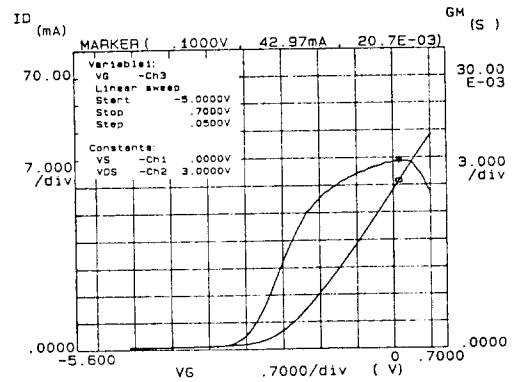


그림 5. $0.8 \times 200\mu\text{m}$ 전력용 GaAs MESFET의 전달특성

Fig. 5. Transfer characteristic of the $0.8 \times 200\mu\text{m}$ GaAs power MESFET.

2. RF 특성

제작된 undoped 표면층을 갖는 전력용 GaAs MESFET의 최대 채널전류 I_r 와 I_r 에서 포화전압 V_k , 항복전압 V_{dsb} 및 핀치오프 전압 V_p 등의 DC 파라미터 측정값을 부하선 모델에 적용하여 최대 출력을 구하였다. 또한 등가회로에서 계산된 S-파라미터로 구한 소신호 이득을 이용하여 전력부가효율을 계산하였다. 전력부가효율의 계산결과는 단위소자로 테스트 패턴에 삽입한 $0.8 \times 150\mu\text{m}$ GaAs MESFET의 S-파라미터를 1 - 16 GHz 까지 on wafer 에서 측정한 데이터와 등가회로에서 계산된 데이터를 이용하여 시뮬레이션한 결과를 그림 6에 나타내었다.

주파수가 증가하면 오차도 동작주파수 6 GHz 에서 약 0.16% , 12 GHz 에서 약 0.6%로 증가함을 알 수 있다.

동작주파수 12 GHz, $I_{ds} = I_{dss}/2$ 에서 제작된 undoped 표면층을 갖는 전력용 GaAs MESFET의 DC 및 RF 특성의 결과를 표 1에 나타내었다.

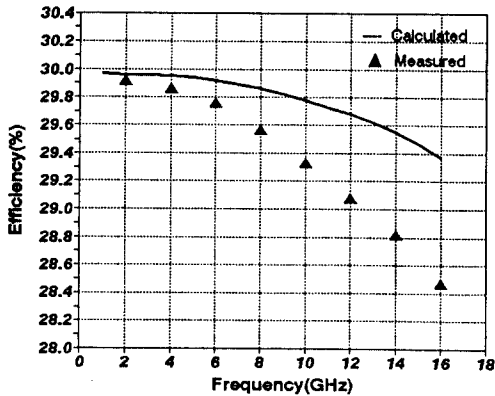


그림 6. 0.8 x 150 μm 단위소자의 전력부가효율
 Fig. 6. Power added efficiencies of the 0.8 x 150 μm unit device.

표 1. 제작된 전력용 GaAs MESFET 의 DC 및 RF 특성
 Table 1. DC and RF characteristics of the fabricated GaAs power MESFETs.

(f = 12 GHz, I_{ds} = I_{ds,sat}/2)

게이트길이 x 폭 (μm)	0.8 x 150	0.8 x 200
포화 전류 (mA)	32 (47.0)	51 (62.7)
항복 전압 (V)	10.0 (11.0)	10.0 (11.0)
핀치오프전압 (V)	-2.7 (-2.1~-2.8)	-2.7 (-2.1~-2.8)
최대출력밀도 (mW/mm)	360.0	499.0
부가효율 (%)	29.07 (29.67)	(29.05)
평 거 수 (개)	20	6
출력전력 (mW)	1080.0	599.0

* () 의 값은 설계치임.

표 1에서 볼 수 있는 바와 같이 포화전류값을 제외하고는 측정치와 설계치 (괄호안의 값)의 오차가 적음을 볼 수 있다. 이와같은 오차의 발생은 도핑농도의 측정오차에 기인 할 수 있다.

VI. 결론

GaAs 계의 전력용 FET 의 설계와 미세패턴 리소그라피를 위한 IR 공정을 확립하여 0.8 μm 게이트의 undoped 표면층을 갖는 전력용 GaAs MESFET 을 제작하였다. 제작된 전력용 GaAs MESFET 의 출력은 총게이트폭이 1.2 mm, 3 mm 일때 600 mW, 1080 mW 이다. 게이트길이, 단위 게이트폭의

폭이 0.8 x 150 μm, 0.8 x 200 μm에 대해서 출력밀도는 각각 360 mW/mm, 499.0 mW/mm 이고 12 GHz 에서 전력부가효율은 각각 29.67%, 29.05% 를 얻었다.

출력이 크고 동작주파수 대역이 넓은 전력용 GaAs MESFET 를 제작하기 위해서는 via-hole 등의 공정개발과 함께 열저항과 package 에 대한 연구가 요구된다.

參考文獻

- [1] Macksey and R. Adams, "Fabrication Processes for GaAs power FET's," Proc. Fifth Cornell Conf. on Active Semiconductor Devices for Microwave and Integrated Optics, pp. 255-264, 1975.
- [2] M. Fukuta, K. Suyama, H. Suzuki, Y. Nakayama, and H. Ishikawa, "Power GaAs MESFET with a high drain-source breakdown voltage," *IEEE Trans. MTT-24*, p. 312, 1976.
- [3] N.H. Sheng, C.P. Lee, R.T. Chen, D. L. Miller, and S.J. Lee, "Multiple-channel GaAs/AlGaAs high electron mobility transistors," *IEEE Electron Device Lett.*, vol. EDL-6, pp. 307-310, 1985.
- [4] L.D. Nguyen, A.S. Brown, M.A. Thompson, and L.M. Jelloian, "50-nm self-aligned-gate pseudomorphic AlInAs/GaInAs high electron mobility transistors," *IEEE Trans. Electron Devices*, vol. 39, pp. 2007-2014, 1992.
- [5] H. Takahashi, K. Asano, K. Matsunaga, N. Iwata, A. Mochizuki, and H. Hirayama, "Step-recessed gate GaAs FETs with an undoped surface layer," *IEEE IEDM 1991*, pp. 259-262, Dec. 1991.
- [6] A. Higashisaka, Y. Takayama, and F. Hasegawa, "A high - power GaAs MESFET with an experimentally optimized pattern," *IEEE Trans. Electron Devices*, vol. ED-27, no.6, Jun. 1980.

[7] 이진구 등, "고 전력용 GaAs MESFET 의 공정기술 개발." 한국과학재단 결과보고서 891-0809-020-2, 1991, 2.

[8] 이진구 등, "AlGaAs/GaAs 계의 multi-quantum well structure 를 이용한 고속 power MESFET 의 개발." 한국과학재단 결과보고서, 1992, 8.

[9] 이진구 등, "Image reversal 공정을 이용한 sub-micron 게이트의 제작." 대한 전자공학 회 추계종합 학술대회 논문집, 제 15 권, 제 2 호, pp.356-358, 1992, 11.

[10] H. Fukui, "Determination of the basic device parameters of a GaAs MESFET." BSTJ Tech. J. vol.58, no.8, pp.771-797, 1979.

※ 이 연구는 1992년도 교육부 학술연구조성비 연구 과제번호 : ISRC 92-E-0031 및 한국과학재단의 목적기초 연구비 지원에 의하여 수행된 연구결과 의 일부임.

— 著 者 紹 介 —



李 逸 炯(準會員)

1966年 4月 18日生. 1992年 2月 동국대학교 물리학과 졸업. 1994年 2月 동국대학교 전자공학과 석사. 1994年 3月 동국대학교 전자공학과 박사과정. 주관심 분야는 화합물 반도체 소자 및 MMIC 설계 및 제작 등임.

계 및 제작 등임.



徐 振 豪(正會員)

1967年 6月 28日生. 1989年 2月 서울대학교 전자공학과 학사. 1991年 2月 서울대학교 전자공학과 석사. 1991年 3月 ~ 현재 서울대학교 전자공학과 박사과정 재학중. 주관심 분야는 화합물 반도체 에피성장, 소자제작, 소자 시뮬레이션 등임.

체 에피성장, 소자제작, 소자 시뮬레이션 등임.

徐 光 錫(正會員)

1976年 서울대학교 공과대학 전자공학과 졸업.(공학사) 1978年 한국과학원 전기 및 전자공학과 졸업.(공학석사) 1987年 미국 미시간대학교 전기공학과 졸업.(공학박사) 1978年 3月 ~ 1982年 8月 한국전자기술연구소 선임연구원. 1987年 2月 ~ 1989年 1月 IBM T.J.Watson 연구소 Post Doc. 1989年 3月 ~ 1993年 9月 서울대학교 전자공학과 조교수. 1993年 10月 ~ 현재 서울대학교 전자공학과 부교수. 주관심 분야는 고속 반도체 소자 연구, 고속 집적회로 설계 및 반도체 물성연구 등임.

金 尙 明(正會員) 第 30 券 第 8 號 參照

현재 동국대학교 전자공학과 강사

申 錫 鉉(正會員) 第 30 券 第 8 號 參照

현재 한국통신 통신시스템 개발센터 책임연구원

李 鎮 九(正會員) 第 25 券 第 11 號 參照

현재 동국대학교 전자공학과 교수