

論文94-31A-1-9

E-beam lithography를 이용한 $0.1\mu\text{m}$ NMOSFET 제작(The Fabrication of the $0.1\mu\text{m}$ NMOSFET
by E-beam Lithography)

柳相基*, 金如煥*, 全國鎮*, 李鐘德*

(Sang gi Yu, Yeo Hwan Kim, Kuk jin Chun and Jong Duk Lee)

要約

Gate channel 길이 $0.1\mu\text{m}$ 인 NMOSFET를 제작하여 동작 특성을 조사하였다. Gate 형성을 위한 lithography작업은 E-beam을 이용하였고, 그 외의 lithography 공정은 stepper를 이용한 mix-and-match 방법을 사용하였다. Gate 산화막은 7nm 으로 하였고, 소자 구조는 기존의 LDD 구조를 이용하였다. 동작 특성은 gate 길이 $0.1\mu\text{m}$ 인 경우 saturation G_m 은 246 mS/mm 였으며, subthreshold slope은 gate 길이 $0.1\mu\text{m}$ 의 경우는 180mV/decade 로 크게 나타났으나, gate 길이 $0.3\mu\text{m}$ 인 경우는 80mV/decade 로 양호하게 나타났다.

Abstract

The NMOSFET with gate length of $0.1\mu\text{m}$ is fabricated by mix-and-match method. In this device, the electron beam lithography is used to form the gate layer, while other layers are formed by the stepper. The gate oxide is 7nm thick, and the device structure is normal LDD structure. The saturation G_m for gate length of $0.1\mu\text{m}$ is 246mS/mm . The subthreshold slope is 180mV/decade for $0.1\mu\text{m}$ gate length, but the slope is 80mV/decade for $0.3\mu\text{m}$ gate length.

1. 서론

반도체 회로의 고집적화 및 고성능화를 위하여 반도체 소자를 미세화하려는 연구가 계속되고 있다. 이러한 연구 및 공정기술의 발달로 현재 design rule 이 $0.4\mu\text{m}$ 정도인 64M DRAM의 개발이 완료된 상태에 있다. 그러나 소자의 크기가 감소함에 따라 hot

carrier effect, short channel effect 등에 의한 영향으로 소자의 특성 열화가 발생하게 된다. 이러한 소자 성능의 열화를 극복하기 위하여 여러가지 새로운 구조들이 제안되고 있으며, 대표적인 것은 LDD 및 이의 변형구조이다. 최근에는 gate length가 $0.1\mu\text{m}$ 인 MOS 소자에 대한 연구 결과들이 발표되고 있다.^{1, 2, 3} 이러한 소자에 있어서도 경제적인 측면에서 기존의 bulk Si를 이용하여 상온에서 동작 가능한 소자를 개발하려는 연구가 계속 진행되고 있지만, short channel effect의 문제가 더욱 심각해짐에 따라 SOI 및 저온 MOS에 대한 연구도 활발히 진행되고 있다. 따라서 channel length가 $0.1\mu\text{m}$

*正會員, 서울대학교 半導體共同研究所
(Inter-university Semiconductor Research
Center, Seoul Nat'l Univ.)

接受日字 : 1993年 5月 12日

수준의 소자를 제작하여 이의 특성을 검토하는 것은 의미 있는 일일 것이다.

본 연구에서는 E-beam과 stepper를 이용한 mix-and-match 방법으로 0.1 μ m NMOSFET를 제작하였으며 동작 특성을 측정하였다. 소자 구조는 되도록 간단하게 하기위하여 기존의 LDD 구조를 사용하였고 silicide 및 특별한 공정은 적용하지 않았다.

II. 소자 제조 방법

본 연구에서는 P-type (100), 20 Ω cm 실리콘 wafer를 사용하였다. Gate channel length 0.1 μ m에서 punch-through 방지 및 threshold voltage를 조절하기 위하여 B를 2.5x10¹³/cm²로 ion implantation한 후에 1100 $^{\circ}$ C에서 확산하여 substrate 농도를 2x10¹⁷/cm³로 하였으며, 여기에 LOCOS isolation을 위하여 nitride mask를 사용하여 500nm의 산화막을 성장하였다. Gate 산화막은 N₂로 희석한 O₂를 이용하여 900 $^{\circ}$ C에서 7nm을 성장하였고, gate polysilicon은 LPCVD를 이용하여 250nm을 증착하였다. Gate 패턴은 E-beam lithography를 이용하여 0.1 μ m까지 형성하였다. 이때 PR은 Shipley사의 SAL-601 negative PR을 사용하였다. 그다음 RIE를 이용하여 건식 식각하였다. 건식 식각 후 gate 모서리에서 전계를 감소시키기 위하여 10nm의 산화막을 성장하였다. N source/drain 형성을 위하여 As⁻를 3x10¹³/cm², 50keV로 implant하고, LDD spacer형성을 위하여 PECVD 산화막 150nm을 증착하고 RIE etch를 하였다. 이때의 0.1 μ m gate에 대한 SEM 사진을 그림 1에서 보여준다.

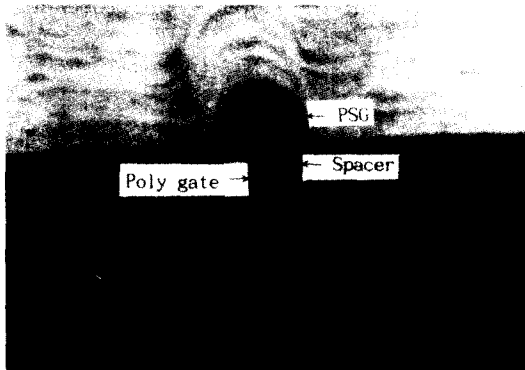


그림 1. 0.1 μ m gate에 대한 LDD spacer 형성후의 SEM 사진

Fig. 1. SEM view of 0.1 μ m gate after formation of LDD spacer.

Source/drain은 shallow junction을 형성하기 위하여 As⁻, 5x10¹⁵/cm², 40keV implant하고 900 $^{\circ}$ C, 20분간 annealing하였다. 이때의 junction depth는 0.1 μ m이었다. 여기에 PSG 500nm을 증착한 후 contact을 형성하고 99% Al + 1% Si metal을 이용하여 배선을 형성하였다. 표 1에 제조 공정의 주요 변수를 나타내었다.

표 1. NMOSFET 제조 공정의 주요 변수
Table 1. The fabrication condition of NMOSFET.

Wafer	P-type (100), 20 Ω -cm
P-well	Boron, 2.5E13, 160keV 1100 $^{\circ}$ C, 11hr. drive-in
Field	T _{ox} = 5000 Å
Gate	T _{ox} = 70 Å , T _{poly} = 2500 Å
N- S/D	As ⁻ , 3E13, 50keV
LDD spacer	PECVD oxide 1500 Å
N ⁺ S/D	As ⁺ , 5E15, 40keV

여기서는 metal과 silicon의 contact을 위하여 별도의 silicide공정은 진행하지 않았다. 이렇게 제작된 NMOSFET에 대하여 HP 4145B를 이용하여 소자 특성을 측정하였다.

III. 결과 및 고찰

그림 2는 gate channel length 0.1 μ m NMOSFET의 I_d-V_d 특성을 보여준다. 여기서 channel length

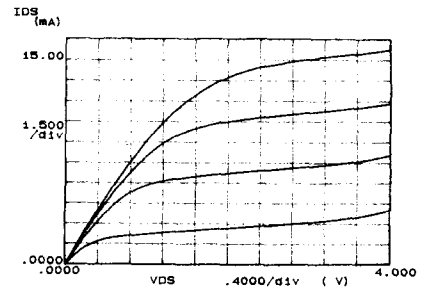


그림 2. Gate length 0.1 μ m NMOSFET에 대한 I_d-V_d 특성. V_R=0~4V 까지변화시킴 Gate width=20 μ m

Fig. 2. I_d-V_d characteristics for gate length 0.1 μ m NMOSFET. V_R is varied from 0V to 4V. The gate width is 20 μ m.

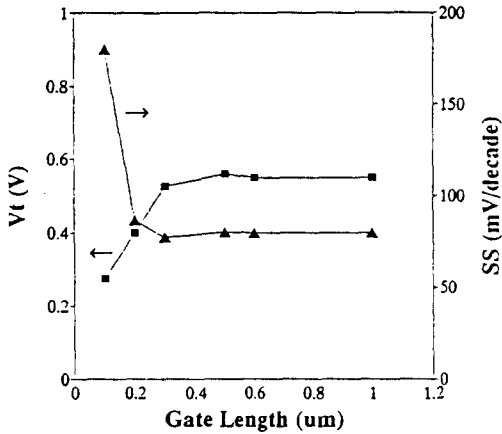
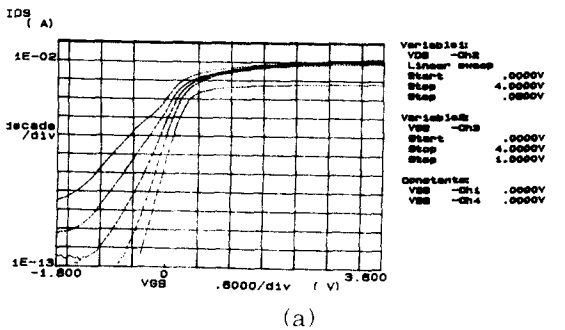
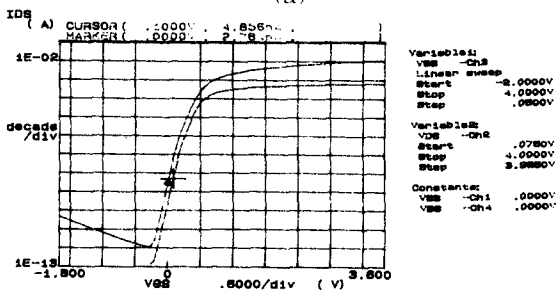


그림 3. Gate length 변화에 따른 V_t 및 SS (Subthreshold Slope)의 변화 (V_d=2V, gate width=20um)

Fig. 3. V_t and SS(Subthreshold Slope) vs gate length. V_d is 2V, and gate width is 20um.



(a)



(b)

그림 4. NMOSFET에 대한 I_d-V_g 특성 (a) Gate length=0.1um, V_d=0.075, 1, 2, 3, 4V (b) Gate length=0.3um, V_d=0.075, 4V

Fig. 4. I_d-V_g characteristics of NMOSFET. (a) Gate length=0.1um, V_d=0.075, 1, 2, 3, 4V. (b) Gate length=0.3um, V_d=0.075, 4V.

는 polysilicon의 gate length를 나타낸다.

Drain voltage가 4V가 될때까지 정상적인 트랜지스터 특성을 나타내고 있다. 그림 3은 gate length 변화에 따른 threshold voltage 변화 및 subthreshold slope을 보여준다.

Threshold voltage는 gate length 변화에 따라 short channel 효과에 의해 0.55V에서 0.25V까지 감소하였으며, 특히 gate length가 0.2um 이하가 되면 급격하게 감소하였다. 또, subthreshold slope 도 0.3um 이상에서는 80mV/decade로 양호하였으나 그 이하에서는 급격하게 증가하여 0.1um에서는 180mV/decade가 되었다. 그림 4는 gate length 0.1um, 0.3um 소자에서 drain voltage 변화에 따른 I_d-V_g 특성을 보여준다.

0.1um 소자에서는 drain voltage 증가에 따라 DIBL 및 punch-through에 의해 subthreshold current 증가를 보여주고 있지만 0.3um 소자에서는 punch-through 현상은 나타나지 않고 있다. 또 drain voltage가 4V일 때 0.3um 소자의 경우는 GIDL 현상을 보여주고 있으나 0.1um인 경우는 punch-through에 의하여 GIDL이 구분되지 않고 있다. 그림 5는 gate length 변화에 따른 saturation G_m(transconductance)의 변화를 나타낸다.

Gate length가 0.3um 이하로 됨에 따라 G_m의 증가rate이 커져서 0.1um인 경우 246mS/mm가 되었다. 최근에 발표된 상온에서 동작하는 0.1um NMOSFET의 경우 G_m이 450mS/mm로 나타나고

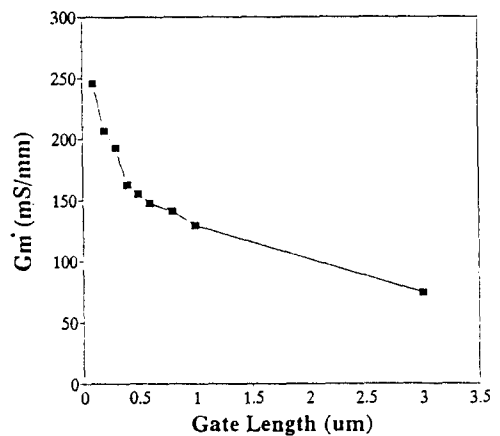


그림 5. Gate length 변화에 따른 saturation G_m의 변화 V_d=4V

Fig. 5. Saturation G_m vs gate length. V_d is 4V.

있는데, 이것은 gate oxide가 4nm이고 source/drain 영역에 titanium silicide를 사용하였다.^[3] 따라서 Gm 증가를 위해서는 gate oxide 감소하기 위한 방안 및 silicide를 적용하는 것이 필요할 것이다.

본 연구에서의 소자는 punch-through 를 방지하기 위한 별도의 공정을 채택하지 않고 있기 때문에 0.2 μ m 이하에서 subthreshold 특성이 급격히 나빠지고 있다. 그러나 punch-through의 방지를 위해서 well의 doping 농도를 높이면 Vt가 증가하게 되어 원하는 Vt를 얻기가 힘들게 된다. 따라서 0.1 μ m 소자 제작을 위해서는 source/drain 영역에 punch-through stopper를 삽입하거나 retrograde well을 형성하는 것이 필요하다.^[5] 또 그림 5에서 gate length가 0.3 μ m 이하로 됨에 따라 Gm의 증가율이 커지는 것은 velocity overshoot에 의해 설명할 수 있다.^[6]

IV. 결론

기존의 LDD 공정을 이용하여 gate length 0.1 μ m NMOSFET를 제작하였다. 동작 특성을 확인한 결과 gate length 0.3 μ m까지는 기존의 공정을 사용하는 것이 가능할 것으로 생각되며, 그 이하에서 사용하기 위해서는 새로운 구조 및 공정의 도입이 필요할 것이다. 본 연구에서는 source/drain 영역에 silicide를 형성하지 않고 바로 Si와 Al의 contact을 형성하여 개별 트랜지스터의 특성을 확인 하였는데,

0.1 μ m 소자에 있어서는 저항 감소를 위하여 silicide의 적용이 불가피하고, 0.1 μ m 소자에 사용될 수 있는 얇은 gate 산화막(4~5nm)을 갖는 gate 전극의 형성을 위해서는 gate etch시 손상이 없고 고 선택식각비를 갖는 etch 공정의 적용이 필요하다. 또한 LDD 형성을 위하여 150nm의 SiO₂를 사용하였는데, 0.1 μ m 소자에 적용하기 위해서는 LDD 크기를 100nm 이하로 줄여야 할 것이다. 그러나 본 연구를 통하여 0.1 μ m 소자 제작이 가능하게 되었으므로 이것으로부터 short channel 소자의 특성 연구 및 새로운 구조의 short channel 소자 연구의 기초가 마련되었다고 생각한다.

參考文獻

- [1] G. A. Sai-Halasz et al., *IEEE Electron Device Lett.*, vol.38, p.463, 1987.
- [2] M. Aoki et al., *IEDM Tech. Dig.*, p. 939, 1990.
- [3] A. Toriumi et al., *Extended Abs. SSDM*, p.487, 1992.
- [4] 이상보, 유상기, 김여환, 전국진, 이종덕, 전자공학회논문지, 29, 1992.
- [5] T. Hashimoto et al., *Extended Abs. SSDM*, p.490, 1992.
- [6] G. A. Sai-Halasz et al., *IEEE Electron Device Lett.*, vol.9, p.464, 1988.

著者紹介

柳相基(正會員) 第 29券 A編 第 5號 參照
현재 서울대학교 반도체 공동연구소
근무

金如煥(正會員) 第 29券 A編 第 5號 參照
1993년 서울대학교 전자공학과 (박사). 현재 한국 전자 통신 연구소
선임 연구원

全 國 鎮(正會員) 第 29券 A編 第 5號 參照
현재 서울대학교 전자공학과 교수

李 鐘 德(正會員) 第 29券 A編 第 5號 參照
현재 서울대학교 전자공학과 교수