

SC-PMOSFET의 수평 전계 모델과 노쇠화 메카니즘

(Lateral Electric Field Model and Degradation Mechanism of Surface-Channel PMOSFET's)

梁光善*, 朴鍾泰**, 金鳳烈*

(Kwang sun Yang, Jong tae Park and Bong ryul Kim)

要約

짧은 채널 효과 특성이 우수한 SC-PMOSFET의 hot-carrier로 인한 성능 저하를 분석하는데 있어서 중요한 변수인 채널 수평 전계를 기존의 2차원 소자 시뮬레이션을 이용한 복잡한 수치 해석적인 방법 대신에, Ko의 근사화 이차원 모델을 수정하여 포화 영역에서 노쇠화된 SC-PMOSFET의 트랩 전자에 의한 수평 전계와 속도 포화 영역의 길이의 증가로 HEIP 현상을 잘 설명 할 수 있었다.

Abstract

In this paper, we present the analytical models for the change of the lateral electric field distribution and the velocity saturation region length with the electron trapping of stressed SC-PMOSFET in the saturation region. To derive the hot-electron-induced lateral electric field of stressed SC-PMOSFET, Ko's pseudo two dimensional box model in the saturation region which illustrates the analysis of the velocity saturation region is modified under the condition of electron trapping in the oxide near the drain region. From the results, we have the following lateral electric field in the y-direction, that is, $E(y) = E_{sat} \cdot \cosh(y/l) - qN_t \cdot \sinh(y/l) / C_{ox}$. It is shown that the trapped electrons influence the field in the drain region, decreasing the lateral electric field. Calculated velocity saturation length increases with the trapped electrons, increasing the drain current of stressed SC-PMOSFET. This results well explain the HEIP phenomenon of PMOSFET's.

1. 서론

기존의 n⁺ 다결정 실리콘 게이트를 사용한 PMOS-

FET는 매몰 채널(buried-channel)을 형성하여 p⁺ 다결정 실리콘 게이트를 사용한 표면 채널(surface-channel)형 PMOSFET에 비해서 채널 이동도는 크지만 짧은 채널 효과 특성이 나쁘다. 특히 submicrometer 게이트 레벨에서는 공급 전원이 감소하게 되고 이에 따른 문턱 전압도 감소하게 되므로 더욱 우수한 짧은 채널 효과 특성이 요구되고 있다.^(1,2) NMOSFET의 성능 저하는 산화막 내에 트랩된 전하(trapped charge)와 계면 상태(interface state)의

* 正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yonsei Univ.)

** 正會員, 仁川大學校 電子工學科
(Dept. of Elec. Eng., Incheon Univ.)

接受日字 : 1993年 5月 15日

생성에 의한 것들이라고 알려져 있고, 게이트 전압이 낮을때 게이트로 주입되는 hot-hole들에 의해 생성된 계면 상태에 의한 요인이 큰것으로 생각된다. 그러나 PMOSFET의 경우에는 채널 정공들이 고 전계 영역에서 충격 이온화에 의하여 전자정공 쌍을 발생 시키나, 정공은 높은 산화막 전위 장벽 -정공은 4.8eV, 전자는 3.1eV- 과 짧은 평균 자유 행정 때문에 주로 전자들이 게이트 전계에 의하여 충분한 에너지를 받아서 게이트 산화막 내로 주입되어 드레인 부근의 산화막 내에 음의 전하(negative charge)를 형성하고, 이것이 중요한 영향을 미치는 것으로 알려져있다.³ 스트레스 후에 드레인 부근의 산화막 내에 형성된 음의 전하는 hot-carrier에 의한 소자의 성능 저하를 분석하는데 중요한 변수인 채널 전계(channel electric field)를 감소시키는 것으로 알려져 있다. 그러나 이 현상을 모델링하기 위해서는 포아슨 방정식과 전류 연속 방정식을 동시에 풀어야 하는데 이것을 정확하게 풀수있는 방법은 2차원 소자 시뮬레이터를 사용하여 수치해석적으로 풀수 밖에 없다.⁴ 본 연구에서는 짧은 채널 효과 특성이 우수한 SC-PMOSFET의 hot-carrier로 인한 성능 저하를 분석하는데 있어서 중요한 변수인 채널 수평 전계를 기존의 복잡한 수치해석적인 방법 대신에 Ko의 근사화 이차원 상자 모델(pseudo two dimensional box model)을 수정하여 채널 전계의 간단한 해석적 모델을 제안하고자 한다.

II. SC- PMOSFET의 노쇠화 메카니즘 (V_g < V₀)

소자의 노쇠화 메카니즘을 분석하기 위해서 boron을 이온 주입하여 p' 다결정 실리콘 게이트 전극을 형성하고 BF₂ 대신에 phosphorus 채널 이온 주입을한 SC- PMOSFET를 CMOS 공정을 이용하여 제작하였다. 채널 폭/길이는 20/1.0μm, 게이트 산화막 두께는 150Å, 소오스/드레인 접합 깊이는 0.38μm이었다.

그림 1은 PMOSFET의 최대 성능 저하 조건(게이트 전류가 최대로 흐르는 바이어스 조건)에서 1,000초 스트레스 후에(V_d=-8V), 드레인 전류와 게이트 전압과의 관계를 순방향 모드(스트레스 후에 소오스와 드레인을 바꾸지 않고 측정)에서 측정한 결과이다. 스트레스 후에 최대 전달 콘덕턴스가 증가하고 문턱 전압은 양의 방향으로 이동하며 subthreshold 기울기는 변화하지 않는 특성을 나타내었다. 이와같은 현상은 스트레스 후에 게이트 산화막 내에 음 전

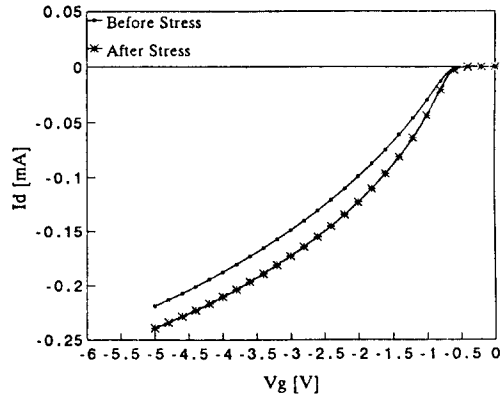


그림 1. SC-PMOSFET의 스트레스 후 드레인 전류-게이트 전압 특성
Fig. 1. Characteristics of Id-Vg after stress for SC-PMOSFET.

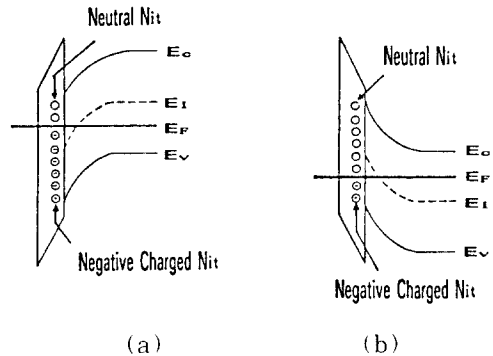


그림 2. 반전된 상태에서 계면 상태의 에너지 분포 모델링
(a) NMOSFET (b) PMOSFET
Fig. 2. Energy distribution modeling for interface states in the inversion bias region.
(a) NMOSFET, (b) PMOSFET.

하가 발생한것으로 설명할 수 있는데 가능한 음 전하로는 산화막 내에 트랩된 전자(trapped electron)와 acceptor-like 계면 상태가 있을 수 있다. 그러나 그림 2와 같이 PMOSFET는 NMOSFET의 경우와 다르게, 반전된(inversion) 상태에서 즉, turn-on되었을때 계면 상태가 거의 채워지지 않는 상태이므로 음 전하는 트랩 전자만 생각할 수 있다.

그림 3은 스트레스 시간에 따른 기판 및 게이트 전류를 순방향 모드에서 측정한것이다. 스트레스 시간

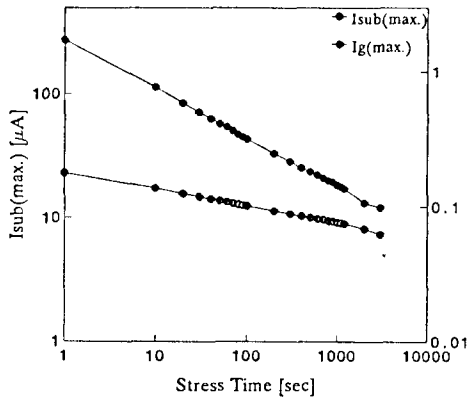


그림 3. SC-PMOSFET의 스트레스 시간에 따른 기판 및 게이트 전류의 최대값
Fig. 3. Stress time dependence of $I_{sub(max.)}$ and $I_{g(max.)}$ for SC-PMOSFET.

에 따라 전류가 감소하는데 이것은 산화막 내에 트랩된 전자가 실질적으로 게이트 전압과 포화 드레인 전압을 증가시키므로 최대 수평 전계가 감소하여 충격 이온화를 감소시켰기 때문이다.

Ⅲ. 트랩 전자에 의한 수평 전계의 해석적 모델링

MOS 트랜지스터가 포화 드레인 전압 이상에서는 드레인 근처의 채널 부근에서의 캐리어가 포화 속도 이상이 되는 속도 포화 영역(velocity saturation region: VSR)이 발생한다. 이와같은 속도 포화 영역에서의 채널 길이 변조(channel length modulation) 현상을 정확하게 모델링하기 위해서는 포아송 방정식과 전류 연속 방정식을 동시에 풀어야한다. 그러나 이것을 정확하게 풀수있는 방법은 CADDET, MINIMOS, 또는 PISCES와 같은 2차원 소자 시뮬레이터를 사용하여 수치 해석적으로 풀수 밖에 없다. 그래서 채널 포텐셜과 채널 전계의 근사화된 해석해를 얻기 위해서 수직 방향의 전계를 무시하는 균일 전계(constant field) 모델이 제안되었으나 이 모델은 산화막내의 전계를 무시하는 단점이 있기 때문에 K_0 는 근사화 이차원 상자 모델을 제안하여 수치 해석적인 방법과 비슷한 결과를 얻었고 이 모델은 지금까지 널리 이용되고 있다.⁴

PMOSFET의 노쇠화 메카니즘인 드레인 근처 게이트 산화막 내의 트랩 전자에 의한 수평 전계의 변화를 해석적으로 모델링하기 위해서 K_0 의 모델을 그림 3과 같이 수정하였다. 그림 4의 속도 포화 영역

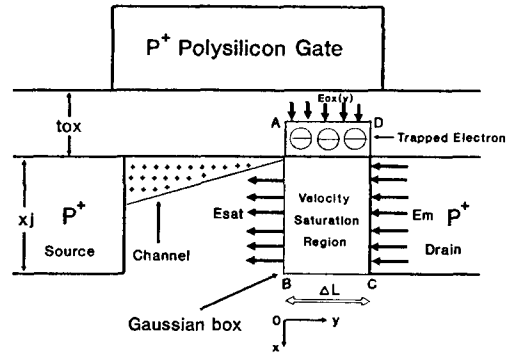


그림 4. 포화 영역에서 노쇠화된 SC-PMOSFET
Fig. 4. Schematic diagram of stressed SC-PMOSFET in the saturation region.

내에서 가우시안 상자(Gaussian box) ABCD는 모든 이동 전하(mobile charge)와 공핍 전하(depletion charge) 및 스트레스에 의해서 게이트 산화막 내에 트랩된 전자(trapped electron)를 포함한다. 만족스러운 해석적 표현을 얻기 위해서 다음과 같은 가정을 한다. 첫째, 충격 이온화에 의하여 생성된 hot-electron이 드레인 부근의 게이트 산화막 내에 트랩되었다. 둘째, 트랩된 전자는 가우시안 또는 균일한 분포를 가진다. 셋째, 트랩된 전자는 1차원(one dimension)으로 분포되어 있다.

트랩된 전자에 의한 채널 전계의 변화를 유도하기 위해서 속도 포화 영역 내에 가우스 법칙을 적용하면 아래의 식 (1)을 얻을수 있다.

$$-E_{sat}x_j + E(y)x_j + \frac{\epsilon_{ox}}{\epsilon_{si}} \int_0^y E_{ox}(0, k)dk + \frac{1}{\epsilon_{si}} \int_0^y qN_t dk = \frac{qN_d}{\epsilon_{si}} x_j y + \frac{qN_m}{\epsilon_{si}} x_j y \quad (1)$$

여기서 E_{sat} 는 캐리어가 포화 속도에 도달할 때의 채널 전계(SC-PMOSFET의 경우에 1.2×10^5 V/cm [5])이고 $E_{ox}(y)$ 는 트랩된 전자가 없을 때의 게이트 산화막 내의 수직 전계이다. qN_d 는 가우시안 상자 내의 도너 밀도이고, qN_m 는 이동 전하 밀도, 그리고 qN_t 는 드레인 근처의 게이트 산화막 내에 트랩된 전자 밀도이다. 가우스 법칙을 적용하는 과정에서 표면 적분 $\int \vec{E} \cdot d\vec{C}$ 에 관련된 전계는 다른 영역에서의 전계에 비해서 매우 작기 때문에 무시하였고 채널 전계는 x 방향에 대해서는 변화하지 않는다고 가정하였다. 식 (1)을 y에 대해서 미분하면 식 (2)의 결과를 얻게된다.

$$x_j \frac{dE(y)}{dy} + \frac{\epsilon_{ox}}{\epsilon_{si}} E_{ox}(0, y) + \frac{qN_t}{\epsilon_{si}} = \frac{qN_d}{\epsilon_{si}} x_j + \frac{qN_m}{\epsilon_{si}} x_j \quad (2)$$

게이트 산화막 내의 수직 전계 $E_{ox} = [V_g - V_{fb} - 2\phi_f - V(y)] / t_{ox}$ 를 식 (2)에 대입하면 식 (3)을 얻는다.

$$x_j \frac{dE(y)}{dy} + \frac{\epsilon_{ox}}{\epsilon_{si} t_{ox}} [V_g - V_{fb} - 2\phi_f - V(y)] + \frac{qN_t}{\epsilon_{si}} = \frac{qN_d}{\epsilon_{si}} x_j + \frac{qN_m}{\epsilon_{si}} x_j \quad (3)$$

또한 $[V_g - V_{fb} - 2\phi_f - V_{dsat}] / t_{ox} = E_{ox}(0,0) = (qN_{dxj} + qN_{mxj}) / \epsilon_{ox}$ 이므로 식 (3)은 다음과 같이 간략화 될수 있다.

$$\epsilon_{si} x_j \frac{dE(y)}{dy} = C_{ox} \left[V(y) - V_{dsat} - \frac{qN_t}{C_{ox}} \right]$$

또는,

$$\frac{dE(y)}{dy} = \frac{1}{\ell^2} \left[V(y) - V_{dsat} - \frac{qN_t}{C_{ox}} \right] \quad (4)$$

여기서 $\ell^2 = \epsilon_{si} t_{ox} x_j / \epsilon_{ox}$ 이다.

$E(0) = E_{sat}$ 와 $V(0) = V_{dsat}$ 의 경계 조건을 식 (4)에 대입하여 풀면 채널 전계에 관한 식 (5)와 채널 포텐셜에 관한 식 (6)을 얻을수 있다.

$$E(y) = E_{sat} \cosh\left(\frac{y}{\ell}\right) - \frac{qN_t}{\ell C_{ox}} \sinh\left(\frac{y}{\ell}\right) \quad (5)$$

$$V(y) = V_{dsat} + \ell E_{sat} \sinh\left(\frac{y}{\ell}\right) - \frac{qN_t}{C_{ox}} \sinh\left(\frac{y}{\ell}\right) + \frac{qN_t}{C_{ox}} \quad (6)$$

식 (5)에서 채널 전계는 드레인쪽으로 갈수록 지수함수적으로 증가함을 알수있고 트랩 전자(N_t)가 증가함에따라 그 값이 감소함을 알 수 있다. 채널의 드레인 끝에서 전계가 최대가 되므로 최대 수평 전계와 포텐셜은 식 (7), (8)과 같이 표현할 수 있다.

$$E_m = E(y = DL) = E_{sat} \cosh\left(\frac{\Delta L}{\ell}\right) - \frac{qN_t}{\ell C_{ox}} \sinh\left(\frac{\Delta L}{\ell}\right) \quad (7)$$

$$V_d = V_{dsat} + \ell E_{sat} \sinh\left(\frac{\Delta L}{\ell}\right) - \frac{qN_t}{C_{ox}} \cosh\left(\frac{\Delta L}{\ell}\right) + \frac{qN_t}{C_{ox}} \quad (8)$$

식 (7)과 (8)을 결합하여 간략화 하면 속도 포화 영역의 길이(ΔL)와 최대 수평 전계(E_m)에 관한 식 (9)와 (10)을 얻을수 있다.

$$\Delta L = \ell \cdot \ln\left(\frac{\ell E_m + V_d - V_{dsat} - qN_t / C_{ox}}{\ell E_{sat} - qN_t / C_{ox}}\right) \quad (9)$$

$$E_m \left(\frac{(V_d - V_{dsat} - qN_t / C_{ox})^2}{\ell^2} + E_{sat}^2 - \left(\frac{qN_t}{\ell C_{ox}}\right)^2 \right)^{1/2} \quad (10)$$

속도 포화 영역의 유효 길이(ℓ)와 포화 드레인 전압(V_{dsat})은 실험 결과와 잘 일치하는 해석적 모델인 식

(11)과 (12)를 이용한다.⁵ 식(11)은 2차원 시뮬레이션과 실험 결과를 근사화하는 과정에서 게이트 산화막의 두께가 150 Å까지에서는 널리 사용되는 보편적인 식이다.

$$\ell = 0.22 x_j^{1/2} t_{ox}^{1/3} \quad (11)$$

$$V_{dsat} = - \frac{|V_g - V_t| E_{sat} \cdot L_{eff}}{|V_g - V_t| + E_{sat} \cdot L_{eff}} \quad (12)$$

IV. 결과 및 고찰

1. 수평 전계 분포

Hot-carrier의 생성과 이로 인한 소자의 노쇠화는 수평 전계의 크기에 의하여 결정되므로 식 (5)를 계산한 해석적 모델의 이론치를 그림 5와 그림 6에 나타내었다. 각 소자의 변수값들은 본 연구에서 제작한 소자의 사양과 같은 것을 사용하였다. 그림 5는 트랩된 전자가 $N_t = N_0 \cdot \exp(-(y-y_0)^2 / 2\sigma^2)$ 의 가우시안(Gaussian) 분포를 갖는다는 가정을 했을 때의 수평 전계 분포이다. 전자의 트랩양이 가우시안 분포를 갖는것은 전하 펌핑(charge pumping)을 이용한 실험 결과로 부터 인용한 것이며 N_0 는 $1 \times 10^{12} \text{cm}^{-2}$, σ 는 $0.15 \mu\text{m}$, 그리고 y_0 는 $0.1 \mu\text{m}$ 를 사용하였다.⁶ 그림 5로 부터 N_t 값이 클수록 수평 전계의 최대치는 작으며 같은 y 위치에서 수평 전계는 작은 값을 가짐을 알 수 있다. 그림 6은 전자 트랩이 가우시안 분포를 가질 경우와 균일한(uniformly) 분포를 가질 경우의

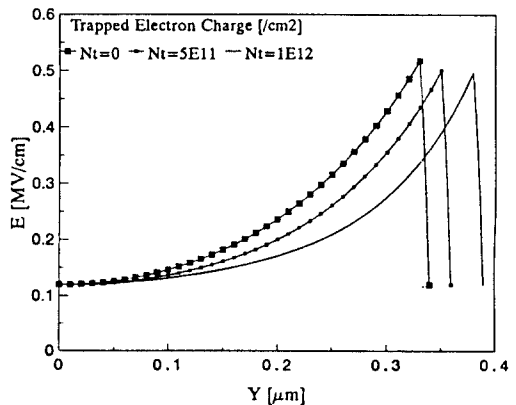


그림 5. 노쇠화된 영역에서 채널 위치에 따른 수평 전계

Fig. 5. Lateral electric field distribution with channel position within the damae region.

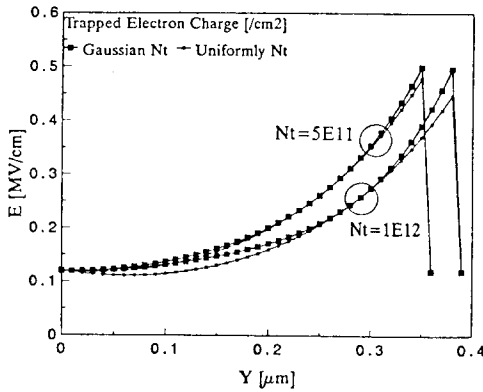


그림 6. 가우시안 트랩 전자와 균일한 트랩 전자 분포일 때의 채널 위치에 따른 수평 전계
 Fig. 6. Lateral electric field distribution with channel position for N_t =Gaussian and N_t =uniform damage profile.

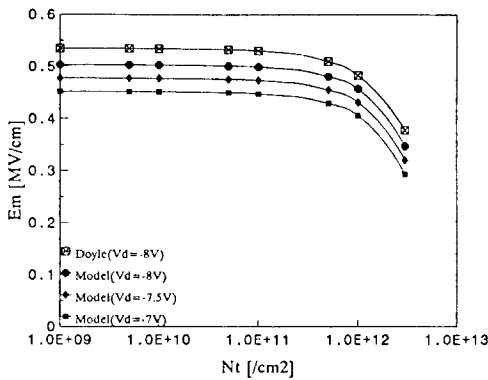


그림 7. 트랩 전자에 따른 최대 수평 전계
 Fig. 7. Correlation between maximum lateral electric field and the trapped electron charge.

수평 전계 분포를 나타낸 것이다. 그림 5에서와 같이 수평 전계는 Ko등의 모델에서와 같이 드레인 쪽으로 갈수록 지수 함수적으로 증가하는 것을 알 수 있으며 N_t 가 증가할수록 수평 전계의 최대값은 감소하는 것을 알 수 있다. 그리고 그림 6으로부터 N_t 가 균일하게 분포되는 경우가 가우시안 분포에 비하여 수평 전계가 작으며 전자의 트랩 양이 많을수록 그 차이가 큰 것을 알 수 있다. 결국 수식 자체는 N_t 가 균일한 분포를 가질 때가 간단하지만 가우시안 분포를 갖는 경우의 수평 전계 모델이 더 정확할 것이다. 그림 7은 트랩된 전자의 양 N_t 와 식 (10)을 이용하여 계산한 최

대 수평 전계를 나타낸 것이다. 그림 7로 부터 N_t 가 약 $1 \times 10^{12} \text{ cm}^{-2}$ 이상되면 최대 전계가 크게 감소하는 것을 알 수 있었으며 또한 본 모델을 다른 논문과 비교하기 위하여 Doyle등의 2차원 소자 시뮬레이터인 MINIMOS를 이용한 값과 동시에 그림 7에 나타내었다.

본 논문에서 제시한 1차원적인 모델과 수치 해석적인 2차원 모델로 부터 N_t 에 따른 최대 수평 전계의 변화는 거의 비슷한 것을 알 수 있었으며 동일한 드레인 전압에서 최대 수평 전계의 값이 차이가 있는 것은 Doyle등^[7]의 소자와 본 논문에서 사용한 소자의 변수가 다른데서 기인된 것이다.

트랩된 전자량의 증가에 따른 최대 수평 전계의 감소는 새로히 생성되는 hot-carrier의 수를 감소시킬 것이며 또한 산화막 내로 주입되는 전자의 수를 감소시키게 되어 그림 2와 같이 기판 및 게이트 전류는 스트레스 시간에 따라 감소하게 되는 것이다.

2. 유효 채널 길이 변화

일반적으로 PMOSFET의 수명 시간은 스트레스를 받은 소자의 subthreshold 기울기의 노쇠화와 punchthrough 전압의 저하에 의하여 결정되는데 이 두가지의 현상은 트랩된 전자에 의한 유효 채널 길이의 감소에서 기인된 것이다. 그림 8은 트랩된 전자의 양에 따라 속도 포화 영역의 길이, ΔL 의 변화를 나타낸 것이다. 그림 8로 부터 트랩된 전자의 양이 증가 할수록 ΔL 은 증가되는 것을 알 수 있는데 이 ΔL 의 증가는 채널의 유효 길이를 감소시키게 되고

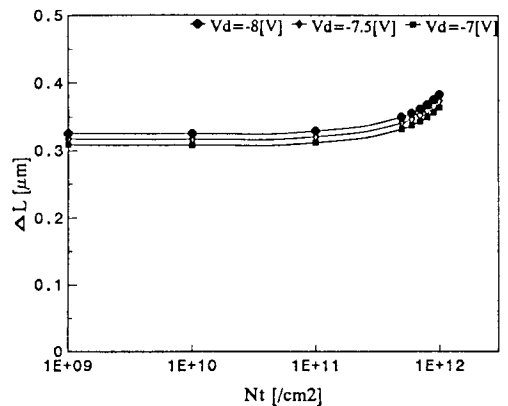


그림 8 노쇠화된 영역에서 트랩 전자에 따른 속도 포화 영역의 길이
 Fig. 8. Correlation between the velocity saturation region length with the trapped electron charge.

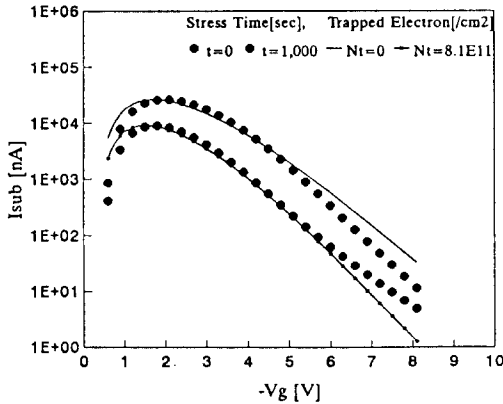


그림 9. 스트레스 전.후 기판 전류 측정으로부터 전자 트랩량의 추출.

Fig. 9. I_{sub} of fresh ($t=0$ or $N_t=0$) and stressed (1000sec or $N_t=8.1 \times 10^{11} \text{ cm}^{-2}$).

결국 hot-carrier가 punchthrough 전압을 저하시키는 HEIP(hot electron induced punchthrough) 현상을 유발 시키게 된다. 본 논문에서 제시한 N_t 에 따른 ΔL 변화의 타당성을 검증하기 위하여 $V_d=-7V$ 에서 1,000초 동안 스트레스를 인가한 후의 기판 전류-전압 특성을 측정하여 그림 9에 나타내었다. 측정된 기판 전류의 변화로부터 N_t 는 약 $8.1 \times 10^{11} \text{ cm}^{-2}$ 이었으며 그림 8로부터 ΔL 은 약 $0.34 \mu\text{m}$ 정도임을 알 수 있다. 스트레스를 받은 소자의 포화 영역에서 드레인 전류 변화는 문턱 전압 변화 및 유효 채널 길이의 변화로부터 기인 되는데 포화 영역에서 문턱 전압의 변화는 크지 않으므로 무시하고 유효 채널 길이의 변화만 고려하여 구할 수 있다. 드레인 전류는 채널의 길이에 반비례 하므로 스트레스 전.후의 드레인 전류비를 채널 길이 변화에 따라 식 (13), (14)와 같이 쓸 수 있을 것이다.

$$\Delta I_{dsat} = I_{dsat2} - I_{dsat1} \quad (13)$$

$$\frac{\Delta I_{dsat}}{I_{dsat1}} = \frac{I_{dsat2}}{I_{dsat1}} - 1 \cong \frac{L_1 - \Delta L_1}{L_2 - \Delta L_2} - 1 = \frac{\Delta L_2 - \Delta L_1}{L_1 - \Delta L_2} \quad (14)$$

여기서 첨자 1은 스트레스 전의 소자를, 첨자 2는 스트레스 후의 소자를 의미한다. 그림 9의 기판 전류 측정 결과로부터 1,000초 스트레스 후에 N_t 값이 $8.1 \times 10^{11} \text{ cm}^{-2}$ 임을 알 수 있는데 그림 8의 계산 결과에서 N_t 가 0일때 ΔL_1 (스트레스 전)이 약 $0.304 \mu\text{m}$ 이고 N_t 가 $8.1 \times 10^{11} \text{ cm}^{-2}$ 일때 ΔL_2 (스트레스 후)이 약 $0.34 \mu\text{m}$ 이므로 식 (14)를 이용하여 이때 포화 드레

인 전류의 변화량이 약 7.67%가 됨을 알 수 있다.

3. 결과 고찰

Hot-carrier에 의한 PMOSFET의 소자 노쇠화는 드레인 부근의 산화층에 트랩된 전자에 의하여 결정되므로 트랩된 전자의 양과 소자의 특성 관계는 매우 중요하다. 그림 7로부터 N_t 가 증가하면 채널에서의 수평 전계는 감소하게 되고 이로 인하여 기판 및 게이트 전류는 감소하게 될 것이다. 즉, 충격 이온화에 의하여 생성된 전자들이 게이트 전계에 의하여 산화막으로 주입되어 드레인 부근의 산화막 내에서 음의 전하를 형성하고, 이것이 채널 영역에 정공 반전층을 유도하게 되므로 마치 게이트 전압이 증가 된것과 같은 효과를 야기 시킴으로써 채널의 전계를 감소시키게 된다. 그림 8은 PMOSFET 소자가 스트레스를 받은 후에 전류가 증가하는 그림 1의 현상을 유효 채널 길이의 감소로 잘 설명해 주고 있다. 즉, N_t 의 증가는 L 의 증가를 유발시켜 유효 채널 길이의 감소가 일어나게 된다. 또한 그림 3과 같이 스트레스 받은 소자의 기판 및 게이트 전류가 스트레스 시간에 따라 변하는 값을 측정하므로 트랩된 전자의 양을 간접적으로 계산해 낼 수 있을 것이다.

V. 결론

Submicrometer 또는 deep-submicrometer CMOS 회로의 구현을 위해서 사용되는 짧은 채널 효과 특성이 우수한 SC-PMOSFET의 hot-carrier로 인한 성능 저하를 분석하는데 있어서 중요한 변수인 채널 수평 전계를 기존의 2차원 소자 시뮬레이션을 이용한 복잡한 수치해석적인 방법 대신에 간단한 해석적 모델을 제안하였다. 기존의 K_0 의 근사화 이차원 상자 모델에 쉽게 적용하여 포화 영역에서 노쇠화된 SC-PMOSFET의 트랩 전자에 의한 채널 전계를 계산한 결과는 수치 해석적인 방법과 잘 일치함을 확인할 수 있었고, 스트레스 후에 드레인 부근의 산화막 내에 형성된 음의 전하가 채널의 전계를 감소하게 하는 PMOSFET의 노쇠화 메카니즘을 잘 설명하였다. 그리고 수정된 수평 전계 모델을 이용하여 계산된 속도 포화 영역 길이의 증가는 PMOSFET의 HEIP 현상을 잘 설명할 수 있었다.

參考文獻

[1] G. J. Hu and R. H. Bruce, " Design trade-offs between surface and buried

- channel FET's." *IEEE Trans. on Electron Devices*, vol. ED-32, no. 3, pp. 584-588, 1985.
- [2] C. Y. Wong, J. Y. Sun, Y. Taur, C. S. Oh, R. Angelucci, and B. Davari, "Doping of N⁺ and P⁺ polysilicon in a dual-gate process." *IEDM Tech. Dig.*, pp. 238-241, 1988.
- [3] M. Koyanagi, A. G. Lewis, R. A. Martin, T. Y. Huang, and J. Y. Chen, "Hot-electron-induced-punchthrough (HEIP) effect in submicrometer PMOS-FET's." *IEEE Trans. on Electron Devices*, vol. ED-34, no. 4, pp. 839-843, 1987.
- [4] P. K. Ko, "Approach to scaling." in *Advanced MOS Device Physics*, N. G. Einspruch and G. Sh. Gildenblat, eds. New York: Academic Press, 1989.
- [5] T. C. Ong, P. K. Ko, and C. Hu, "Hot-carrier modeling and device degradation in surface-channel pMOS-FET's." *IEEE Trans. on Electron Devices*, vol. ED-37, no. 7, pp. 1658-1666, 1990.
- [6] R. Mahnkopf, G. Przyrembel, and H. G. Wagemann, "A new method for the determination of the spatial distribution of hot-carrier damage." *J. de Physique*, vol. 49, pp. C4-775, 1988.
- [7] B. S. Doyle and K. R. Mistry, "A lifetime prediction method for hot-carrier degradation in surface-channel p-MOS devices." *IEEE Trans. on Electron Devices*, vol. ED-37, no. 5, pp. 1301-1307, 1990.

 著者紹介

梁光善(正會員) 第28卷 A編 第9號 參照
 현재 금성 일렉트론 TCAD실
 선임 연구원

朴鍾泰(正會員) 第23卷 第3號 參照
 현재 인천대학교 전자공학과 조교수

金鳳烈(正會員) 第25卷 第11號 參照
 현재 연세대학교 전자공학과 교수