

論文94-31A-1-7

## 수정된 수평 전계 모델을 이용한 SC-PMOSFET의 기관 전류와 게이트 전류의 해석적 모델

### (An Analytical Models for Substrate Current and Gate Current Using Modified Lateral Electric Field Model for Surface-Channel PMOSFET's)

梁光善\*, 朴種泰\*\*, 金鳳烈\*

(Kwang Sun Yang, Jong Tae Park and Bong Ryul Kim)

#### 要約

PMOSFET의 노쇠화 메카니즘인 드레인 근처의 게이트 산화막 내의 트랩 전자에 의한 수평 전계의 감소를 고려하여 노쇠화된 SC-PMOSFET의 기관 전류와 게이트 전류에 대한 해석적 모델을 제안하였다. 제안된 모델을 이용하여 계산한 기관 전류와 게이트 전류는 실험치와 잘 일치하였고, 스트레스 후의 기관 및 게이트 전류를 측정함으로써 트랩된 전자의 양을 간접적으로 계산해 낼 수 있었다. 또한 최대 수평 전계의 해석학적 모델을 전자 트랩핑 분포 계산에 사용하여 스트레스 시간에 따른 전자 트랩핑 분포의 대수의존성과 최대 수평 전계의 감소 관계를 설명하였다.

#### Abstract

In this paper, we present the analytical models for substrate current and gate current of stressed SC-PMOSFET using the change of the lateral electric field distribution due to the trapped electron. Calculated  $I_{sub}$  and  $I_g$  of stressed SC-PMOSFET agree with experimental data. Our model can be very useful explaining the logarithmic time dependence of  $I_{sub}$  and  $I_g$ , and also the trapped electron distribution.

#### 1. 서론

Hot-electron에 의한 MOSFET의 성능 저하는 소자를 scaling 하는데 가장 큰 제한 요소가 되고있

다. 지금까지는 이에 대한 연구가 NMOSFET와 BC (buried channel)-PMOSFET에 대해서 주로 이루어져 왔으나<sup>1,2</sup>, submicrometer 또는 deep-submicrometer CMOS 회로의 구현에 있어서는 BC-PMOSFET에 비해서 짧은 채널 효과 특성이 우수한 SC(surface channel)-PMOSFET의 신뢰성이 중요한 문제가 되어왔다.<sup>3,4</sup>

소자의 집적도가 증가함에 따라서 기관 전류(substrate current:  $I_{sub}$ )와 게이트 전류(gate current:  $I_g$ )는 MOSFET 성능에 큰 변수가 되어왔

\* 正會員, 延世大學校 電子工學科  
(Dept. of Elec. Eng. Yonsei Univ.)

\*\* 正會員, 仁川大學校 電子工學科  
(Dept. of Elec. Eng. Incheon Univ.)

接受日字: 1993年 5月 22日

고 최근에 SC-PMOSFET에 대한 노쇠화 메카니즘과 기관 전류와 게이트 전류에 대한 해석(analytical)적 모델에 관한 연구가 있었으나<sup>5,6)</sup>, PMOSFET의 노쇠화 메카니즘인 드레인 근처 게이트 산화막 내의 트랩 전자(trapped electron)에 의한 수평 전계(lateral electric field)의 변화를 고려하지 않았다. 또한 노쇠화된(stressed) 소자의 기관 전류와 게이트 전류 그리고 전자 트랩핑의 분포가 스트레스 시간에 따라서 대수 의존성을 갖는다는 것을 설명할수 없었다. 따라서 본 연구에서는 hot-electron으로 인한 소자의 성능 저하를 분석하는데 있어서 중요한 변수인 전자 트랩핑에 의한 수평 전계 변화의 해석적 모델을 이용하여 노쇠화된 SC-PMOSFET의 기관 전류와 게이트 전류에 대한 해석적 모델을 제안하고 이 모델을 통하여 기관 전류와 게이트 전류 및 전자 트랩핑 분포의 스트레스 시간에 따른 대수 의존성을 설명하고자 한다.

II. 기관 전류와 게이트 전류의 해석적 모델

1. 기관 전류

채널 내의 캐리어가 드레인 부근의 고 전계에 의해서 높은 에너지를 얻게 되어 충격 이온화에 의해서 발생하는 단위 길이당 EHP(electron-hole pair) 수를 충격 이온화 계수(impact ionization coefficient)라고 하며,  $A_i \cdot \exp(-Bi/E)$ 의 식과 같은 전계의 함수로 주어진다. NMOSFET의 경우에 채널 전자에 의한 충격 이온화에 의해서 생성된 정공이 소오스로부터 드레인으로 이동하는 동안 기관 전류를 발생하며 식 (1)과 같이 표현할수 있다.<sup>7)</sup>

$$I_{sub} \cong \frac{A}{B_i} \ell E_m I_d \exp(-B_i/E_m) \tag{1}$$

$$= \frac{A_i}{B_i} (V_d - V_{dsat}) I_d \exp\left(\frac{\ell \cdot B_i}{V_d - V_{dsat}}\right) \tag{2}$$

여기서,  $\ell = 0.22x_i^{1/2} t_{ox}^{1/3}$   $\tag{3}$

$$V_{dsat} = - \frac{|V_g - V_t| E_{sat} \cdot L_{eff}}{|V_g - V_t| + E_{sat} \cdot L_{eff}} \tag{4}$$

이다.  $I_d$ 는 드레인 전류,  $V_d$ 는 드레인 전압,  $V_{dsat}$ 는 포화 드레인 전압,  $x_i$ 는 소오스/드레인 접합 길이,  $t_{ox}$ 는 게이트 산화막 두께,  $E_{sat}$ 는 포화 속도 채널 전계, 그리고  $L_{eff}$ 는 유효 채널 길이를 나타낸다.  $A_i$ 와  $B_i$ 는 충격 이온화 모델식에서의 상수 값이다. NMOSFET에 대해서 유도한 식 (1)은 PMOSFET에 대해서도 적용할 수 있고<sup>6)</sup> 충격 이온화 상수는

식 (2)에서  $(1/V_d - V_{dsat})$ 에 따른  $\ln [I_{sub}/I_d(V_d - V_{dsat})]$ 의 관계식에서 구할수 있다.<sup>7)</sup>

2. 게이트 전류

Hot-electron으로 인한 PMOSFET의 성능 저하는 게이트 전류와 더 관계가 있으므로 게이트 전류에 관한 모델링은 매우 중요하다. NMOSFET와 다르게 PMOSFET는 낮은 게이트 전압에서 포화 영역으로 바이어스 되었을 때 가장 큰 게이트 전류가 흐른다. PMOSFET의 게이트 전류는 정공에 의한 것보다는 전자에 의한 것이다. 이는 전자가 정공에 비해서 평균 자유 행정 길기 때문이다. 또한 전자에 대한 Si/SiO<sub>2</sub> 장벽 높이가 정공에 대한 것보다 더 낮고 낮은 게이트 전압에서 수직 전계가 전자의 주입을 돕기 때문이다. PMOSFET에서 전자 발생의 근원은 충격 이온화에 의한 것이므로 게이트 전류를 모델링하는 과정에서 드레인 전류 대신에 기관 전류를 사용한다. 식 (5)는 lucky 전자 모델을 이용한 게이트 전류식을 나타낸다.<sup>16,7)</sup>

$$I_g \cong 0.5 \frac{I_{sub} t_{ox}}{\lambda r} \left( \frac{\lambda E_m}{\phi_b} \right)^2 P(E_{ox}) \exp\left(\frac{-\phi_b}{E_m \lambda}\right) \tag{5}$$

여기서  $P(E_{ox})$ 는 계면 아래의 영역에서 hot-electron이 redirecting 충돌을 한 후 더 이상의 충돌 없이 Si/SiO<sub>2</sub> 계면까지 움직일 확률이고,  $\lambda_i$ 은 redirection 산란 평균 자유 행정(=616Å),  $\lambda$ 는 채널 hot-electron의 산란 평균 자유 행정(=105Å),  $\phi_b$ 는 Si/SiO<sub>2</sub> 영상력(image force)과 전자 터널링을 고려한 Si/SiO<sub>2</sub> 포텐셜 장벽 높이를 나타낸다.

충격 이온화율은 채널 전계의 함수이기 때문에 기관 전류와 게이트 전류는 채널 전계에 크게 의존한다. 스트레스 후 SC-PMOSFET의 기관 전류와 게이트 전류를 계산하기 위해서 식 (1)과 (5)의 전류식에서  $E_m$ 을 식 (6)과 같이 트랩 전자의 함수로 표현하여<sup>16)</sup> 스트레스 후의 기관 전류와 게이트 전류를 결정할 수 있다.

$$E_m \left[ \frac{(V_d - V_{dsat} - qN_t/C_{ox})^2}{\ell^2} + E_{sat}^2 - \left( \frac{qN_t}{C_{ox}} \right)^2 \right]^{1/2} \tag{6}$$

3. 전자 트랩핑(Electron Trapping) 분포 모델

트랩핑 과정(trapping process)을 이미 존재하는 트랩에 주입되는 전자의 트랩에 의한 1계 트랩핑 방정식으로 간단히 모델링하면 식 (7)과 같이 쓸 수 있다.<sup>11)</sup>

$$\frac{dN(y,t)}{dt} = \frac{\sigma}{q} J_m(y,t) (N_o - N(y,t)) \tag{7}$$

여기서  $N(y,t)$ 는 채널 길이 방향인  $y$  위치에 따라서 트랩되는 전자 밀도이고,  $\sigma$ 는 트랩 단면적 (capture cross section),  $J_{in}(y,t)$ 는 주입되는 전자 밀도,  $N_0$ 는  $t=0$ 에서의 중성(neutral) 트랩 밀도이다. 스트레스 시간 간격  $\Delta t$ 에 대해서 트랩 비율 방정식은 식 (8)과 같이 쓸 수 있다.

$$N(y,t+\Delta t) = N_0 \left( N_0 - N(y,t) \right) \left[ 1 - \exp \left( -\frac{\sigma}{q} J_{in}(y,t) \Delta t \right) \right] \quad (8)$$

그러나 이 식의 계산에 있어서 Wang<sup>9)</sup>은 전자가 트랩핑됨에 따라서 채널 전계 분포가 변화하지 않는다고 가정하고 해석하였다. 그러나 실제로 게이트 전류는 1,000초 스트레스 후에도 일반적으로 약 10배 이상 감소하고 이는 주입되는 전류가 감소한다는 것을 알려준다. 그러므로 Wang의 모델은 그의 논문에서 언급했듯이 전자가 트랩핑됨에 따라서 채널 전계 분포가 변화하지 않는다고 가정하고 해석하여 스트레스 시간에 따라서 주입되는 전류가 감소하는 PMOSFET의 노쇠화 메커니즘과 일치하지 않는다. 따라서 노쇠화가 진행됨에 따라서 주입되는 전류를 계산하는데 있어서 가장 중요한 변수인 채널 전계가 전자가 트랩핑됨에 따라서 감소하는 관계를 고려하여 해석해야만 한다. 식(9)는 전자 트랩핑에 따른 채널 전계의 감소를 나타내는 식이다.\*

$$E(y) = E_{sat} \cosh \left( \frac{y}{l} \right) - \frac{qN_t}{\epsilon C_{ox}} \sinh \left( \frac{y}{l} \right) \quad (9)$$

### III. 실험 결과 및 고찰

보론을 이온 주입하여 p<sup>+</sup> 다결정 실리콘 게이트 전극을 형성하고, phosphorus 채널 이온 주입을한 SC-PMOSFET를 CMOS 공정을 이용하여 제작하였다.

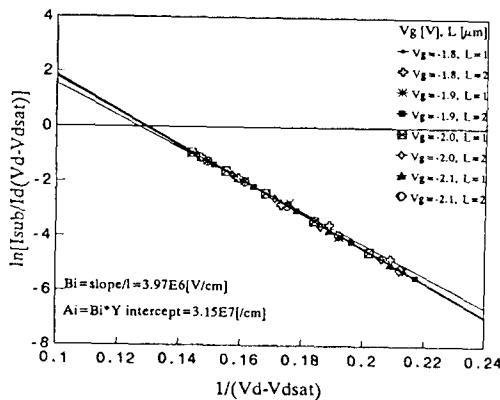


그림 1.  $(1/V_d - V_{dsat})$ 에 따른  $\ln [I_{sub}/I_d(V_d - V_{dsat})]$   
Fig. 1. Plot of  $(1/V_d - V_{dsat})$  versus  $\ln [I_{sub}/I_d(V_d - V_{dsat})]$

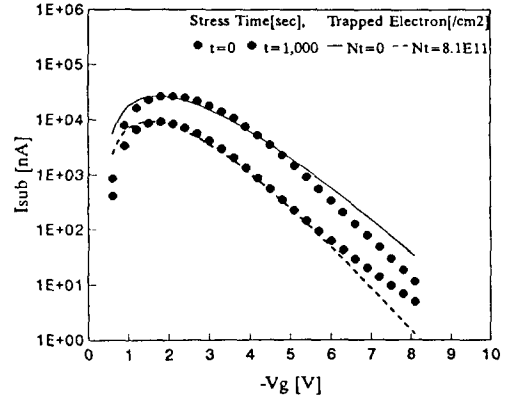


그림 2. 채널 길이가  $1\mu m$ 인 SC-PMOSFET의 스트레스 전.후 기판 전류 측정으로 부터 전자 트랩양의 추출.

Fig. 2. Extraction of  $N_t$  from  $I_{sub}$  measurement before and after stress for SC-PMOSFET with a channel length of  $1\mu m$ .

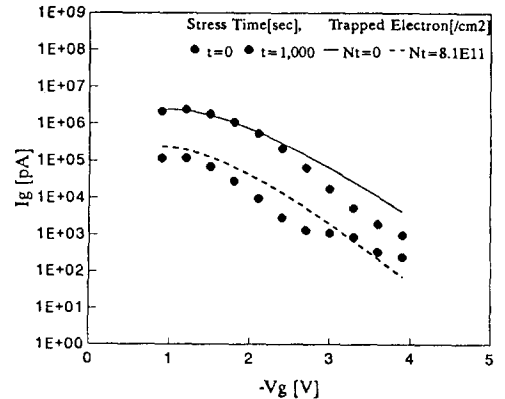


그림 3. 채널 길이가  $1\mu m$ 인 SC-PMOSFET의 스트레스 전.후 게이트 전류 측정으로 부터 전자 트랩양의 추출.

Fig. 3. Extraction of  $N_t$  from  $I_g$  measurement before and after stress for SC-PMOSFET with a channel length of  $1\mu m$ .

채널 폭/길이는  $20/1.0\mu m$ . 게이트 산화막 두께는  $150\text{\AA}$ , 소오스/드레인 접합 깊이는  $0.38\mu m$ 이었다.

먼저 충격 이온화 상수를 구하기 위하여 채널 길이가  $1, 2\mu m$ 인 소자에 대해서 게이트 전압을 변화시키면서  $(1/V_d - V_{dsat})$ 에 따른  $\ln [I_{sub}/I_d(V_d - V_{dsat})]$  관

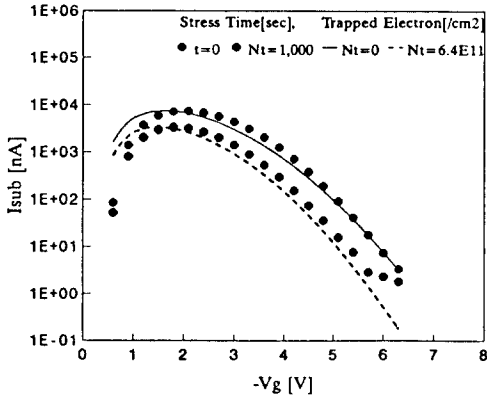


그림 4. 채널 길이가 2 $\mu\text{m}$ 인 SC-PMOSFET의 스트레스 전.후 기관 전류 측정으로부터 전자 트랩 양의 추출

Fig. 4. Extraction of  $N_t$  from  $I_{sub}$  measurement before and after stress for SC-PMOSFET with a channel length of  $2\mu\text{m}$ .

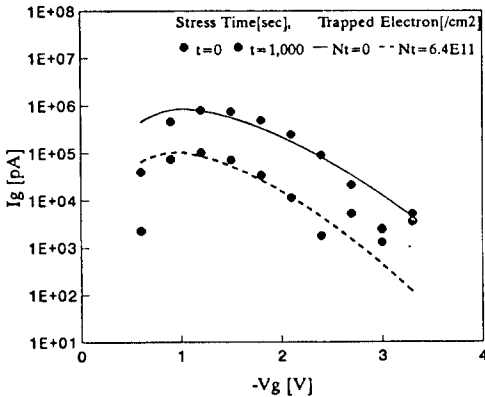


그림 5. 채널 길이가 2 $\mu\text{m}$ 인 SC-PMOSFET의 스트레스 전.후 게이트 전류 측정으로부터 전자 트랩 양의 추출

Fig. 5. Extraction of  $N_t$  from  $I_g$  measurement before and after stress for SC-PMOSFET with a channel length of  $2\mu\text{m}$ .

계를 측정하여 그림 1에 나타내었다. 기울기는  $B_1/l$ 을 나타내므로 기울기 값과 식 (3)을 이용하여  $l$  값을 계산한 후  $B_1$ 를 구하고,  $y$  절편과  $B_1$ 를 이용하여  $A_1$ 를 구한다. 이때  $B_1=3.97 \times 10^6$  [V/cm] 과  $A_1=3.15 \times 10^7$  [ $\text{cm}^{-1}$ ] 를 얻었다. 그림 2와 3은 채널 길이가  $1\mu\text{m}$

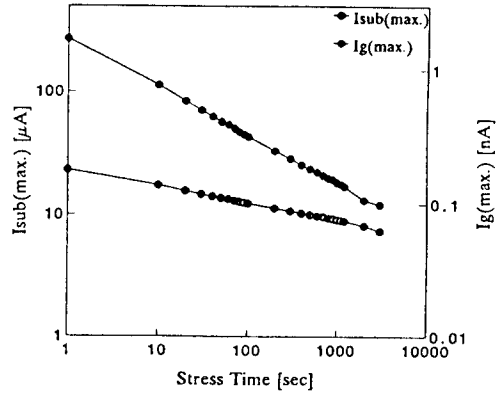


그림 6. SC-PMOSFET의 스트레스 시간에 따른 기관 및 게이트 전류 최대값의 변화

Fig. 6. Stress time dependence of  $I_{sub(max)}$  and  $I_g(max)$  for SC-PMOSFET.

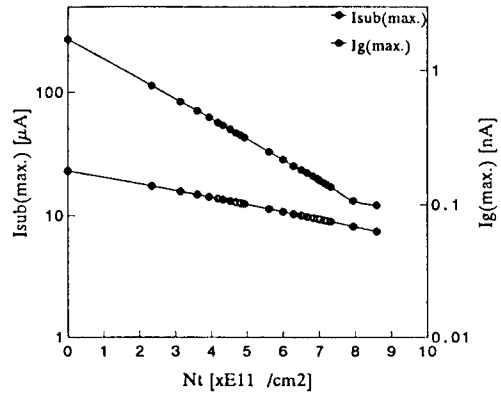


그림 7. 기관 전류와 게이트 전류 최대값의 감소와 계산된 트랩 전자의 관계

Fig. 7. Correlation between  $I_{sub(max)}$  and  $I_g(max)$  decreasing and the calculated  $N_t$ .

인 소자를 스트레스를 가하기 전과  $V_d=-7\text{V}$ 와 게이트 전류가 최대로 흐르는 게이트 바이어스 조건에서 1,000초 스트레스를 가한 후에 게이트 전압에 따른 기관 전류와 게이트 전류의 특성을 나타낸 것이다. 스트레스를 가하기 전의 기관 전류 특성은 트랩 전자, 즉  $N_t=0$ 일때와 잘 일치함을 알 수 있다. 1,000초 스트레스 후의 측정 결과를 제안한 해석적 모델을 이용하여 계산한 결과  $N_t=8.1 \times 10^{11} \text{cm}^{-2}$  일때 잘 일치하는 것을 알 수 있다. 그림 4와 5는 채널 길이가  $2\mu\text{m}$ 인 경우이다. 스트레스 후의 실험 결과가  $N_t=6.4 \times 10^{11} \text{cm}^{-2}$  에서 잘 일치하는 것을 알 수 있다. 그림

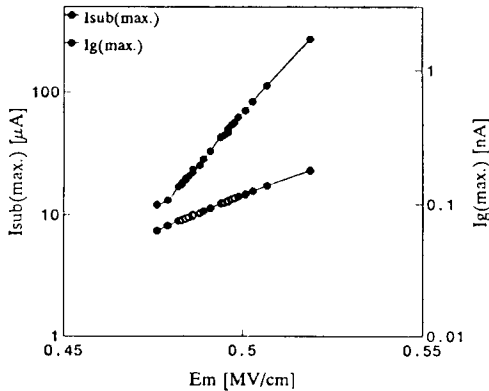


그림 8. 기판 전류와 게이트 전류 최대값의 감소와 계산된 최대 수평 전계의 관계

Fig. 8. Correlation between  $I_{sub(max)}$  and  $I_g(max)$  decreasing and the calculated  $E_m$ .

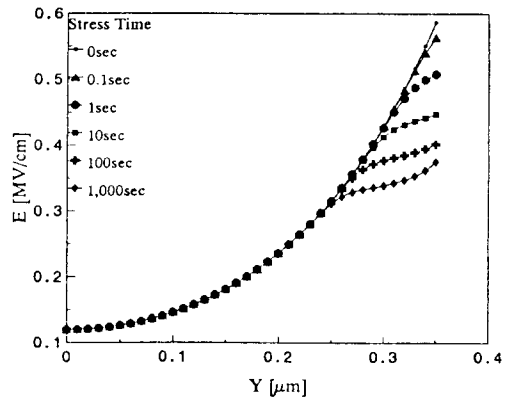


그림 10. 노쇠화된 영역에서 스트레스 시간에 따른 수평 전계 분포

Fig. 10. Stress time dependence of lateral electric field distribution in the damage region.

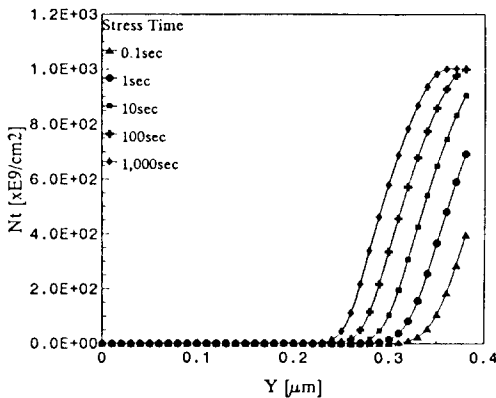


그림 9. 노쇠화된 영역에서 스트레스 시간에 따른 전자 트랩핑 분포

Fig. 9. Stress time dependence of electron trapping distribution in the damage region.

6은 스트레스 시간에 따른 기판 전류와 게이트 전류의 감소를 측정된 실험 결과이다. 해석적 모델을 이용하여 그림 7과 8에 기판 전류와 게이트 전류를 트랩 전자와 최대 수평 전계의 관계로 나타내었다. 기판 전류와 게이트 전류의 감소는 트랩 전자를 증가시키고 최대 수평 전계를 감소시킴을 알 수 있고, 스트레스 후의 기판 및 게이트 전류가 스트레스 시간에 따라 변하는 값을 측정함으로써 트랩된 전자의 양을 간접적으로 계산 할 수 있다.

그림 9는 노쇠화된 영역에서 전자 트랩핑 분포를 얻기 위하여 스트레스 시간에 따라서 식 (5), (8)과 (9)를 self consistent하게 계산한 결과이다. 계산 과정에서,  $\sigma$ 는  $1.0 \times 10^{17} \text{ cm}^{-2}$ ,  $N_0$ 는  $1.0 \times 10^{12} \text{ cm}^{-2}$ 로 가정했다.<sup>10</sup> 소오스 쪽으로 갈수록 거의 모든 트랩이 비어있고 드레인 쪽으로 갈수록 거의 모든 트랩이 채워진 것을 알 수 있으며, PMOSFET의 노쇠화가 시간에 따라서 대수 의존성을 갖는것을 알 수 있다. 그림 10은 노쇠화된 채널 영역에서의 최대 수평 전계를 스트레스 시간에 따라서 self-consistent하게 계산한 결과이다. 스트레스 시간이 증가함에 따라서  $E_m$ 이 감소하는 경향을 보임을 알 수 있다. 채널 내에서  $y$ 가  $0.25 \mu\text{m}$ 까지는 스트레스 시간이 증가해도  $E_m$ 의 감소가 없었으나 드레인쪽으로 갈수록  $y$ 가  $0.35 \mu\text{m}$ 에서는 0.1초 스트레스 후에 3.9% 감소하였으나 1,000초 후에는 36.12%로 크게 감소하였다. 이것은 스트레스 시간이 증가하면서 즉 노쇠화가 진행됨에 따라서 트랩 전자가 증가하여 전계가 감소하는 결과와 일치함을 알 수 있다.

#### IV. 결론

노쇠화된 SC-PMOSFET의 기판 전류와 게이트 전류의 해석적 모델을 트랩 전자에 의한 수평 전계의 변화를 고려하여 제안하였다. 제안된 해석적 모델을 이용하여 계산한 기판 전류와 게이트 전류는 실험치와 잘 일치하였고, 전자 트랩핑 분포 계산에 사용하

었다. 제안된 해석적 모델은 기관 전류와 게이트 전류 및 전자 트랩핑 분포의 스트레스 시간에 따른 대수의 의존성과 최대 수평 전계의 감소 관계를 설명하였다.

### 参 考 文 献

- [1] C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, and K. W. Terril, "Hot-electron-induced MOSFET degradation - model, monitor, improvement," *IEEE Trans. on Electron Devices*, vol. ED-32, no. 2, pp. 375-385, 1985.
- [2] M. Koyanagi, A. G. Lewis, R. A. Martin, T. Y. Huang, and J. Y. Chen, "Hot-electron-induced-punchthrough (HEIP) effect in submicrometer PMOSFET's," *IEEE Trans. on Electron Devices*, vol. ED-34, no. 4, pp. 839-844, 1987.
- [3] G. J. Hu and R. H. Bruce, "Design trade-offs between surface and buried channel FET's," *IEEE Trans. on Electron Devices*, vol. ED-32, no. 3, pp. 584-588, 1985.
- [4] F. Matsuoka, H. Iwai, H. Hayashida, K. Hama, Y. Toyoshima, and K. Maeguchi, "Analysis of hot-carrier-induced degradation mode on pMOSFET's," *IEEE Trans. on Electron Devices*, vol. ED-37, no. 6, pp. 1487-1495, 1990.
- [5] Y. Tang, D. M. Kim, Y. H. Lee, and B. Sabi, "Unified characterization of two-region gate bias stress in stress in: submicrometer p-channel MOSFET's," *IEEE Electron Device Letters*, vol. EDL-11, no. 5, pp. 203-205, 1990.
- [6] T. C. Ong, P. K. Ko, and C. Hu, "Hot-carrier modeling and device degradation in surface-channel pMOSFET's," *IEEE Trans. on Electron Devices*, vol. ED-37, no. 7, pp. 1658-1666, 1990.
- [7] C. Hu, "Hot-carrier effects," in *Advanced MOS Device Physics*, N. G. Einspruch and G. Sh. Gildenblat, eds. New York: Academic Press, pp. 119, 1989.
- [8] "SC-PMOSFET의 수평 전계 모델과 노치화 메카니즘," 전자공학회 논문지 게재 예정, 1994년, 1월.
- [9] Q. Wang, M. Brox, W. H. Krautschneider, and W. Weber, "Explanation and model for the logarithmic time dependence of p-MOSFET degradation," *IEEE Electron Device Letters*, vol. EDL-12, no. 5, pp. 218-220, 1991.

### 著 者 紹 介

梁光善(正會員) 第28卷 A編 第9號 參照  
현재 금성 일렉트론 TCAD실  
선임 연구원

朴鍾泰(正會員) 第23卷 第3號 參照  
현재 인천대학교 전자공학과 조교수

金鳳烈(正會員) 第25卷 第11號 參照  
현재 연세대학교 전자공학과 교수