

4 단자 GaAs MESFET Model의 SPICE 탑재 (Implementation of the Four-Terminal GaAs MESFET Model on SPICE)

趙南洪*, 郭桂達*

(Nam Hong Jo and Kae Dal Kwack)

要約

인접한 게이트와의 상호 작용에 의해 발생하는 Side-Gating 현상은 드레인 전류의 감소로 회로의 성능 저하를 초래한다. 본 논문에서는 이러한 현상을 회로 시뮬레이션에 적용하기 위해 계면에서의 음전하 형성에 기인하는 문턱전압 변동과 트래핑 현상에 의한 누설전류 해석을 적용하여 모델화 하였다. 종래의 3 단자 구조의 단점을 보완하기 위한 4단자 구조로 모델을 SPICE 2G.6에 탑재하여 Side-Gating 현상에 의한 회로의 성능저하를 해석할 수 있는 시뮬레이션 환경을 조성하였다. 탑재한 모델의 타당성은 실험치와의 비교로 증명하였다.

Abstract

The drain current reduction effect due to the side-gating phenomena resulted from interaction between the neighbor gates is lead to degradation of circuit performance. In this paper, these effect were modelized for circuit simulation with the shift of threshold voltage resulting from negative charge formation and the analysis of substrate leakage current resulting trapping effect. To remove deficiencies of the conventional three terminal structure, these model were implemented in SPICE with the four terminal structure, and then the constructed environment enables the simulation of circuit performance degradation resulted from side-gating effect. The validity of implemented model is proved by comparisoin with experiment data.

1. 서론

GaAs MESFET은 기판위에 직접 활성층을 형성하여 제작하기 때문에 기판의 특성은 디바이스의 격리나 캐패시턴스를 최소화 하는데 결정적인 역할을

하게 된다. 그러나 대부분의 기판이 완전한 절연체가 아닌 반절연 기판이기 때문에 여러가지 기생효과들이 나타난다. 이 중 가장 두드러지는 현상은 Side-Gating 효과이다.¹ 이 현상은 반절연 기판이 트랩을 통한 불순물 보상에 의해 제작되기 때문에 발생하는 불가피한 현상으로 반절연 기판의 트래핑과 전자 주입의 효과에 기인하여 디바이스의 성능 저하의 원인이 된다.² 기판의 다양한 특성 및 인접한 디바이스의 특성에 영향을 미치는 Side-Gating 현상을 해석

* 正會員, 漢陽大學校 電子工學科

(Dept. of Elec. Eng., Hanyang Univ.)

接受日字 : 1993年 3月 20日

하기 위해 실험과 함께 Shockely-Read-Hall 통계를 이용한 deep trap 모델에 대한 연구 및 반절연 기판에서의 기판 누설전류에 대한 수치 해석 모델에 관한 연구³¹⁾는 계속되고 있지만 회로 시뮬레이션에 적합한 모델의 개발은 아직 부족한 상태이다. 또한, GaAs MESFET 모델의 SPICE 탑재에 관한 연구^{7, 10, 15)}의 대부분은 소오스, 게이트, 드레인을 갖는 3단자 구조로 디바이스의 동작을 해석하기 때문에 Side-Gating 현상과 같은 독특한 특성의 해석에는 상당한 어려움을 갖게 된다.

이에 본 논문은 기판의 특성에 따른 드레인 전류의 감소 현상을 채널과 기판에서의 공핍층량에 따른 문턱전압 변동과 기판 누설 전류에 대한 해석을 적용하여 회로 시뮬레이션에 적합한 모델로 제시하고 있다. 아울러 전하 피드백 개념¹⁵⁾을 Curtice 모델에 적용한 전류-전압 특성식을 사용하고, 문턱전압 모델을 Takada 커패시턴스 모델에 확장한 전하량 모델로 수정하였다. 본 논문에서는 Side-Gating 효과를 포함한 모델을 4단자 구조로 SPICE 2G.6에 탑재하여 GaAs MESFET IC를 해석할 수 있는 한층 확장된 시뮬레이션 환경을 구축하였다.

II. Side-Gating 현상을 포함한 GaAs MESFET 모델

Deep trap을 가지는 반절연 기판은 shallow 억셉터를 보상하는 deep 도너의 전자 트랩과 shallow 도너를 보상하는 deep 억셉터의 정공 트랩으로 구분할 수 있다. 정공 트랩¹⁶⁾의 경우 트랩에 의한 정공의 방출이 계면에 집중되어 기판쪽에 과잉 음전하를 유지시키고 이와 관련하여 활성층에 양전하를 발생시킨다. Side-Gate 전압에 따른 전압강하가 거의 전영역에 걸쳐 선형적으로 일어나는 전자 트랩과 달리 전압강하가 계면에 집중되는 정공 트랩의 경우 Side-Gate 전극의 음전압에 따른 활성층과 기판 계면에서의 공간 전이영역의 확장은 디바이스의 문턱전압에 절대적인 영향을 미치게 된다. 드레인 전류모델에 문턱전압 변동에 따른 전류 감소 현상을 고려하기 위해서 deep 억셉터 농도 N_{DA} , shallow 억셉터 농도 N_{SA} , shallow 도너 농도 N_{SD} 에 의한 기판의 실효 억셉터 농도로 (1)식을 가정하면

$$N_{AEFF} = N_{DA} + N_{SA} - N_{SD} \quad (1)$$

반절연 기판과 채널 계면에서의 공핍층의 폭은 아래와 같이 계산 유도된다.

$$W_n = \frac{1}{N_{ch}} \left(\frac{2\epsilon(V_{bib} - V_{bs})N_{AEFF}}{q} \right)^{1/2} \quad (2)$$

여기서 N_{ch} 는 채널의 농도, V_{bib} 는 계면에서의 접촉 전위이다. 기판과 채널에서의 공핍층 폭의 변화를 드레인 전류의 감소를 결정하는 문턱 전압의 변동으로 유도하기 위해

$$V_{TH} = V_{bi} - V_p \quad (3)$$

(3)식에 (2)식을 대입하여 기존의 문턱전압 V_{TH} 를 수정한 V_{THb} 를 얻는다.

$$V_{THb} = V_{bi} - \frac{qN_{ch}}{2\epsilon} \left[a - N_{ch}^{-1} \left(\frac{2\epsilon(V_{bib} - V_{bs})N_{AEFF}}{q} \right)^{1/2} \right]^2 \quad (4)$$

이것을 드레인 전류 감소 인자로 변환하여 정리 하면

$$V_{THb} = V_{bi} - V_p - \gamma_1(V_{bib} - V_{bs}) + \gamma_2(V_{bib} - V_{bs})^{1/2} \quad (5)$$

$$\gamma_1 = \frac{N_{AEFF}}{N_{ch}}, \quad \gamma_2 = \left(\frac{2qN_{AEFF}a^2}{\epsilon} \right)^{1/2} \quad (6)$$

으로 된다. 이 감소인자를 SPICE 입력 파라미터로 하여 간단하게 Side-Gate 전압에 따른 드레인 전류의 감소를 시뮬레이션하게 하였다. 아울러 이 감소인자는 실험적 파라미터가 아닌 해석적인 모델이기 때문에 참고 문헌 [18]의 문턱전압 모델

$$V_T = V_{TH} - \frac{1}{C_G(2\epsilon qN_A V_{bb})^{1/2}} + \frac{1}{C_G(2\epsilon qN_A V_{bb} + |V_{bi}|)^{1/2}} \quad (7-a)$$

$$C_G = \frac{R_p}{\epsilon} + \left(\frac{8}{\pi} \right)^{1/2} \frac{\sigma}{\epsilon} \quad (7-b)$$

에 비해 편리하게 사용할 수 있다는 장점을 가지게 된다. 그림 1은 위의 모델식들로 추출한 문턱 전압의 변동을 드레인 전류에 반영시킨 예로 비교를 위해 Side-Gate 전압이 영일때의 드레인 전류를 고정된 상태로 놓은후 계산한 것으로 시뮬레이션의 가능성을 시사하고 있다.

반면에 전자 트랩의 경우 대부분의 전압 강하는 중성 기판영역에서 일어나기 때문에 계면에서의 공핍층 효과 보다는 트랩을 통한 누설 전류의 영향이 크게 된다. 누설 전류를 그림 4의 다이오드로 모델화하기 위해 n-S.I-n 구조의 해석을 본 논문에서는 이용하였다. 이는 MESFET 구조에서 Side-Gate 전극에 의한 기판의 누설 전류를 일차원적으로 가정한 것이므로 타당성이 있으며, 개략적인 특성은 아래와 같다.

대체로 낮은 바이어스에서는 정공에 비해 전자의 capture cross section이 훨씬 커므로 전자의 공핍은 거의 일어나지 않고 선형적인 특성을 보인다. 이때 비저항의 유도는 아래와 같다.

$$\rho_{no} = (qu_n n_n)^{-1} = \frac{e_n}{qu_n \left(\frac{N_T}{N_A} - 1 \right)} \quad (8)$$

$$C_n = \sigma_n \left(\frac{3kT}{m_n} \right)^{1/2} \quad (9)$$

$$e_n = C_n N_c \exp \left(\frac{E_c - E_T}{kT} \right) \quad (10)$$

여기에 접합의 폭 ω_0 를 가정할때 기판에서의 실효 저항은

$$\rho_c = \rho_{n0} \frac{d - 2\omega_0}{d} \quad (11)$$

이 된다. 그러므로, 이 영역에서의 전류밀도는 다음과 같다.

$$J_B = \frac{V_{bs} d}{\rho_c} \quad (12)$$

기판으로 주입된 전자들이 deep trap에 의해 트래핑됨으로 주입된 전류는 부가적인 자유 캐리어를 제공하게 되며, 이로인해 나타나는 반절연 기판을 통한 누설 전류는 기판으로 주입된 캐리어가 기판내의 deep trap과 완전히 결합하는 순간 극대화된다. 이때의 문턱치 전압은

$$V_{THL} = \frac{qN_A(d - \omega_0)^2}{2\epsilon} \quad (13)$$

이며, V_{THL} 을 넘어서는 상태에서는 기판에서의 중성조건은 사라지고 전류는 전자 포화 속도 v_{ns} 에 의해 결정되는 공간 전하 전류 특성을 보이게 되는데 이때의 전류 밀도는 다음과 같다.

$$J_B = \frac{2\epsilon v_{ns} V_{bs}}{d_2} \quad (14)$$

선형영역과 공간 전하 전류 영역사이의 연속성과 전이 인자로 다이오드의 기울기를 결정하기 위해 접합을 고려하지 않은 트랩의 문턱전압.

$$V_{sL} = \frac{qN_A d^2}{2\epsilon} \quad (15)$$

을 포함하여 다음과 같은 전이 방정식을 다이오드 모델에 삽입하였다.

$$J_B = \frac{(V_{sL} - V_{THL})}{V_{sL} - V_{THL}} \frac{\rho_c d}{V_{sL} - V_{THL}} (V_{bs} - V_{THL}) + \frac{V_{THL}}{\rho_c d} \quad (16)$$

선형화된 전이 방정식은 V_{sL} 값의 변화에 따라 다양한 기울기를 나타낼 수 있으며, 이러한 공간 전하 전류 영역과 선형(저항)영역 특성을 이용하기 위해 SPICE 입력 변수로 V_{THL} 과 V_{sL} , 실효 저항을 지정하고 나머지는 루틴내에서 자체적으로 처리하게 하였다.

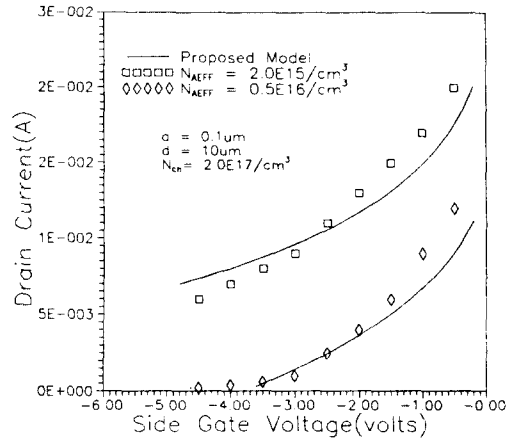


그림 1. Side-Gate 전압에 대한 드레인 전류의 변화 (Symbol: 계산값 [15])

Fig. 1. The variation of drain current with Side-Gate voltage (Symbol: Calculated value [15]).

그림 2는 그림 4의 다이오드 모델의 타당성을 검증하기 위해 n-S.I-n 구조에서 트랩 농도에 따른 전류 특성을 계산한것으로 수치 해석 결과 [12]와 비교한 것이다. 비교를 위해 전력 밀도로 나타내었으나 SPICE에는 전류로 변환하여 삽입하였다. 그림에서 엇볼 수 있듯이 누설 전류를 줄이기 위해선 높은 V_{THL} 이 요구되며 이를 위해선 트랩의 높은 밀도와 디바이스간 거리의 증가가 요구 된다. 그러나 막연한 길이의 증가는 IC 회로의 집적도를 감소시키므로 적절한 최적점의 선택이 요구된다. 이러한 의미에서 볼때 다이오드 모델의 삽입은 기판 누설 전류뿐만 아니라 디바이스간의 거리에 따른 특성의 저하를 예상하는데 유용하리라 예상된다.

본 논문에서는 앞서 제기한 두가지 문제를 해결하기 위해 그림 4와 같은 구조를 사용한다. Side-Gating 현상은 그림 3과 같은 구조에서 발생하는데 인접한 게이트와의 상호 작용에 따른 회로의 특성 변

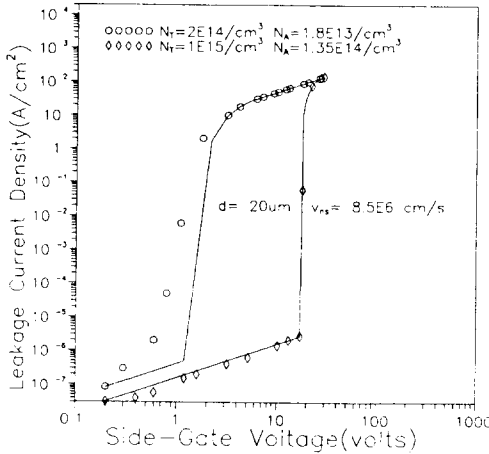


그림 2. 다이오드 모델의 전류 밀도
 ($\sigma_n=1 \times 10^{13}/\text{cm}^2$, $E_c-E_T=0.8$, Symbol: 수치해석 값 [12])
 Fig. 2. The Current density of diode model.
 ($\sigma_n=1 \times 10^{13}/\text{cm}^2$, $E_c-E_T=0.8$, Symbol: numerical value [12]).

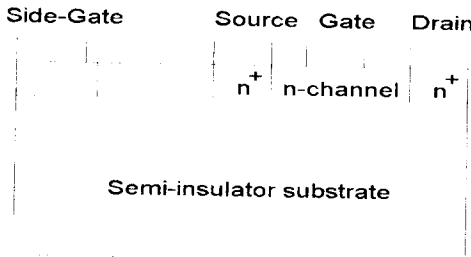


그림 3. GaAs MESFET에서의 Side-Gate 개략도
 Fig. 3. Side-Gate Schematic in the GaAs MESFET.

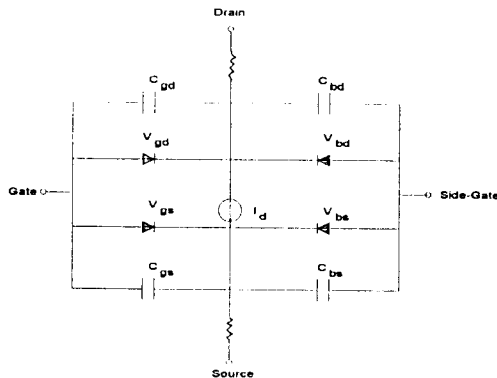


그림 4. 4단자 GaAs MESFET의 대신호 모델
 Fig. 4. Large signal Model of the Four-Terminal GaAs MESFET.

화를 시뮬레이션하기 위해 3단자 구조에 가상적인 전극을 가정한 4단자 구조를 이용한다.

III. SPICE에 탑재한 전류-전압 모델

DC 전류-전압 특성의 등가 모델은 GaAs MESFET의 특성을 결정하는 요소이므로 어떤 모델을 탑재하는가 하는것은 매우 중요하다.

기존의 시뮬레이터에서 이용하고 있는 대표적인 모델의 하나인 Curtice 모델 [7]

$$I = \beta(V_{gs} - V_{TH})^2 \tanh(\alpha V_{ds})(1 + \lambda V_{ds}) \quad (17)$$

$$g_m = 2\beta(V_{gs} - V_{TH}) \tanh(\alpha V_{ds})(1 + \lambda V_{ds}) \quad (18)$$

$$g_{ds} = \beta(V_{gs} - V_{TH}) \left(\lambda \tanh(\alpha V_{ds}) + \frac{\alpha(1 + \lambda V_{ds})}{\cosh^2(\alpha V_{ds})} \right) \quad (19)$$

은 특정 바이어스 지점에서 α 와 λ 를 추출하기 때문에 게이트-소스 전압에 따른 드레인 전류의 포화값을 정확히 예상하는데 문제점을 가지게 된다. 실제 MESFET에서는 드레인 전압이 포화 전압을 넘어설 때 채널 길이변조^[8]와 함께 기판으로의 전자 주입이 발생하는데, 특히 채널이 얇은 소자의 경우 주입된 전자의 수는 채널에 존재하는 전자의 수에 비해 무시할 수 없기 때문에 콘덕턴스는 $V_{GS} - V_{TH}$ 의 차이에 따라 상당한 영향을 받게 된다. 한편, 출력 콘덕턴스는 낮은 드레인 바이어스 레벨에서는 높으나, 소자가 포화됨에 따라 점점 감소하게 되는데 이러한 사실은 그림 6-(B)에서 볼수 있듯이 우리의 예상과 잘 맞는다. 그러나, 채널이 공핍층에 의해 거의 핀치-오프되는 전압 근처에서는 앞서 서술한 계면을 통한 전하주입과 같은 2차적인 효과들을 무시할 수 없기 때문에 채널 저항은 감소하고, 따라서 출력 콘덕턴스의 급작스런 저하는 점점 상쇄되어 간다. 이러한 2차적인 효과들을 기술하기 위해 드레인 전압에 따른 문턱 변동^[9]을 모델화한

$$V_T = V_{TH} - \gamma V_{ds} \quad (20)$$

을 I-V 특성에 포함하여 λ 대신에 핀치-오프 전압 근처의 독특한 포화 특성과 출력 콘덕턴스 성분으로 이용하였다. 한편 전달 콘덕턴스에서 Curtice 모델의 단점을 해결하기 위해 제안된 Statz^[10]의 전달 콘덕턴스 변동 파라미터는 드레인 전압의 증가에 따른 전하 축적과 공핍층의 확장으로 인해 발생하는 전하 피이드백 현상을 기술하지 못함에 따라 출력 콘덕턴스를 예상하는데 문제를 가지게 된다. 이러한 두가지

콘덕턴스의 변동을 보상하기 위해 전하 피이드백 개념^[5]을

$$\beta_c = \frac{\beta}{1 + \mu(V_{gs} - V_{TH})} \frac{1}{1 + \eta V_{ds}} \quad (21)$$

유효 콘덕턴스 모델로 이용하고 식 (5)를 적용하면 드레인 전류는 다음과 같이 수정된다.

$$I_d = \beta_c (V_{gs} - V_{THb} + \gamma V_{ds})^2 \tanh(\alpha V_{ds}) \quad (22)$$

그림 5는 콘덕턴스의 문제를 보상하기 위해 수정한 전류-전압 모델과 Curtice 모델과의 비교로 바이어스 전영역에서 발생하는 다양한 효과들을 μ , η , γ 인자를 통해 나타낸 것이다.

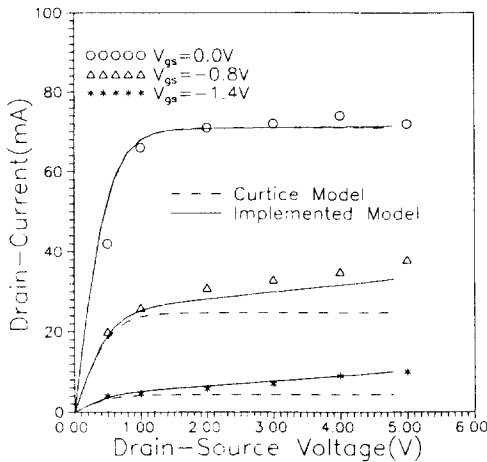


그림 5. (22)식을 사용하여 계산한 GaAs MESFET의 전류값과 기존의 Curtice 모델 및 실험치^[11]와의 비교(파라미터: $\beta = 18.5 \times 10^{-3}$, $\alpha = 1.93$, $V_{TH} = -1.86$, $\gamma = 55.9 \times 10^{-3}$, $\mu = 22.16 \times 10^{-3}$, $\eta = 11.2 \times 10^{-3}$)

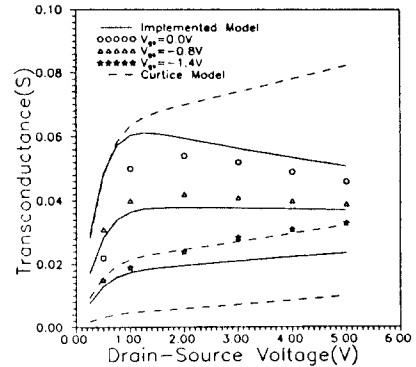
Fig. 5. The GaAs MESFET Current value using equation(22), and comparison with conventional Curtice Model and experimental value^[11] (Parameter: $\beta = 18.5 \times 10^{-3}$, $\alpha = 1.93$, $V_{TH} = -1.86$, $\gamma = 55.9 \times 10^{-3}$, $\mu = 22.16 \times 10^{-3}$, $\eta = 11.2 \times 10^{-3}$).

(22)식의 전류 모델식으로부터 콘덕턴스는

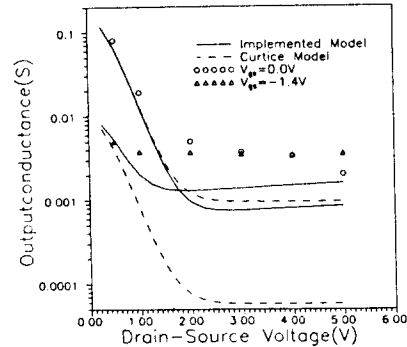
$$g_m = \frac{2\beta(V_{gs} - V_{THb} + \gamma V_{ds})}{1 + \mu(V_{gs} - V_{THb})} \frac{1}{1 + \eta V_{ds}} \tanh(\alpha V_{ds}) - \frac{\beta(V_{gs} - V_{THb} + \gamma V_{ds})^2}{(1 + \mu(V_{gs} - V_{THb}))^2} \frac{\mu}{1 + \eta V_{ds}} \tanh(\alpha V_{ds}) \quad (23)$$

$$g_{ds} = \frac{2\beta\gamma}{1 + \mu(V_{gs} - V_{THb})} \frac{1}{1 + \eta V_{ds}} (V_{gs} - V_{THb} + \gamma V_{ds}) \tanh(\alpha V_{ds}) + \frac{\beta(1 + \eta V_{ds} - \eta)}{1 + \mu(V_{gs} - V_{THb})} \frac{(V_{gs} - V_{THb} + \gamma V_{ds})^2}{(1 + \eta V_{ds})^2} \left(\tanh(\alpha V_{ds}) + \frac{\alpha}{\cosh^2(\alpha V_{ds})} \right) \quad (24)$$

로 유도된다.



(a)



(b)

그림 6. (A) (23)식을 사용한 전달 콘덕턴스값과 Curtice 모델 및 실험치^[11]와의 비교 (조건은 그림 5와 같다.) (B) (24)을 사용한 출력 콘덕턴스값과 Curtice 모델 및 실험치^[11]와의 비교 (조건은 그림 5과 같다.)

Fig. 6. (A) The transconductance value using equation (23) and comparison with conventional Curtice Model and experimental value^[11] (The same condition as Fig 5.) (B) The output conductance value using equation(24) and comparison with conventional Curtice Model and experimental value^[11] (The same condition as Fig 5)

그림 6-(A), (B)는 기존의 I-V 모델로부터 유도한 각 콘덕턴스 모델과 본 논문에서 적용한 I-V 모델로부터 유도한 모델과의 비교로 비록 전류-전압 모델로부터 파라미터 추출은 어렵지만 콘덕턴스의 값의 오차를 한층 줄이게 되었다.

IV. SPICE에 탑재한 Capacitance 모델

소자에 있어 전압에 의한 공핍영역의 변이를 각 단자간의 Capacitance로 모델화 하는데 이는 특히 과도 응답 및 주파수 응답을 예측하는데 있어 결정적인 역할을 한다. Schottky 다이오드 모델을 보완하기 위해 넓은 바이어스 범위에 적용될 수 있는 Takada^[14] 모델을 사용하고 전하량 모델은 참고문헌 [14]의 방식을 이용하여 수정하였다. Takada 모델은 아래와 같다.

1) $V_{gs} \leq V_{TH} - 0.15$ 일때

$$C_{gs} = \epsilon W \tan^{-1} \left(\frac{V_{bi} - V_{TH}}{V_{TH} - V_{gs}} \right)^{1/2} \quad (25)$$

2) $V_{gs} \geq V_{TH} + 0.08$ 일때

$$C_{gs} = \frac{\pi}{2} \epsilon W + \frac{WL}{2\sqrt{2}} \left(\frac{qN_d \epsilon}{V_{bi} - V_{gs}} \right)^{1/2} = \frac{CGSO}{\sqrt{1 - \frac{V_{gs}}{V_{bi}}}} \quad (26)$$

3) $V_{TH} + 0.08 \leq V_{gs} \leq V_{TH} - 0.15$ 일때

$$C_{gs} = \frac{1}{0.23} (V_{gs} - V_{TH} + 0.15) \left\{ \frac{CGSO}{\sqrt{1 - \frac{V_{gs}}{V_{bi}}}} + \frac{1}{2} \pi \epsilon W \right. \quad (27)$$

$$\left. - \epsilon W \tan^{-1} \frac{\sqrt{V_{bi} - V_{TH}}}{\sqrt{0.15}} \right\} + \epsilon W \tanh^{-1} \frac{\sqrt{V_{bi} - V_{TH}}}{\sqrt{0.15}}$$

Side-Gate 전압에 따라 활성층의 공핍층량이 변동하는 것을 해결하기 위해 기존의 V_{TH} 대신에 본 논문에서 적용한 (5)식을 사용한 그림 7의 결과는 문턱전압의 변동에 따른 커패시턴스의 변동을 나타내고 있으며, 아울러 문턱전압 모델의 타당성을 간접적으로 잘 보이고 있다.

C_{gd} 는 C_{gs} 와 동일한 방법으로 계산되므로 g-s를 g-d로 대체하면 된다.

C_{bs} 와 C_{bd} 는 일반적인 Schottky 모델을 사용하였다.

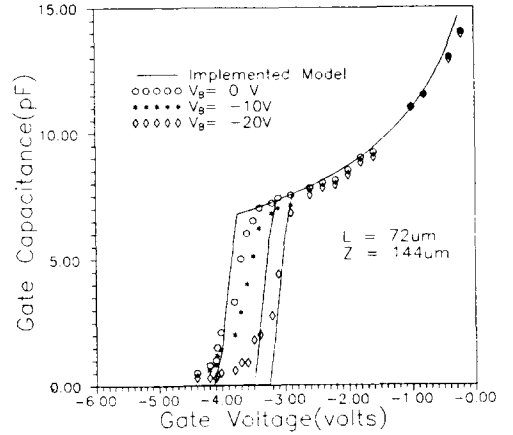


그림 7. 다양한 Side-Gate 전압을 가질때 게이트 전압에 대한 C_{gs} 의 특성 ($V_{bi}=0.7V$, $CGSO=17pF$, $N_{AEFF}=5 \times 10^{14}/cm^3$, $N_{ch}=2 \times 10^{17}/cm^3$, $V_{TH}=-4.0V$, symbol: 측정치^[17])

Fig. 7. The characteristics of C_{gs} versus gate voltage with varying side-gate voltage ($V_{bi}=0.7V$, $CGSO=17pF$, $N_{AEFF}=5 \times 10^{14}/cm^3$, $N_{ch}=2 \times 10^{17}/cm^3$, $V_{TH}=-4.0V$, symbol: measurement value^[17]).

V. 모델의 SPICE 탑재 및 결과 분석

최근 시뮬레이터인 SPICE는 해석하고자 하는 소자와 그 소자로 구성된 회로의 연결 상태 및 변수값을 입력 파일 형태로 받아 Linked-list 형식으로 정리, 저장된다. 이는 SPICE내의 메모리 관리를 효율적으로 하기 위해 행해지는데, 이는 수정작업을 어렵게 하는 근본적인 원인이 된다. 지금까지 발표된 대다수의 논문이 기존의 서브루틴내에서 변수와 모델만의 변형 작업으로 탑재함으로 4단자 시뮬레이션이 불가능한데 비해, 본 프로그램은 Linked-list 형태로 각 노드간의 정보를 저장하기 위해 새로운 루틴을 만들어 Memory 구조를 4단자 구조에 맞게 확장하였다. 수정한 루틴의 내용은 아래와 같다.

FIND : ID, LOC pointer 지정하여 linked list 관리

MATLOC : NODE에 관한 linked list 구성

READIN : GaAs MESFET 예약어 지정,

Model Type 지정, 초기 조건 지정, 디바이스 Geometry 삽입, 그 외 입력

변수들 수정

MODCHK : Device model parameter 지정 (ID=25), default 값 지정, 기본적 변수값 계산식들의 삽입

DCTRAN, LOAD, DCOP : MESFET 루틴과 연결, 회로 변수 삽입 device LXi point 처리

ACLOAD : Admittance Matrix 구성

그 외에 TRUNC, TOPCHK, MATPTR, ELPRNT, ADDELT, LNKREF 등을 수정하였다. MESFET 루틴을 새롭게 작성하여 전류, 콘덕턴스, 커패시턴스 모델, Load 전류 벡터 구성 및 어더미턴스 행렬을 구성하여 전체 루틴과 링크되게 작성하였다. GaAs MESFET으로 구성된 회로를 시뮬레이션하기 위한 입력 파일의 작성법은 다음과 같다.

P### ND NG NS NB MNAME

P는 MESFET의 예약어이며, ND NG NS NB 는 각 노드를 나타낸다.

.MODEL MNAME NMES (VTO=-2.4 BETA=44U.....)

NMES는 소자의 TYPE이고 괄호안의 것은 외부 입력 파라미터이다. 물론 모델 파라미터 값의 지정이 없을 때에는 Default 값을 이용하도록 본 프로그램은 지정하고 있다. 그 외에는 SPICE의 사용법과 동일하다.

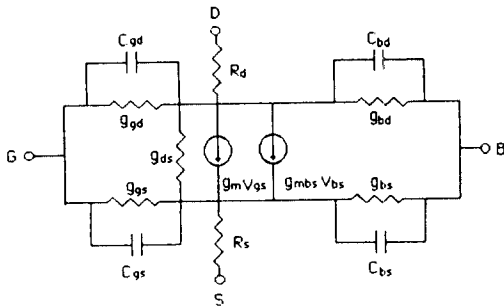


그림 8. Side-Gate를 포함한 소신호 모델
Fig. 8. Small-signal model including the Side-Gate.

그림 8의 구조로 앞서 모델들을 탑재하였고, 시뮬레이션한 결과를 SPICE의 JFET 모델과 HSPICE의 결과와 비교함으로써 GaAs MESFET의 회로 시뮬레이터로서의 적합 여부와 함께 탑재한 모델의 타당성을 검증하였다. 그림 9는 1 Stage inverter를 구성, 시뮬레이션한 결과로 출력 전압이 JFET 결과와 차이를 보이는 것은 GaAs MESFET의 빠른 포화 특성때문에 출력 전압의 Swing이 개선되는 특성 때문이다. 또한 Side -Gate 전압에 의한 채널내 공핍

영역의 변동을 문턱 전압 변동 모델로 삽입함으로써 문턱 전압 변동에 따른 드레인 전류의 감소의 영향을 단적으로 나타내고 있다. 이 현상은 전이영역의 완만한 기울기에서 잘 나타나고 있는데 완만한 기울기는 극단적인 경우 인버터의 정상적인 동작을 불가능하게 만들기도 하기때문에 이런 의미에서 본 논문이 적용한 4단자 MESFET의 시뮬레이션은 중요한 의미를 갖게 된다. 사용한 파라미터 값은 참고문헌 [16]의 값과 동일하나 4단자 구조에 갖는 특징을 보이기 위해 γ_1, γ_2 를 임의적으로 지정하였다.

SDFL Logic 회로인 그림 10의 V_{ss} 는 풀 다운 트랜지스터로 음 전압을 인가하기 위해 사용된다. V_{ss} 는 출력 전류의 변동을 유발할 수 있는 하나의 Side-Gate 전압으로 V_{ss} 에 따라 출력 전류는 감소하게 된다. 그림 11은 다이오드의 전압 강하를 무시한채 입력 전압을 영에서 -2.5까지 변화 시켰을때 나타난 출력 전압-전류로 Side-Gate 전압에 의한 드레인 전류의 특성 변화를 보이고 있다. 드레인 전류 감소 현상이 출력 전압이 높아질수록, V_{ss} 전압이 낮을수록 두드러지게 되는 것은 Side-Gate 전위차가 높아짐에 따라 문턱전압이 변동, Side-Gate 현상이 극대화되기 때문이며, 이는 우리의 예상과 일치하고 있다. 또한, 출력 노드를 저전압에서 높은 레벨로 올리는데 필요한 전류가 감소 한다는 것은 회로의 동작 효율의 저하와 함께 전이시간이 증가하는 원인이 되므로 본 논문의 4 단자 시뮬레이션은 중요한 의미를 갖게 된다.

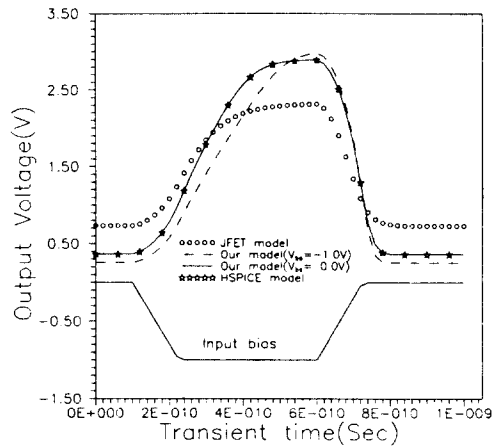


그림 9. GaAs MESFET 인버터의 Transient 분석 (참고문헌 [16]의 data와 동일, $\gamma_1=0.025, \gamma_2=0.250$)

Fig. 9. The transient analysis of GaAs MESFET inveter (The same prameter as ref.16, $\gamma_1=0.025, \gamma_2=0.250$).

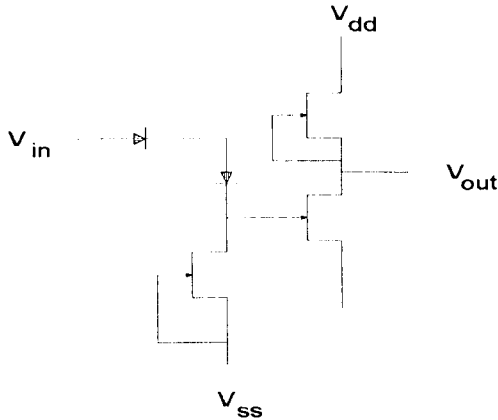


그림 10. SDFL(Shottky Diode FET Logic) 회로
 Fig. 10. SDFL(Shottky Diode FET Logic) Circuit.

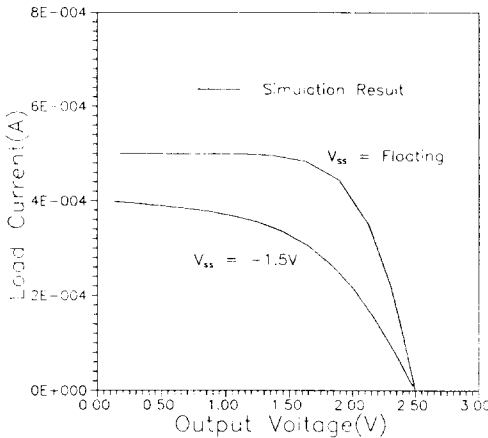


그림 11. 그림 10의 V_{SS} 전압에 따른 출력 전류-출력전압 특성 비교 ($V_{TH}=-2.5$, $\beta = 80U$ (pull up), $\beta = 120U$ (pull down), $V_{bi}=0.5$, $\alpha = 2.5$, $\gamma_1=0.025$, $\gamma_2=0.28$)

Fig. 11. The comparison of output current-output voltage characteristics with V_{SS} voltage shown in fig. 10. ($V_{TH}=-2.5$, $\beta = 80U$ (pull up), $\beta = 120U$ (pull down), $V_{bi}=0.5$, $\alpha = 2.5$, $\gamma_1=0.025$, $\gamma_2=0.28$).

VI. 결론

본 논문은 GaAs MESFET으로 구성된 회로에서의 정확한 시뮬레이션을 위해 여러가지 문제점을 제

기하고 문제점의 해결을 위해 한층 확장된 등가 모델식을 적용하였다. 특히 기존의 3단자 구조와는 달리 소자간의 상호 작용으로 인한 Side-Gate 현상을 포함한 4단자 구조로 삽입하여 Side-Gate 전압에 따른 소자의 특성 변화를 시뮬레이션 하였다. GaAs MESFET 전용 서브루틴을 만들어 삽입하였기때문에 앞으로 새로운 모델의 개발및 탑재에 유용하리라 생각되며 더불어 Side-Gating을 포함한 기생효과들을 시뮬레이션하기 위한 보다 나은 환경 조성에 기여하리라 기대된다. 아울러 소자의 온도 의존성이나 민감도 및 잡음에 관한 모델링도 시뮬레이션 기법의 개발과 함께 연구 되어야 할 것이다.

參考文獻

[1] C. Kocot and C. A. Stolte, "Backgating in GaAs MESFET's," *IEEE Trans. Microwavw Theory and Tech.*, vol. MTT-30, no.7, pp. 963-968, 1982.

[2] Norio. Goto et al., "GaAs IC - 效果," *日本 應用物理* 第 61卷 第2號, pp. 134-140, 1992.

[3] H. Yano, S. Kumashiro et al., "Two dimensional transient simulator with deep trap model for compound semiconductor devices," *IEDM* pp.151-153, 1987.

[4] H. Horio, H. Yanai, T. Ikoma, "Numerical simulation of GaAs MESFET's on the semi-insulating substrate compensated by deep traps," *IEEE Trans. Electron Devices*, vol.35, no. 11pp. 1778-1785, Nov. 1988.

[5] A.J. McCamant, G.D. McCormack, and D.H. Smith, "An improved GaAs MESFET model for SPICE," *IEEE Trans. Microwave Theory and Tech.*, vol.38, pp. 822-824, Jun. 1990.

[6] Y. Ohno and N. Goto, "GaAs MESFET IC Side-Gating effect model," *IEDM* pp. 252-255, 1987.

[7] W. R. Curtice, "A MESFET model for use in the design of GaAs integrated circuit," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-28, pp. 448-456, May 1980.

- [8] C. T. Wada and S. Fery, "Physical basis of short channel MESFET operator, *IEEE Trans. Electron Devices* ED-26, pp. 476-490, 1979
- [9] A. Materka and T. Kacprzak, "Computer calculation of large-signal GaAs FET amplifier characteristics," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-33, pp. 1383-1394, 1985
- [10] H. Statz, P. Newman, I. W. Haus, "GaAs FET device and Circuit simulation in SPICE," *IEEE Trans. Electron Devices*, vol. ED-26, pp. 461-469, 1989
- [11] R. Goyal, "Monolithic microwave integrated circuits," pp. 256-258, 1989
- [12] K. Horio, T. Iloma, and H. Yanai, "Computer-Aided Analysis of GaAs n-i-n structures with a heavily compensated i-layer," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 1248-1250, 1986
- [13] T. Takada, K. Yokoyama, M. Ida, and T. Sudo, "A MESFET variable-capacitance model for GaAs integrated circuit simulation," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-30, pp. 719-724, May 1982
- [14] 손상희, 광계달, "GaAs D-Mode와 E-Mode MESFET 모델의 SPICE 삽입," *전자공학회 제 24권, 제 5호*, pp. 62-71, Sep. 1987
- [15] N. Goto, Y. Ohno, and H. Yano, "Two-Dimensional numerical simulation of Side-Gating effect in GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. ED-37, pp. 1821-1827, 1990
- [16] S. E. Sussman-Fort, S. Narasiman, and K. Mayaram, "A complete GaAs MESFET computer model for SPICE," *IEEE Trans. Microwave Theory and Tech.*, vol. 32, no. 4, pp. 471-473, Apr 1984
- [17] S. Shenai and R. W. Dutton, "A new interpretation of the channel charge control mechanism in GaAs MESFET's," *IEEE Trans. EDL-6*, no. 10, pp. 528-530, 1985.
- [18] S. J. LEE, E. Shen, G. R. Kaelin, "Modeling of Backgating effect on GaAs Digital Integrated Circuits," *IEEE Solid-State Circuits* vol. sc-19, no. 2, pp. 245-250, 1984.

 著者紹介



趙南洪(正會員)

1991年 2月 한양대학교 전자공학과 졸업. 1993年 2月 동 대학원 졸업. 1993年 3月 ~ 현재 동대학원 박사과정 재학중. 주관심 분야는 회로 모델링 및 회로 설계, 수치 해석 등임.

郭桂達(正會員) 第 24卷 第 5號 參照

현재 한양대학교 전자공학과 교수.
한양대학교 첨단 반도체 센터 소장