

CDMA 핵심기술 및 부품기술

田 敬 薰

浦項工科大學校 電子電氣工學科

I. 서론

CDMA 디지털 셀룰라 전화 방식 (이하 CDMA 방식)은 주로 군용 통신 장비에 사용되어 왔던 직접 시퀀스 대역확산통신방식 (direct sequence spread-spectrum communications)을 셀룰라 전화망에 응용한 것이다. 1980년대말 미국의 Qualcomm사에 의하여 제안된 이 방식은 초기에는 국내외에서 그 상용화 가능성에 대하여 많은 논란이 있었다. 그러나 Qualcomm사의 적극적인 시제품 및 관련 ASIC 개발과 성공적인 인증 실험 (validation test) 결과로¹⁾ 현재로는 그 성능의 우수성과 상용화 가능성에 대한 더 이상의 논란은 일고 있지 않다.

CDMA 방식은 1993년 초 TIA (Telecommunications Industry Association)에 의하여 IS-95 CAI 임시표준²⁾ (Interim Standard)으로 책정되었으며 체신부에 의하여 국내 차세대 디지털 셀룰라 전화 방식으로 책정되었다. 현재 국내에서는 CDMA 시스템 (infrastructure)에 대한 연구 개발을 ETRI를 중심으로 산업체등에서 수행중이나 단말기나 기지국에 소요되는 ASIC 및 소자에 대한 연구 개발은 기초 단계에 머물고 있다. 그러나 최근 이동통신 기술 개발 사업관리단 등의 창설과 부품 분야에 대한 관심의 고조에 힘입어 앞으로 이 분야에 대한 연구 개발이 활기를 띠게 될 것으로 기대된다.

CDMA 방식의 동작원리나 기본 구조 및 성능에 대해서는 본誌의 많은 논문들에서 자세히 설명되므로 본 논문에서는 제 1 세대 Qualcomm CDMA 단말기에 대하여 간단히 살펴본 후 Qualcomm에서 개발한 MSM (Mobile Station Modem) ASIC 및 BBA (Base

Band Analog) ASIC 에 대하여 논하고자 한다.³⁾

II. 제 1 세대 CDMA 단말기 (First Generation Dual Mode Portable)

제 1세대 CDMA 단말기 (CD-7000)는 1993년 중반에 상용 공급을 목표로 Qualcomm사에서 개발한 CDMA, AMPS 2중 기능 (dual mode) 단말기를 말한다. 이 단말기의 특징을 표 1에 정리하였다.

표 1. 제 1 세대 CDMA 단말기의 특징

크기	12.2 Ounce
통화 시간	2.5 시간
대기 시간	24시간
사용 전원	5 Volt
기판	PDAC 기판: MSMASIC 1.0, BBAASIC 1.0, 80C186, Vocoder, Audio, FM, etc. RAS기판: Dual mode full duplex radio, 주파수 합성기, 전력제어회로
최대 송신	FM: 600mW CDMA: 200mW

제 1 세대 CDMA 단말기에는 MSMASIC 1.0, BBAASIC 1.0의 두개의 ASIC과 Vocoder 기능을 수행하기 위한 마스크 롬 (mask ROM) DSP 칩을 사용하고 있고 전력 모듈은 기존의 AMPS 모듈을 사용한다. 이 이외에 AGC, upconversion, down-conversion 등의 기능은 디스크리트 소자를 사용하며

주파수 합성기는 하이브리드를 사용하고 있다. Qualcomm에서는 1994년 2/4 분기에 개발 완료될 제 2 세대 CDMA 단말기에서는 CDMA MSMASIC 1.0 과 Vocoder 및 AMPS 신호처리의 일부분을 0.7 마이크로 공정 기술을 사용한 3Volt MSMASIC 2.0 ASIC으로 통합하고 일부 AMPS 기능을 3Volt BBAASIC 2.0에 포함시킬 계획이다. 또한 AGC회로와 주파수 합성기 기능을 하나의 AGCASIC 1.0에 집적하고 전력 모듈은 커스텀 MMIC로 구현한다는 계획을 세워놓고있다. 밧데리는 NiCd 밧데리 대신 Lithium ion 밧테리를 채택하여 사용시간을 100% 이상 늘릴 예정이다. 더욱 나아가 제 3 세대 CDMA 단말기는 마이크로 컨트롤러 없이 MSMASIC 3.0, BBAASIC 3.0, RF 초단 MMIC 및 전력 MMIC등 4개의 칩만으로 단말기를 구성하는 것을 계획하고 있다.

에 소요되는 기저대역 아나로그 신호처리 및 MSMASIC과 결합을 위한 Analog-to-Digital (A/D) 및 Digital-to-Analog (D/A) 변환 기능등을 수행한다. BBAASIC의 블록도를 그림 1에 보였으며 그 주요 기능들을 표 2에 열거하였다.

표 2. BBAASIC의 주요 기능

수신부	IF(4.95Mhz)-> 기저대역 변환 기저대역 및 IF 필터 quadrature splitting A/D 변환 및 DC-offset 조절
송신부	기저대역 D/A 변환 기저대역 및 IF 필터 quadrature combining 기저대역-> IF 변환
Power Down 부	동작 모드 Idel 모드 Sleep 모드

Ⅲ. 기저대역 아나로그 ASIC

(BaseBand Analog ASIC, BBAASIC)

BBAASIC은 CDMA 단말기의 송신부 및 수신부

간단히 표현하면 BBAASIC의 수신부는 4.54 Mhz의 IF 신호를 받아들여 기저대역 복소 신호로 변환한 뒤 (quadrature splitting) 실수부 허수부를 각각 4 비트의 정확도와 PN 칩률 (chip rate)의 8

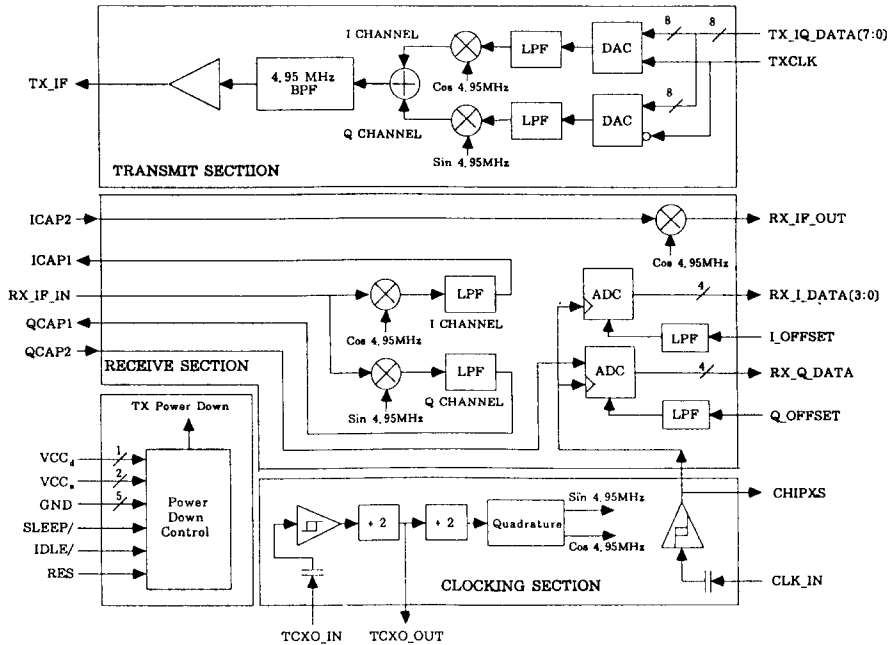


그림 1. BBAASIC의 블록도

배인 9.83 Mhz의 속도로 A/D 변환하여 MSMA-SIC에 제공하고 이와 역순의 신호처리 기능을 송신부에 제공한다.

여기서 특이할 만한 사항은 A/D 변환기의 DC-offset을 조절하는 신호가 핀 수를 줄이고 하드웨어를 간편하게 하기 위하여 MSMASIC으로 부터 PDM (Pulse Density Modulation) 변조된 형태로 주어진다. 또한 AGC (Automatic Gain Control)를 위하여 필터된 IF 신호가 외부로 주어진다.

현재 개발된 BBAASIC 은 Ver. 1.0이며 5 Volt에서 동작하는 바이폴러 회로로 설계되어있다. Qualcomm의 BBAASIC 향후 발전 계획을 보면 표 3과 같다.

표 3. BBAASIC의 발전계획

BBAASIC ver 1.5	인터페이스 동작전압 = 3Volt 1993년 4/4분기 계획
BBAASIC ver 2.0	디지털 FM 회로 지원 회로 동작전압 = 3Volt 1994년 2/2 분기 계획

BBAASIC은 CDMA와 직접적으로 관련된 기능은 포함하고 있지 않으며 따라서 ASIC 자체의 회로 설계 이외에는 특별한 알고리즘의 개발은 필요로 하지 않는다.

IV. 단말기 모뎀 ASIC

(Mobile Station Modem ASIC, MSMASIC)

MSMASIC⁴⁾은 80C186 마이크로 콘트롤러와 함께 BBAASIC에서 디지털 변환된 신호로 부터 음성 부호화기를 제외한 CDMA 동작에 필요한 기능중 하드웨어로 수행되는 대부분의 기능을 수행하는 ASIC으로서 CDMA 단말기의 구성에 있어서 가장 중요한 부분이라 할 수 있다. MSMASIC의 기능은 크게 복조기, 인터리버 및 복호기 부분으로 나누어져 있다.¹⁾ 이들 세 부분은 CDMA 시스템 초기 실험시 각각 별개의 ASIC으로 구현되었던 기능들이다. 본 절에서는 이들 부분중 수신부에 해당하는 기능들에 대하여 각

각 설명한 다음 MSMASIC의 송신부에 해당하는 기능들을 설명하고자 한다..

1. 복조기

복조기 부분은 BBAASIC으로 부터 A/D 변환된 복소 기저대역 신호를 받아 3-finger RAKE 수신기를 사용하여 심벌 (심벌 반복후의 길쭉 부호 심벌)에 대한 연판정 (soft-decision)을 내려 역인터리버 회로에 공급한다. MSMASIC의 복조 부분의 간단한 블럭도를 그림 2에 나타내었다.

복조 부분은 독립적인 3개의 복조기인 finger 들로 구성되어 있으며²⁾ 각각의 finger 에는 독립적인 시추적 루프(time tracking loop), 데이터 복조기 (data demodulator), 주파수 추적 루프 (frequency tracking loop) 그리고 신호 크기 조절 (scaling) 회로 및 전력 제어 관련 회로가 포함된다. 이들 3개의 finger들은 마이크로 컨트롤러 (80C186)의 명령에 따라 각기 다른 다중 경로 신호 성분 혹은 soft-handoff 가 진행중인 경우 다른 기지국으로부터의 신호를 독립적으로 동기 복조한다.

이들 finger들이 복조할 신호 성분 (Pilot PN phase)을 결정하기 위해서는 복조가 가능한 신호성분이 있는 위치를 알아내는 searcher가 필요하다. Searcher는 마이크로 컨트롤러로부터 search window 및 search 변수들을 공급받아 search window 내의 Pilot PN phase를 두개를 한 조로 찾아 나간다. Search 결과는 DMA를 통하여 마이크로 콘트롤러로 보내어지며 search가 완료된 이후에는 마이크로 콘트롤러에 인터럽트를 통하여 새로운 search 결과가 메모리에 기억되었음을 알린다. 마이크로 콘트롤러는 이 결과를 이용하여 세개의 finger가 추적하여야할 Pilot PN phase를 결정하고 finger들에 마이크로 콘트롤러 인터페이스 버스를 통하여 추적 명령을 보낸다.

Searcher에 의하여 결정된 Pilot PN phase를 추적하여 복조된 신호들 사이에는 시간차 (time delay)가 존재한다. 이러한 문제를 해결하기 위하여 각 finger들의 출력에는 time-deskew FIFO 버퍼

1. 이 부분들은 송신부의 기능들도 포함하나 Die의 대부분을 수신부가 차지하므로 수신부를 기준으로 이름을 붙인다.
2. IS-95에는 단말기 수신부에 3개 이상의 finger를 둘 것을 요구하고 있으나 CAP II 실험 결과 3개의 finger만으로 충분한 경로 다이버시티 효과를 얻을 수 있음을 보여졌다.

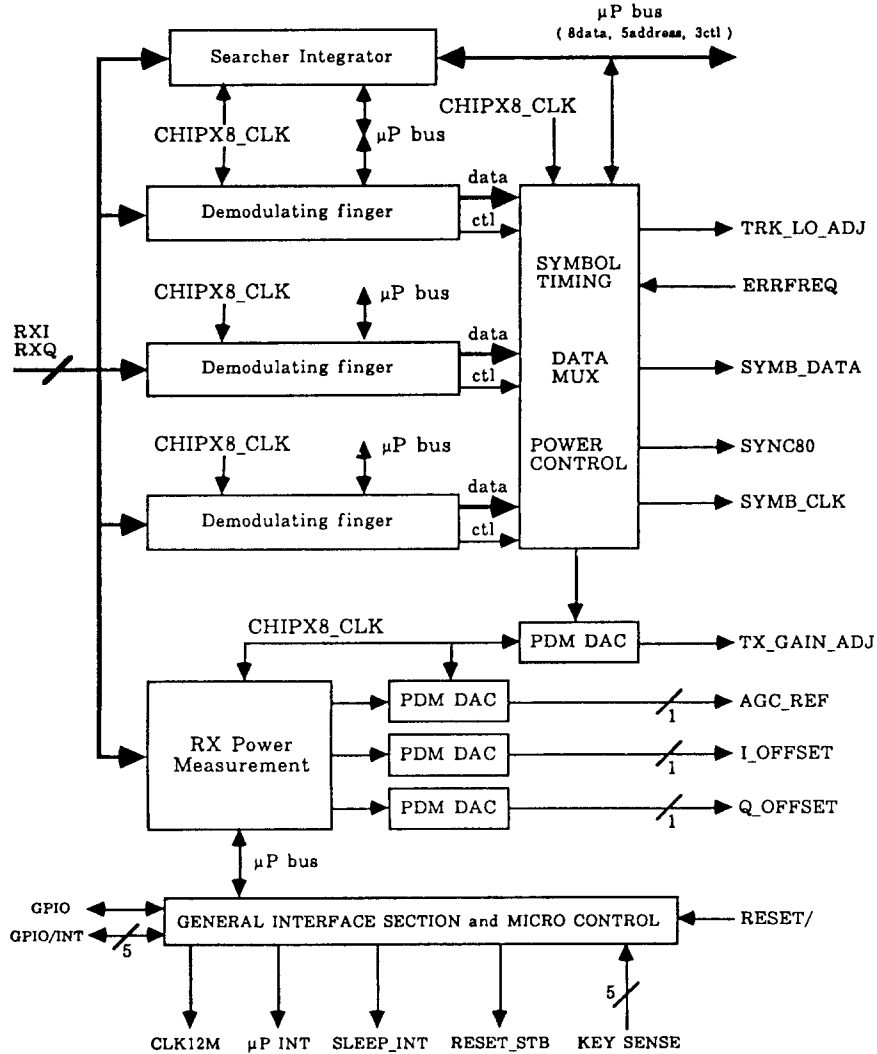


그림 2. MSMASIC 복조 부분 블럭도

를 두어 finger들 간에 네 심벌까지의 시간차를 두고 pilot 신호를 추적할 수 있도록 한다. 유효한 신호 성분을 추적중인 finger들의 time-deskew 버퍼의 출력들은 심벌 조합기 (symbol combiner)를 통하여 조합된다. 심벌 조합기는 또한 가장 빠른 신호 성분을 관찰함으로써 시스템 기준 시를 제공하며 폐회로 (closed loop) 전력제어를 위한 전력제어 비트들을 처리하여 PDM 형태로 출력하며 장부호 (long code) discovering 기능을 수행한다. MSMASIC의 복조기 부분은 이외에 개방회로(open loop) 전력제어에 필요한 신호 및 BBAASIC에서 필요로 하는 각

종 신호를 발생하며 Walsh 부호 discovering기능을 수행한다.

MSMASIC의 복조 부분은 부호 포착 (code acquisition), 부호 추적 (code tracking), RAKE 조합기와 같이 CDMA 관련 핵심 기술을 요구하는 부분들로 이루어져 있다. 따라서 적어도 단말기 알고리즘의 개발에 있어서는 이 부분이 MSMASIC의 개발에 있어서 가장 난이도가 높을 것으로 생각된다. 또한 복조기의 기능은 마이크로 컨트롤러에서 소프트웨어상으로 실행되는 여러 기능들과 매우 밀접하게 관련되어 있다. 이와 비교하여 인터리버 부분이나 복

TRANSMIT PATH FOR THE REVERSE LINK

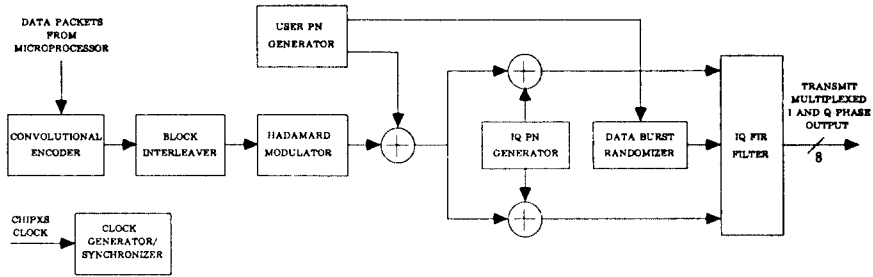


그림 3. MSMAASIC의 송신부분 블럭도

호기 부분은 알고리즘의 개발보다는 효율적인 ASIC 회로 설계 자체에 더 큰 노력이 투자될 것으로 보인다.

2. 인터리버 (Interleaver)

MSMAASIC의 복조기 부분에서 연판정 (soft-decision)된³ 심벌들은 역인터리버 (deinterleaver)를 통하여 기지국에서 수행된 인터리버링을 풀어주게 된다. IS-95에서는 시스템 기준시 (system time), Pilot PN 부호의 위상 및 Walsh 부호의 위상과 프레임 및 인터리버 블록 사이에 일정한 관계를 만족시킴으로써 디인터리버의 동기를 위하여 특별한 헤더 (header) 등이 필요하지 않도록 하고 있다. 예를 들어 Sync 채널에서는 Pilot PN 부호의 시작점⁴, Walsh 부호의 시작점과 프레임의 시작점, 인터리버의 시작점을 일치시킴으로써 Pilot PN 부호의 동기만으로 Walsh 부호, 프레임 및 인터리버의 동기가 자동적으로 이루어질 수 있도록 설계되어있다.

순방향 (기지국 → 단말기) 채널의 인터리빙은 Traffic 채널, Sync 채널, Paging 채널 모두 변화된 비트 반전 (modified bit reversal) 방식을 이용한 인터리빙을 수행하므로 역인터리버 알고리즘은 매우 간단하다. 단지 소요 메모리 크기를 줄이기 위한 고려가 필요하다.

3. 복조기 (Decoder)

역 인터리버의 출력은 Viterbi 알고리즘을 사용하

- 3. 전력제어 비트가 있었던 자리는 erasure로 대체된다.
- 4. Pilot 부호의 시작은 15개의 0이 출력된 이후 처음 출력되는 1을 기준으로 한다.

는 복조기의 입력이 된다. 사용되는 데이터율 (data rate)이 비교적 낮으므로 Viterbi 알고리즘의 핵심인 ACS (Add Compare and Select) 기능은 하나의 하드웨어만을 사용하여 시리얼 방식으로 처리하며 trace-back 깊이는 64를 사용한다. 실제로 복조기는 음성 신호에 의하여 결정되는 현재의 프레임 데이터율 (frame bit rate)을 알고 있지 못하므로 모든 가능한 프레임 데이터율을 가정하여 복호된 결과가 프레임 신뢰도 결과 (CRC, 매트릭, 심벌오율)와 함께 마이크로 컨트롤러에 보내지며 마이크로 컨트롤러는 이러한 정보를 사용하여 현 프레임의 프레임율을 판단하게된다.

인터리버부와 마찬가지로 복조화기 부분도 새로운 알고리즘의 개발보다는 효율적인 ASIC 회로 설계를 위한 노력이 필요하다.

4. 송신부

송신부의 시간 기준은 수신부의 시추적 루프로부터 공급된다. 따라서 마이크로 컨트롤러에 의하여 MSMAASIC의 송신부에 넘겨진 데이터는 수신부의 심벌 조합기로부터 공급되는 클럭 신호에 의하여 송신된다. MSMAASIC 송신부의 간략한 블럭도가 그림 3에 보여졌다. 송신되는 프레임은 길쌈 부호화된 후 반복되어 (repetition) 인터리빙된 후 Walsh 직교 변조되어 IQ-PN 부호 및 사용자 장부호에 의하여 대역 확산되며 마지막으로 data burst randomizer로 time-gating된 후 48 탭 디지털 필터를 통과하여 BBAASIC의 송신부에 입력된다.

5. MSMAASIC 1.0의 설계과정

본 절에서는 Qualcomm 에서 MSMAASIC 1.0을

개발하는데 택한 설계 접근 방법, 소요된 시간 및 칩의 크기등에 대하여 간략하게 논한다.

Qualcomm에서 사용한 mixed mode 회로 시뮬레이션 장비는 C에 근간을 둔 언어로 기술된 기능 블록 (functional block)의 사용이 가능하므로 대부분의 시스템 레벨의 설계 확인은 C로 짜여진 프로그램에 의하여 수행되었다. 회로 설계는 커스텀 설계와 자동 설계 (synthesis) 방법이 사용되었다. 시험기능 (testability) 또한 ASIC 설계시 중요한 고려 사항 중의 하나였다. MSMASIC 1.0에서는 복조기, 인터리버 및 복호기를 각각 독립적으로 시험할 수 있는 세가지의 시험 모드가 있으며 550개의 스캔 가능한 래치와 10개의 scan path가 마련되어 있다. 칩내의 RAM의 시험을 위해서는 RAM 시험 모드가 별도로 마련되어 있다.

MSMASIC 1.0은 모두 28 000bit의 RAM과 70 000개의 게이트로 이루어져 있으며 전체 트랜지스터의 수는 450 000개이다. Die의 크기는 410mil x 420mil이며 Vdd=5V에서 350mW의 전력을 소모한다. 사용된 공정은 0.8 마이크론의 2중 메탈 CMOS이다.


MSMASIC 1.0의 세가지 기능을 각각 세개의 ASIC에 구현하는데 소요된 인력은 약 280 MM (man-month)이며 이를 하나의 MSMASIC 1.0에 집적하는데는 30 MM가 소요되었다.

V. 결론

본 논문에서는 Qualcomm에서 개발된 제 1 세대

CDMA 단말기용 ASIC에 대하여 MSMASIC을 중심으로 간략하게 살펴보았다. 막강한 기술력을 지닌 구미 선진국들에서는 이미 오래 전부터 디지털 셀룰라 시스템, PCN, 무선 패킷망등의 디지털 무선 통신 시스템들이 미래의 통신 시장을 선도해 나갈 것으로 판단하고 막대한 인력과 비용을 투자하여 이들 시스템에 대한 기술 개발을 수행하고 있다. 국내에서도 CDMA 시스템 개발을 계기로 산업체, 학교, 연구소 등에 흩어져 있는 연구 인력들을 효과적으로 활용하여 디지털 무선 통신 분야에서 선진 대역에 진입할 수 있는 발판을 마련해야 하겠다.

參 考 文 獻

- [1] A.J. Viterbi and R. Padovani, "Implications of Mobile Cellular CDMA," *IEEE Communications Magazine*, pp. 38 - 41, Dec. 1992.
- [2] TIA/EIA/IS-95 *Interium Standard : Mobile Station-Base Station Compatibility Standard for Dual-Mode Wideband Spread-Spectrum Cellular System*, July, 1993.
- [3] Qualcomm, *CDMA Mobile Station Modem ASIC Specification Sheet*, Aug. 1992.
- [4] J. K. Hinderling et.al, "CDMA Mobile Station Modem ASIC," *IEEE Journal of Solid-State Circuits*, pp.253 - 260, Mar. 1993. 

筆者紹介



田 敬 薰

1962年 12月 16日生

1985年 2月 서울대학교 공과대학 전자공학과 학사

1987年 5月 University of Michigan, Ann Arbor 석사

1989年 8月 University of Michigan, Ann Arbor 박사

1987年 1月 ~ 1989年 8月 University of Michigan CSPL 연구조교

1989年 9月 ~ 1991年 7月 University of Delaware 전기공학과 조교수

1991年 8月 ~ 현재 포항공과대학 전자전기공학과 조교수

주관심 분야 : 대역확산통신방식(동기 및 부호화 방식), 패킷 라디오 망,
무선통신 시스템에서의 동기 및 채널등화 방식, 통신 및 정보 이론