

연속적으로 연결된 스타핑동기장치들에서 발생되는 지터에 관한 연구

正會員 崔 承 國*

Accumulation of Jitter in a Chain of Stuffing Systems

Seung Kuk Choi* *Regular Member*

要 約

스타핑시스템이 한개 또는 여러개 연속적으로 연결되었을때 발생하는 이상적인 스타핑지터에 대하여 연구하였다. 스타핑비가 두개의 서로 나누어 떨어지지 않는 간단한 수로 이루어지는 분수값 근처의 값을 가질때 크기가 큰 지터가 발생한다. 연속적으로 여러개 연결된 스타핑시스템에서도 각 시스템이 위와 같은 스타핑비로 동작할때 큰 크기의 축적된 지터가 발생한다. 시스템의 수에 따라 증가되는 이러한 지터의 실효치와 확률밀도함수가 계산되었으며 제작된 하드웨어 시뮬레이터를 이용하여 그 결과가 확인되었다.

ABSTRACT

The ideal stuffing jitter in a chain of stuffing systems is analyzed. The great jitter is generated when stuffing system operates with a stuffing ratio close to a simple rational number. The rms amplitude and probability density function of the accumulated jitter on the output of the chain is calculated and experimentally analyzed with a help of a hardware stuffing simulator.

I. 서 론

주파수가 139.264 Mbit/s인 여러개의 DS4급 비동기화상신호를 DS5급(564.992 Mbit/s)신호로 다중화시켜서 전송하는 DSMX 139/565(Digital Signal Multiplexer)시스템에서 스타핑동기방식(stuffing synchronization technique)이 사용되고 있다. 광대역신호와 효과적인 수용 및 원활한 운용을 위하여 통신망내의 모든 클럭(clock)을 동기시키는 동기식 디

지탈 계위가 CCITT에 의해 새로이 제정 권고되었다⁽¹⁾. 광대역동기식망에서도 지터 및 윈더(wander)가 발생하므로 각 노드내의 클럭들 간에 위상차이가 변동하게 된다⁽²⁻⁵⁾. 그러므로 디지털신호가 한 노드에서 다른 노드로 전송될때 두 클럭간의 위상차이를 보정하기 위하여 역시 스타핑방식이 사용된다. 그러나 스타핑동기방식은 고유의 스타핑지터(stuffing jitter)가 발생하는 문제가 있다. 신호가 통신망내에서 스타핑-역스타핑(stuffing-destuffing)과정을 거치면서 계속 다른 노드로 전송되면 그 지터의 크기는 점점 더 증가할 것이며 지터는 전송되는 화상신호의 화질(video quality)에 나쁜 영향을 미친다^(6,7).

*仁川大學校 情報通信工學科
Dept. of Information and Telecomm. Eng., University of Incheon

論文番號 : 9460
接受日字 : 1994年 2月 24日

스타핑지터는 Duttweiler,^[8] Matsuura등^[9]에 의해 이론적으로 분석되었는데 이 연구들에서는 스타핑장치 시스템 파라미터(system parameter)에 따라 발생하는 지터가 달라지는 영향이 고려되지 않았기 때문에 이 지터모델을 이상적스타핑지터(ideal stuffing jitter)라고 표시하기로 한다. 스타핑장치에서 나타나는 실제의 지터가 이상적지터와 다른 것이 그후 발견되어 그 원인의 규명 및 실제의 지터에 대한 연구가 시도되었으며,^[10, 11] 참고문헌(/11 /)에서 밝혀진 사실을 근거로 비동기 화상신호가 동기식망에서 사상될때 발생하는 실제의 지터가 컴퓨터 시뮬레이션과^[12] 하드웨어 시뮬레이터를^[13] 통하여 분석되었다. 연구결과 실제 발생하는 지터는 이상적스타핑지터보다 그 크기가 더 큰 것이 밝혀졌다.^[12, 13] 스타핑-역스타핑 과정을 거치면서 신호가 다른 노드로 계속 전송될때 축적되어 증가하는 이상적지터에 대한 이론적 연구는 Duttweiler에 의해서 이루어졌다.^[8] 이 연구에서 그는 연속적으로 연결된 스타핑시스템의 수에 따라 증가되는 지터의 rms(root mean square)값에 대한 대략적인 최대가능경계(bound)를 제시하였다.

본 논문에서는 크기가 작아서 유리한 이상적스타핑지터를 발생시킬 수 있는 스타핑제어방식을 소개하며 이 방법에 따라 하드웨어 시뮬레이터를 제작하여 발생하는 지터를 측정, 분석하였다. 또한 여러번의 스타핑-역스타핑 과정을 거치면서 신호가 전송될때 증가되는 이상적스타핑지터의 성질을 이론적 및 하드웨어 시뮬레이션에 의한 방법으로 연구하였다.

II. 스타핑동기장치에서 발생하는 이상적스타핑지터

2.1 스타핑동기장치

다중화장치의 클럭과 입력신호의 클럭이 서로 동기되지 아니하면 다중화장치의 버퍼(buffer) 또는 탄성저장기(elastic store)에 데이터를 써넣고 이를 시스템 안으로 읽어 들이는 과정에서 에러가 발생한다. 스타핑동기방식에서는 입력신호의 주파수보다 다중화장치의 주파수가 높게 설정되어 있어서 그림 1에서와 같이 스타핑장치클럭의 위상이 입력클럭의 위상보다 앞서 나간다. 이때 스타핑장치클럭의 위상이 어떤 한계치보다 앞서게 되면 그때마다 스타핑장치의 클럭을 한 비트씩 멈추게 하고 그 자리에는 데이터 대신 의미없는 더미(dummy) 비트를 채워 놓음으로

써 두 클럭간의 위상차가 어느 한계 내에서만 변하게 해주는 것이 비트스타핑방식이다. 프레임내의 스타핑자리에 위치한 정보가 데이터인지 또는 더미비트인지를 전송로 반대편에 있는 수신측에 알려주기 위하여 스타핑정보(stuffing information)가 역시 전송되어져야 한다.

수신측의 역스타핑 과정에서는 이 스타핑정보를 근거로 프레임내 일정자리에 위치한 정보가 더미비트일 경우 수신측 버퍼의 데이터를 읽어내는 클럭을 역시 한 비트 멈추게 하여 스타핑-역스타핑장치를 통하여 애러없는 전송이 이루어지게 한다. 그러나 그림 1의 (b)처럼 클럭이 갑자기 멈추게 되면 지터성분이 크게되므로 평활 PLL(smoothing Phase Locked Loop)을 사용하여 급작스럽게 크게 변동하는 위상의 움직임을 작게되도록 평활시킨후 이 평활된 클럭(그림 1의 (c))으로 데이터를 읽어내도록 한다. 이때 평활된 클럭의 평균주파수는 gap이 있는 불연속적인 스타핑장치의 출력주파수와 같으나 불연속성으로 인한 큰 크기의 지터는 PLL의 지터전달함수(jitter transfer function)특성에 따라 필터링(filtering)되어 지터가 작은 클럭을 얻을 수 있다.

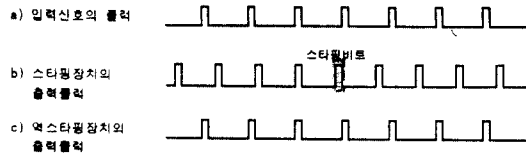


그림 1. 스타핑동기방식
Fig. 1. Stuffing synchronization technique

데이터를 전송하기 위한 프레임(frame)내에는 여러개의 서비스비트가 존재하는데 서비스비트들이 존재하는 시점마다 디지털 펄스가 프레임발생기에 의해 만들어진다. 버퍼에 쓰여진 데이터를 읽어내기 위하여 공급되는 클럭은 이 펄스들에 의해 멈춰지게되어 서비스비트들이 삼입될 자리가 마련된다. 한편 스타핑동기를 위하여 입력클럭과 다중화장치의 클럭이 서로 비교되어야 하는데 보통 버퍼에 데이터를 써넣기 위하여 분주된 입력클럭과 이 데이터를 다시 읽어내기 위해 분주된 다중화장치의 클럭들의 위상이 위상비교기에 의해 비교된다. 프레임내 일정한 시간내에서 두 클럭간의 위상비교가 행해져야 하는데 이 스

타핑판별시간대역을 위상비교윈도우(window)라 한다. 연속적으로 분주된 두 클럭들과 윈도우신호는 위상비교기에 보내져서 윈도우신호가 위치하는 시간대역내에서 두 클럭간의 위상이 비교된다. 이때 위상차가 한계치를 초과하게되면 스타핑이 행해져야 한다는 스타핑정보가 발생되어 분주기에 공급되는 클럭중 스타핑비트자리에 위치한 클럭을 한비트 멈추게 한다.

1986년에 위상비교시점이 매 프레임마다 변동되어 발생하는 스타핑지터에 영향을 미치는 것이 규명되었다.¹¹⁾ 광대역동기식통신망에서 발생하는 스타핑지터가 연구(/11/)에서 밝혀진 사실을 토대로 시스템파라미터가 지터에 미치는 영향까지 고려되어 분석되었다.¹²⁾ 먼저 CCITT의 권고안에 따른 프레임 구조와 시스템파라미터에 따라 발생될 지터의 시간적인 변화신호를 컴퓨터로 시뮬레이션한 후에 이 신호를 FFT(Fast Fourier Transform)하여 지터의 전력스펙트럼(power spectrum)과 필터링된 지터의 실효치(effective value) 또는 rms값을 구하였다. 컴퓨터 시뮬레이션에 의한 이 연구는 하드웨어 스타핑 시뮬레이터를 제작하여 발생하는 지터를 측정함으로써 그 결과가 다시 확인되었다.¹³⁾ 위 연구들의 결과 실제 발생하는 지터는 이상적인 스타핑지터보다 크기가 더 큰 것으로 밝혀졌다.

동기식전송망에서 사용될 다중화장치에서는 입력 클럭의 위상과 노드클럭으로 만들어지는 동기식전송

모듈(STM : Synchronous Transport Module)의 위상 차이가 변화하게 되므로 정/영/부 스타핑 또는 위치맞춤(justification)으로 그 위상차를 보정하여 준다. 정/영/부 위치 맞춤은 버퍼에 들어있는 데이터를 읽어내기 위하여 공급되는 클럭(read clock : node multiplex clock) 중 프레임내 정위치맞춤자리(positive justification opportunity)에 있는 클럭들을 삭제시켜 gap이 있는 클럭을 만들어 그 자리에 더 데이터를 삽입하거나(정위치맞춤) 또는 부위치맞춤자리(negative justification opportunity)에 있는 gap 대신 그 자리에 클럭들을 생성시켜 그 자리에 데이터를 삽입하여(부위치맞춤) STM과 입력클럭간의 위상차이가 상한 및 하한계값(upper and lower threshold values) 사이에서만 변동하게 하여주는 방식이다.

다른 노드에서 전송되어 역다중화(demultiplexing)된 화상신호를 다시 STM의 페이로드(payload)에 정/영/부 위치맞춤을 이용하여 다중화(Multiplexing)시키기 위한 포인터조정(pointer adjustment)동기장치의 구성도가 그림 2에 도시되었다.¹⁴⁾ 이 장치의 입력비지말생기(write address generator)는 수신되어 위치정렬된 입력클럭(write clock)에 의해서 카운트(count)된다. 버퍼의 데이터를 순차적으로 읽어내기 위한 출력비지말생기(read address generator)는 오버헤드 및 현 노드에서의 스타핑으로 인한 gap이 포함된 노드클럭(read clock)으로 카

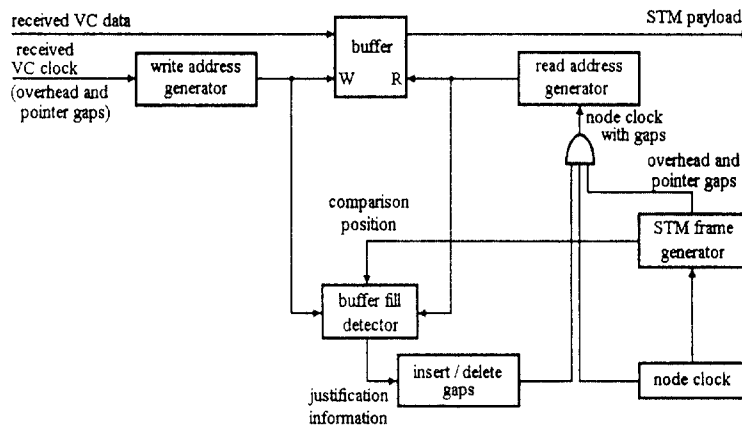


그림 2. 포인터조정동기장치의 구성도
Fig. 2. Block diagram of pointer adjustment synchronization system

운트된다. STM의 프레임내 일정한 위치(comparison position)때마다 두 번지발생기의 출력값이 latch되어 저장된다. 이 저장된 두 발생기의 번지값이 서로 비교되어 그 차이값이 상한값보다 크거나 하한값보다 작게될 때마다 위치정렬이 요구된다. 이와같은 새로운 스타핑동기제어장치는 종래에 사용되어오던 장치들에 비해 그 구조가 복잡하나 두 클럭간의 위상비교가 매 프레임내 일정한 위치에서 행하여지므로 크기가 작아서 유리한 이상적 스타핑지터가 발생할 것이다.

2.2 이상적인 스타핑지터의 분석

위상비교시점이 변동하게되면 발생하는 지터에 영향이 미치게 된다. 이와같은 영향이 고려되지 아니한 이상적지터에 대한 연구가 많이 진행되어 왔다.^[8, 9, 16, 18] 이 장에서 위상비교가 항상 일정한 위치에서 행하여진다고 가정했을때 나타날 이상적지터를 고찰한다. 입력클럭과 다중화장치클럭이 CCITT 권고안에 따른 정격주파수일때 스타핑이 행해지는 빈도 즉 정격스타핑주파수는 다음과 같다.

$$f_N = \frac{N_d}{N_r} f_L - f_S \quad (1)$$

- f_N : 정격스타핑주파수
- f_L : 다중화장치클럭의 주파수
- f_S : 입력클럭의 주파수
- N_d : 한프레임내의 데이터비트수
- N_r : 한프레임의 총 비트수

정격스타핑비는 최대스타핑가능주파수 f_M 과 정격스타핑주파수의 비이다.

$$S_m = f_N / f_M \quad (2)$$

두 클럭의 주파수가 변하면 스타핑비(stuffing ratio) S_r 도 따라서 변하게 되어 다중화전송장치에서 S_r 은 S_m 주위의 값을 가지게 된다. 스타핑이 가능한 시간 간격 t 를

$$t = 1 / f_M \quad (3)$$

로 표시하며 아울러 모든 주파수값 f 는 최대스타핑가능주파수 f_M 에 대한 비 f 로 나타내기로 한다.

$$f = f / f_M \quad (4)$$

서비스비트들과 스타핑비트를 프레임 내에 삽입하기 위하여 멈추어지는 클럭들 때문에 지터가 생긴다. 이 중 매 프레임마다 일정한 서비스비트 위치에서 멈추어지므로 발생하는 지터는 프레임의 반복주파수가 평활 PLL 지터전달함수의 3-dB 대역폭 보다 훨씬 크기 때문에 쉽게 감쇄되어 무시할 수 있다. 그러나 스타핑제어시 클럭이 멈추어질 수 있는 것은 프레임내 일정한 곳에서만 가능하므로 두 클럭의 위상차가 한계치를 초과하는 즉시 클럭이 멈추어지는 것이 아니라 스타핑이 가능한 시간위치(스타핑비트의 위치)까지 기다려야만 멈추어질 수 있다. 이러한 대기시간(waiting time)효과 때문에 스타핑지터는 그림 3에서와 같이 저주파의 주파수성분(low frequency envelope)을 가지며 이 성분은 평활 PLL로 감쇄되지 아니하므로 스타핑-역스타핑장치의 출력에 저주파의 스타핑지터가 나타난다.

그림 3(a)에서와 같이 스타핑비가 정확히 1/2일 경우에 발생하는 지터는 높은 반복주파수를 가지고 있어서 PLL에 의해 쉽게 감쇄되어질 수 있다. 그러나 클럭주파수의 변동으로 스타핑비를 1/2로 유지하는 것은 불가능하다. 스타핑비가 1/2보다 약간 높거나($S_r=1/2^+$) 또는 낮을 경우($S_r=1/2^-$)에 대기시간 때문에 증가 또는 감소하는 기울기를 가진 저주파의 톱니파지터(low freq. envelope)가 발생된다. 이때 스타핑비가 1/2에 접근하면 접근할수록 더욱 저주파의 지터가 발생하며 이 성분은 PLL에 의해 전혀 감쇄되지 못하여 장치의 출력에 그대로 나타난다. 이와같은 분석방법은 Matsuura등에 의해 제시되었다.^[9] 그림 4에 스타핑비가 두개의 서로 나누어 떨어지지 않는 간단한 수로 이루어지는 분수 근처의 값들을 가질때 발생하는 저주파 톱니파 지터신호와 첨두치(peak to peak value)가 도시되었다. 스타핑비가 이와같이 1/2, 1/3, 2/3, ..., h/k, ... 등의 특별한 값 근처의 값을 가질때 첨두치가 1/2, 1/3, 1/3, ..., 1/k, ...인 톱니파형 지터가 발생한다. 그러나 스타핑비가 0.46 일때 이 값을 정확히 표시하기 위하여 9/20 으로 표시할 것이냐? 또는 보다 간단한 수로 나타내기 위하여 1/2로 표시할 것이냐? 하는 불분명한 문제가 발생한다.

Duttweiler는 일반적인 모든 스타핑비에 대하여 발생하는 지터를 체계적으로 분석하였다.^[8] 그는 지터함수의 초기치에 랜덤변수(random variable)를 도

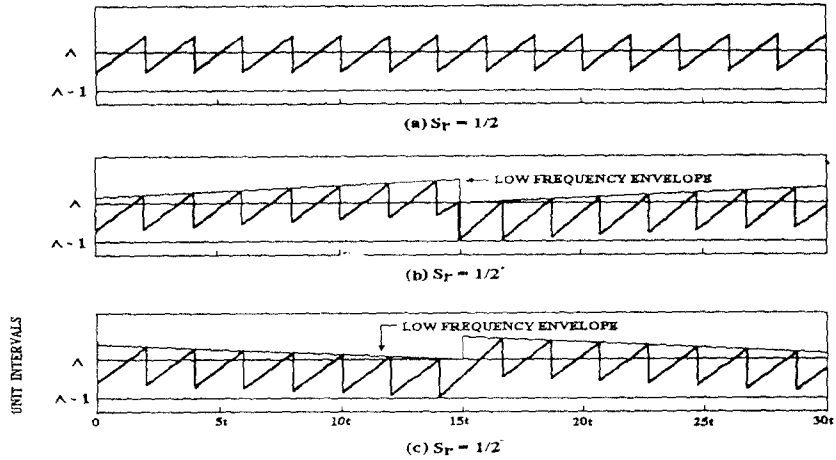


그림 3. 대기시간효과에 의해 발생하는 저주파의 톱니파형 스타핑지터 성분

Fig. 3. Generation of strong low frequency sawtooth jitter due to waiting time effect

입하여 지터함수를 하나의 랜덤프로세스(random process)로 고찰하였다. 우선 이 프로세스의 자기상관함수(autocorrelation)가 구해지고 이것이 푸리에 변환(Fourier transform)되어 이상적지터의 전력스펙트럼(power spectrum) $S_s(f)$ 와 실효치 $\Phi_{rms}(S_T)$ 이 계산되었다.

$$S_s(f) = \text{sinc}^2 f \cdot Q(f) + \sum_{n=1}^{\infty} \left[\frac{S_T}{2\pi n} \right]^2 (\delta(f-n) + \delta(f+n)) \quad (5)$$

기때

$$Q(f) = \sum_{n=1}^{\infty} \left[\frac{1}{2\pi n} \right]^2 (\text{rep}\delta(f-S_n) + \text{rep}\delta(f+S_n)) \quad (6)$$

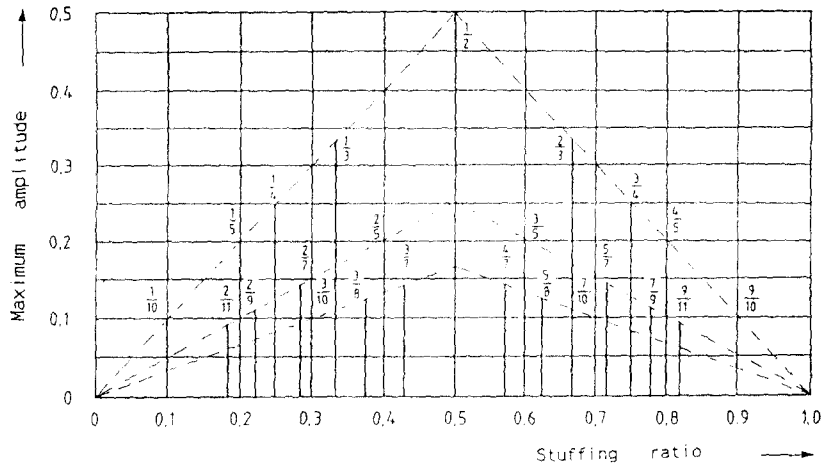


그림 4. 스타핑비가 무개의 식으로 나누어 떨어지지 않는 간단한 주기로 이루어지는 분수 크기의 값을 가질때 발생하는 톱니파지터의 값도치.

Fig. 4. Peak to peak amplitude of the sawtooth jitter when stuffing ratio is close to simple rational numbers.

$$\text{rep}X(f) = \sum_{k=-\infty}^{\infty} X(f-k)$$

$\delta(\cdot)$ 는 Dirac delta 함수이다. 평활 PLL에 의해 필터링된 지터의 전력스펙트럼 $S_d(f)$ 와 실효치는 원래 스펙트럼에 평활 PLL의 지터전달함수 $H(f)$ 의 크기의 자승을 곱하면 구할 수 있다.

$$S_d(f) = |H(f)|^2 S_s(f) \quad (7)$$

$$\Phi_{rms}^2(S_r) = \int_{-\infty}^{\infty} S_d(f) df \quad (8)$$

평활 PLL의 댐핑계수(damping factor)를 7로 크게 선정하였으며 댐핑계수가 큰 경우에 전달함수는 다음과 같은 근사식이 된다.

$$H(f) \approx \frac{f_g}{jf + f_g} \quad (9)$$

이때 f_g 는 PLL의 3-dB 대역폭이다. DSMX 139/565에서 f_g 가 $1.427 \cdot 10^{-3} \text{ fM}$ 인 PLL로 필터링된 이상적 스타핑지터의 실효치가 수식 (5)~(9)에 의하여 그림 5에 도시되었다. DSMX 139/565에서 클럭의 주파수가 변함에 따라 스타핑비는 0.41918과 0.45893 사이의 값을 가진다. 가장 큰 크기의 지터는 그림에서와 같이 스타핑비가 3/7 근처일때 발생하며 그 실효치는 14.7 도이다. Matsuura등에 의한 분석방법에

의하면 이 경우 첨두치가 1/7UI(51도)인 톱니파형 지터가 나타난다. 이와같은 톱니파신호의 실효치는 역시 14.7도가 되므로 Duttweiler에 의한 결과와 일치한다. 이외에 스타핑비가 4/9, 5/11, 7/16, 8/19, 일때에도 역시 저주파의 톱니파지터가 나타난다. 스타핑비가 간단한 수로 표시되지 못하는 경우에는 발생하는 지터는 수식 (5)와 같이 여러가지 주파수성분을 가지게되며 시간적으로 복잡한 지터파형이다.

III. 연속적으로 연결된 스타핑장치에서 발생하는 이상적지터

다중화되어 어떤 노드로 전송된 신호는 분리, 재배치되어 다른 신호와 다중화된 후 또 다른 노드로 계속 전송될 수 있다(그림 6). 이때 각 노드의 다중화-역다중화 시스템(Muldex : MUX and DEMUX : Multiplexer and Demultiplexer)에서 클럭간의 위상차를 보정하기 위하여 스타핑-역스타핑이 행하여지므로 지터가 발생한다. 스타핑-역스타핑에 의해 발생된 지터는 역다중화장치에 있는 평활 PLL에 의해 감소되며, 이 지터가 포함된 출력클럭은 그 다음 노드의 스타핑시스템의 입력에 가해진다. 연속적으로 n개 연결된 다중화장치의 출력에 나타나는 지터는 각 장치의 스타핑비에 따라서 결정된다. 각 시스템의 모든 경우의 스타핑비에 대하여 증가되는 지터를 모두 분

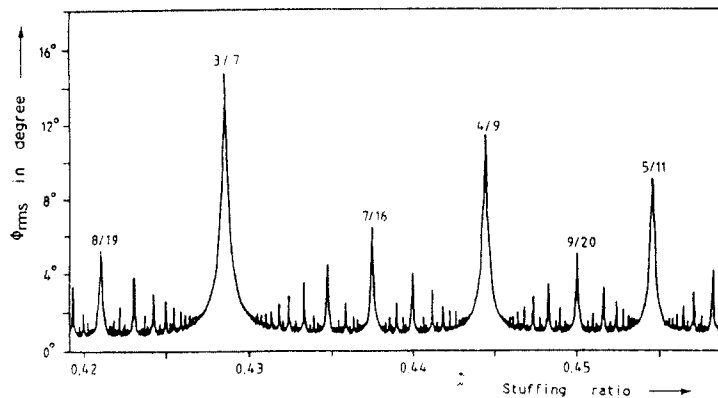


그림 5. 스타핑비에 따라 결정되는 필터링된 이상적 스타핑 지터의 실효치 (PLL의 3-dB 대역폭 : $1.427 \cdot 10^{-3} \text{ fM}$)
 Fig. 5. Effective value of the filtered ideal stuffing jitter as a function of stuffing ratio(3-dB bandwidth of PLL : $1.427 \cdot 10^{-3} \text{ fM}$)

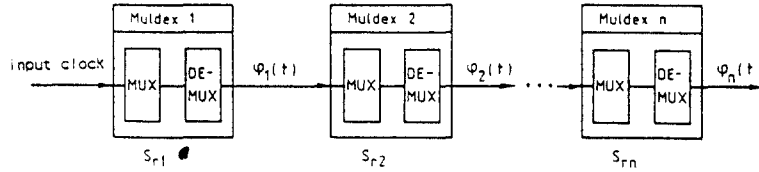


그림 6. 연속적으로 n개 연결된 다중화-역다중화 시스템
Fig. 6. Cascade connection of n Muldex systems

적한다는 것은 수많은 경우의 수가 되므로 불가능하다. 각각의 시스템이 모두 가장 큰 지터를 발생시키는 불리한 스타핑비로 동작될때 발생하는 지터(worst case accumulated jitter)와 시스템이 모두 유리한 스타핑비로 동작될때 발생하는 지터들이 연구되어야 할 것이다.

스타핑비 S_r 가 h/k 나 0 근처로 스타핑시스템이 동작할때 크기가 큰 톱니파모양의 지터가 발생한다. 연속적으로 두개($n=2$) 연결된 스타핑시스템이 모두 불리한 스타핑비인 $h/k=1/3$ 근처에서 동작될때 그 출력에 발생하는 지터가 그림 7에 설명되었다. $\Phi_{s1}(t)$ 는 첫번째 시스템에서 발생된 필터링된 스타핑지터이며 두번째 스타핑의 입력클럭에는 이와같은 지터 성분이 존재하게 된다. 두번째 시스템의 클럭과 이 입력클럭간의 위상차가 1UI(한개값)보다 크면 스타핑이 발생되어 역스타핑시스템의 출력에 그림 7에 실선으로 표시된 것과 같은 지터가 발생한다. 이 지터는 PLL로 필터링되어 반복주파수가 $(1/k) \cdot f_m$ 인 높은 주파수성분의 지터는 감쇄되고 $\Phi_{s2}(t)$ 로 표시된 지터만 남게된다.

스타핑비가 h/k 보다 조금 높거나 낮으면 기울기가 증가하거나 감소하는 톱니파지터가 나타난다.(그림 3 참조) 두 시스템의 스타핑비가 h/k 보다 조금 높거나($S_r=h/k+\Delta x$) 또는 낮은($S_r=h/k-\Delta x$) 네 경우에 두 시스템의 출력에 나타나는 지터가 그림 8에 도시 되었다. 입력클럭과 첫번째 노드클럭의 주파수차이에 따라서 Δx 의 크기 및 $\Phi_{s1}(t)$ 의 기울기가 결정된다. 오직 첫번째 노드클럭과 두번째 노드클럭의 주파수차이에만 의해서 Δx 및 $\Phi_{s2}(t)$ 의 기울기가 결정된다. 즉 $\Phi_{s2}(t)$ 의 기울기는 맨 처음의 입력클럭과는 관계없이 독립적으로 결정된다. 그림 8에서와 같이 $\Phi_{s2}(t)$ 는 기울기가 서로 다르나 높이는 모두 $1/kUI$ 로 같은 독립적인 두 톱니파신호의 합이된다.

각 클럭의 주파수들이 랜덤하게 조금씩 변동하게 되면 두 톱니파 신호도 각각 랜덤하게 변화하나 높이는 $1/k$ 로 일정하다.

따라서 두 스타핑시스템의 출력에 나타나는 랜덤한 지터는 0에서 $1/k$ 까지의 균일한 확률 밀도함수(uniform probability density function) $f(\Phi)$ 를 가

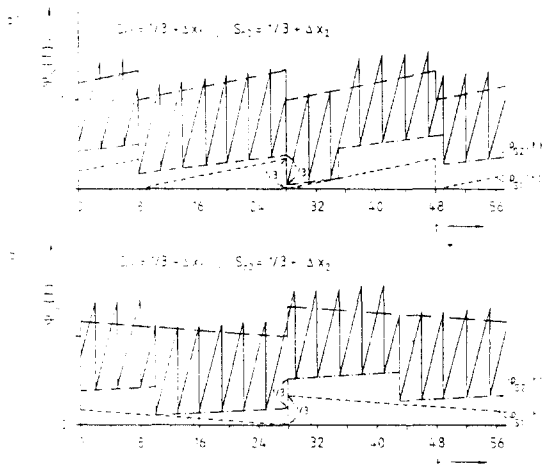


그림 7. 불리한 스타핑비 1/3 근처에서 동작하는 연속적으로 2개 연결된 다중화-역다중화 시스템에서 발생하는 이상적스타핑지터($\Phi_{s1}(t)$: 첫번째 시스템의 출력에 나타나는 필터링된 지터; $\Phi_{s2}(t)$: 두번째 시스템의 출력에 나타나는 필터링된 지터; : 두번째 스타핑시스템의 스타핑판정한계값).

Fig. 7. Generation of ideal stuffing jitter in a chain of 2 muldex systems, when the systems operate with stuffing ratio close to 1/3($\Phi_{s1}(t)$: filtered jitter on the output of the first system; $\Phi_{s2}(t)$: filtered jitter on the output of the second system; : stuffing decision threshold of the second stuffing system).

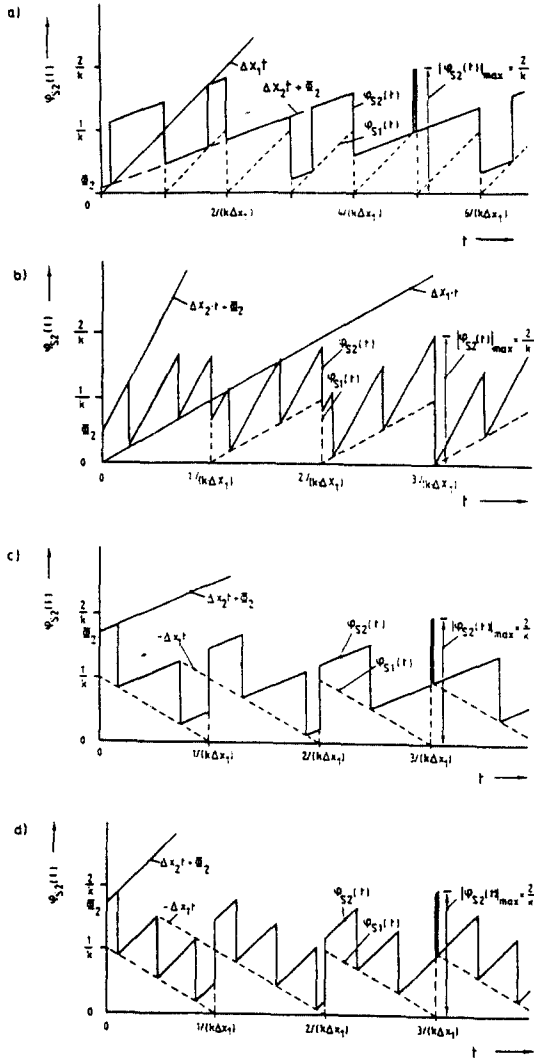


그림 8. 불리한 스타핑비 $h/k \pm \Delta x$ 에서 동작하는 연속적으로 연결된 두 시스템의 출력에 발생하는 필터링된 이상적스타핑지터((a) : $S_{r1}=h/k+\Delta x_1$, $S_{r2}=h/k+\Delta x_2$, $\Delta x_1 > \Delta x_2$; (b) : a의 경우와 같으나 단, $\Delta x_1 < \Delta x_2$; (c) : $S_{r1}=h/k-\Delta x_1$, $S_{r2}=h/k-\Delta x_2$, $\Delta x_1 > \Delta x_2$; (d) : c의 경우와 같으나 단, $\Delta x_1 < \Delta x_2$).

Fig. 8. Generation of filtered ideal stuffing jitter on the output of 2 muldex systems, when the systems operate with stuffing ratio $h/k \pm \Delta x$ ((a) : $S_{r1}=h/k+\Delta x_1$, $S_{r2}=h/k+\Delta x_2$, $\Delta x_1 > \Delta x_2$; (b) : same with case (a), but $\Delta x_1 < \Delta x_2$; (c) : $S_{r1}=h/k-\Delta x_1$, $S_{r2}=h/k-\Delta x_2$, $\Delta x_1 > \Delta x_2$; (d) : same with case (c), but $\Delta x_1 < \Delta x_2$).

지는 두개의 독립적인 랜덤변수 Φ 의 합이다. n개 연속적으로 연결된 스타핑시스템에서 발생하는 worst case의 랜덤지터 Φ_n 도 비동기 노드클럭들은 서로 독립적으로 동작되므로 $n=2$ 인 경우와 마찬가지로 n개의 서로 독립적인 랜덤변수 Φ 의 합으로 표시된다.

$$\Phi_n = \Phi + \Phi + \Phi + \dots + \Phi \quad (10)$$

독립적인 랜덤변수의 합인 Φ_n 의 variance σ_n^2 (또는 n개 연결된 시스템에서 발생하는 교류 성분지터의 평균전력 $\Phi_{rms, n}^2$)은 한 시스템에서 발생하는 지터평균전력 $\sigma^2=1/(12k^2)$ 의 n배이다.^[19]

$$\sigma_n^2 = n \cdot \sigma^2 = n \cdot [1/(12k^2)] \quad (11)$$

Duttweiler는 연구(8)에서 n개 연결된 시스템에서 발생할 수 있는 지터의 평균전력에 대한 최대경계값(upper bound)을 아래와 같이 제시하였다.

$$\sigma_n^2 \leq n \cdot \sigma^2 = n/6 \quad (12)$$

식(12)는 스타핑비가 어떤 값을 가지던 상관없이 지터의 평균전력이 이 값을 초과할 수 없다는 의미이다. 새로 계산된 식(11)에 스타핑비가 제일 불리한 경우인 $S_r=1$ 을 대입하면 $\sigma_n^2 = n \cdot \sigma^2 = n/12$ 가 되며 식(12)은 대략적인 값인 것을 알 수 있다. 특정한 시스템 DSMX 139/565의 경우에는 제일 불리한 스타핑비가 3/7이므로 k값 7을 식(11)에 대입하면 최대 발생할 수 있는 정확한 평균전력을 구할 수 있다. n개 시스템에서 발생하는 지터의 확률밀도함수 $f_n(\Phi)$ 는 한 시스템에서 발생하는 지터의 확률밀도함수 $f(\Phi)$ 가 서로 n번 컨볼루션(convolution)된 모양이다. n이 2인 경우에는 구형파함수가 두번 컨볼루션 되므로 삼각형모양의 함수가 되며 n이 증가될수록 곧 Gaussian 형태로 접근한다.^[19] 한개 시스템에서 발생하는 지터는 0에서 최대 $1/k$ 사이의 크기로 변화한다. $f_n(\Phi)$ 는 x축의 길이가 $1/k$ 인 구형파확률밀도함수가 n번 컨볼루션되는 모양이므로 n개 시스템에서 발생하는 지터의 0에서 최대값 $n \cdot (1/k)$ 사이의 값을 가질 수 있다. 그러므로 n개 시스템에서 발생할 수 있는 지터의 최대값 Φ_{pn} 은 한 시스템에서의 최대값 Φ_p 과 n에 비례해서 증가한다.

$$f_n(\Phi) = f(\Phi) * f(\Phi) * \dots * f(\Phi) \quad (13)$$

$$\Phi_{pn} = n \cdot \Phi_p = n \cdot (1/k) \quad (14)$$

IV. 하드웨어 시뮬레이터에서 발생하는 지터의 측정

그림 9가 제작된 하드웨어 시뮬레이터에 대한 구성도이며 두쌍의 다중화-역다중화 장치는 그림 2의 구조로 설계되었다. 두 스타핑-역스타핑 시스템의 출력에 나타나는 평할 PLL로 필터링된 지터가 포함된 할력은 위상검출기(phase detector : PD)로 보내져 기준입력클럭과 비교됨으로서 그 지터성분이 검출된다. 이 검출된 지터신호는 HP 3960 FM 녹음기에 저장되며 이 신호를 위상변조기(phase modulator : PM)에 가하면 다시 지터성분이 포함된 할력을 만들 수 있다. 이 할력을 스타핑시뮬레이터의 입력에 인가하면 그 출력에는 4개의 스타핑시스템이 연속적으로 연결되었을때 발생하는 지터를 시뮬레이션할 수 있다. 이와같은 방법을 반복하여 임의의 여러개의 시스템이 연속적으로 연결되었을때 생성되는 지터를 발생하였다. 검출된 지터신호는 아울더 퍼스널컴퓨터에 저장된뒤 그 실효치, 전력스펙트럼, 확률밀도함수가 계산되었다. 스타핑시뮬레이터는 DSMX 139/565의 프레임에 맞게 설계되었으며 높은 주파수에서의 어려움을 피하기 위하여 8.704 Mbit/s(139.264/16)과 8.828 Mbit/s(564.992/64)로 시뮬레이터를 동작시켰다. 이때 발생하는 지터의 주파수성분도 실제보다 비례해서 낮아지게되나 본 논문에서는 측정결과값을 원래의 시스템파라미터에 맞도록 표시한다.

그림 10에 스타핑비가 0.43413인 한개의 스타핑-역스타핑 시스템에서 PLL의 3-dB 대역폭 f_R 가 $1.427 \cdot 10^3$ fm인 PLL로 필터링된 지터파형과 그 전력스펙트럼이 측정되었다. 측정된 전력스펙트럼은 수식 ~ (9)를 이용하여 계산된 결과와 비교되었다. 이러한 스타핑비에서 발생하는 지터는 크기가 작으며 여러가지 주파수성분을 가지고있다. 두개의 시스템을 연속적으로 연결시킨 후에 각 시스템의 주파수를 DSMX 139/565의 허용치내에서 가변시키면서 발생하는 지터를 측정하였다. 그 결과 두 시스템이 모두 스타핑비가 3/7 근처에서 동작할때 두 시스템의 출력에 가장 큰 지터가 발생하였다.(worst case jitter in 2 muldex systems) 그림 11에 이때 발생하는 지터가 측정되었으며 이는 그림 8의 이론적인 파형과 일치한다. 그림 12에 25개 연속적으로 연결된 시스템에서 시스템이 모두 3/7 근처의 스타핑비에서 동작할때 발생하는 지터의 파형이 측정되었다. 연결시스템의 수가 증가함에 따라 크기가 커지는 이 측정된 지터의 실효치가 그림 13에 수식 (11)에 의한 이론치와 비교되었으며 측정된 지터의 확률밀도함수도 수식 (13)에 의한 이론값과 함께 그림 14에 도시되었다.

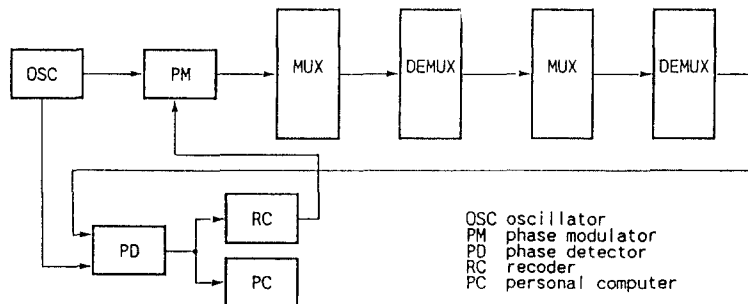
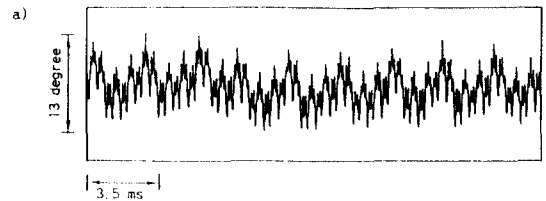


그림 9. 제작된 하드웨어 시뮬레이터의 구성도.
Fig. 9. Block diagram of hardware simulator.

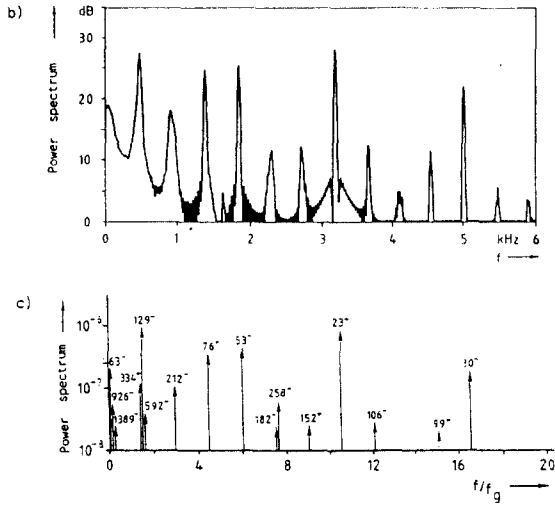


그림 10. 스타핑비가 0.43413이며 PLL의 3-dB의 대역폭 f_g 가 $1.427 \cdot 10^{-3} f_M$ 인 한개의 스타핑-역스타핑 장치에서 발생하는 필터링된 이상적스타핑지터의 파형 및 진력스펙트럼((a): 측정된 지터파형; (b) 측정된 진력스펙트럼; (c): 수식 (5) ~ (9)에 의해 계산된 진력스펙트럼).

Fig. 10. Power spectrum and waveform of the filtered ideal stuffing jitter of a stuffing destuffing system(stuffing ratio: 0.43413; 3-dB bandwidth of the PLL: $1.427 \cdot 10^{-3} f_M$; (a): measured jitter waveform; (b) measured power spectrum; (c) with eq. (5) ~ (9) calculated power spectrum).

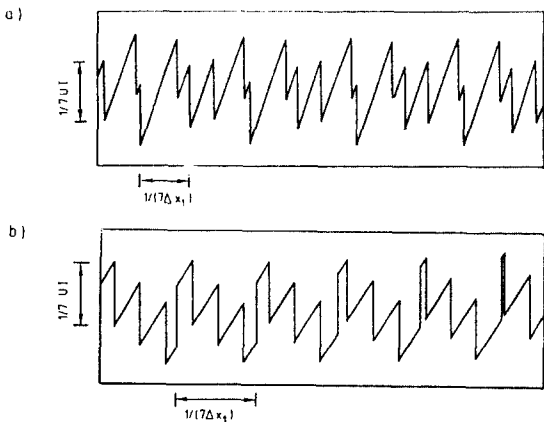


그림 11. 스타핑비가 모두 3/7 근처의 값으로 동작하는 연속적으로 2개 연결된 스타핑-역스타핑 장치에서

발생되는 필터링된 지터의 측정파형 ((a): $S_{r1}=3/7+\Delta_s$, $S_{r2}=3/7+\Delta_s$, $\Delta_s < \Delta_s$; (b): $S_{r1}=3/7-\Delta_s$, $S_{r2}=3/7+\Delta_s$, $\Delta_s < \Delta_s$)

Fig. 11. Filtered ideal stuffing jitter in a chain of 2 muldex systems when both systems operate with stuffing ratio close to 3/7 ((a): $S_{r1}=3/7+\Delta_s$, $S_{r2}=3/7+\Delta_s$, $\Delta_s < \Delta_s$; (b): $S_{r1}=3/7-\Delta_s$, $S_{r2}=3/7+\Delta_s$, $\Delta_s < \Delta_s$)

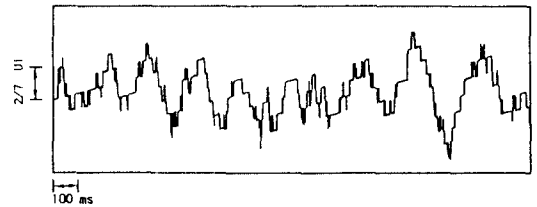


그림 12. 스타핑비가 모두 3/7 근처의 값으로 동작하는 연속적으로 25개 연결된 스타핑-역스타핑 장치의 출력에서 발생하는 필터링된 지터의 측정파형.

Fig. 12. Filtered ideal stuffing jitter in a chain of 25 muldex systems when all systems operate with stuffing ratio close to 3/7.

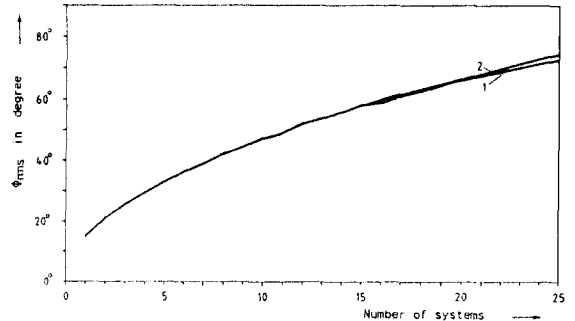


그림 13. 연속적으로 연결된 모든 시스템이 3/7 근처의 스타핑비로 동작할때 연결된 시스템의 수에 따라 증가되는 필터링된 이상적스타핑지터의 실효치 (1: 측정된 값; 2: 식(11)에 의한 이론치).

Fig. 13. rms amplitude of filtered ideal stuffing jitter as a function of the number of cascade connected stuffing systems when all systems operate with stuffing ratio close to 3/7

(1: measured value; 2: theoretical value from eq. (11)).

V. 결 론

스타핑-역스타핑 시스템이 한개 또는 여러개 연속적으로 연결되었을때 발생하는 이상적스타핑지터에 대하여 연구하였다. 먼저 그 크기가 작아서 유리한 이상적스타핑지터를 발생시킬 수 있는 스태핑제어방식을 소개하였으며 이상적지터의 성질을 분석하였다. 스태핑지터는 스태핑비에 따라 그 성질이 결정되며 스태핑비가 두개의 서로 나누어 떨어지지 않는 간단한 수로 이루어지는 분수값 h/k 근처의 값을 가질 때 큰 크기의 지터가 발생한다. 연속적으로 연결된 시스템이 모두 위와같은 불리한 스태핑비로 동작할 때 발생하는 지터의 실효치, 최대값, 확률밀도함수등이 계산되었으며 이 결과를 확인하기 위하여 하드웨어 시뮬레이터를 제작하여 발생하는 지터를 측정하였다.

연구결과 불리한 스태핑비 h/k 에서 모든 시스템이 동작할 때 제일 큰 크기의 지터(worst case accumulated stuffing jitter)가 발생하였다. 이 지터는 연결된 시스템의 수 n 에 비례하여 $n \cdot [1 / (12k^2)] UI$ 의 평균전력을 가지는 것이 밝혀졌다. 이 측정된 지터의 최대값은 $n \cdot (1/k) UI$ 으로 계산되었으며 스태핑시스템대에 존재하는 비피의 크기를 이 값보다 크게 설계하면 스태핑지터로 인한 데이터어러는 발생하지 않게된다.

본 연구는 주로 DSMX 139/565 시스템을 대상으로 분석하였으나 연구결과는 동기식전송망에서 발생하는 스태핑지터에 대하여도 적용할 수 있다. 동기식전송망에서 발생하는 스태핑지터는 동기식동선망 자체에서 발생하는 지터에 따라 그 성질이 달라지며 그 크기가 아울러 스태핑시 발생하는 지터의 크기를 작게 할 수 있는 제어방법이 여러 연구에서 제시되었다. 따라서 스태핑비가 h/k 근처와 같은 특수한 경우가 아닌 일반적인 경우에 발생하는 지터는 복잡한 성질을 가지고 있다. 이와같이 일반적인 스태핑비의 경우에 연결된 시스템의 수에 따라 증가되는 지터와 동기식전송망에서 발생하는 스태핑지터가 더 자세히 연구되어야 할 것이다.

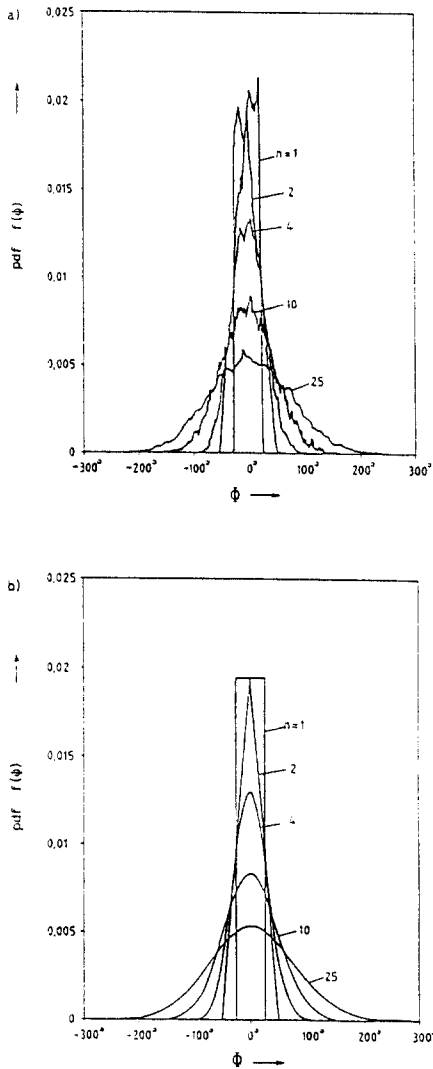


그림 14. 연속적으로 연결된 모든 시스템이 3/7 근처의 스태핑비로 동작할때 연결된 시스템의 수 n 에 따라 변화되는 필터링된 이상적스타핑지터의 확률밀도함수

Fig. 14. probability density function of filtered ideal stuffing jitter as a function of the number n of cascade connected stuffing systems when all systems operate with stuffing ratio close to 3/7

((a) : 측정된 값 ; (b) : 식 (13)에 의한 이론치).

이 논문은 1993년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

참 고 문 헌

1. CCITT revised Recommendation, G. 707, G. 708, and G. 709, 1992.
2. Hartmann H.L. and Steiner E., "Synchronization Techniques for Digital Networks", IEEE J. Select. Areas on Commun., Vol. SAC-4, No. 4, pp.506-513, July 1986.
3. Johnson W.B., Brown R., "A New Network Synchronization Phase Noise Simulator", Contribution to T1 standards project T1X1.3/91-074.
4. Mahon K., "Measured Phase Stability of Network Signals", Contribution to T1 standards project T1X1.3/92-148.
5. CCITT draft Recommendation G.81s, "Timing characteristics of slave clocks suitable for operation in SDH equipments", 1992.
6. Szuehbator B., "Effect of Jitter on Digital Colour TV Systems", Budavox Telecommunication Review, pp.16-27, 1984.
7. Grallert, "Jittersichtbarkeitsgrenze bei Ubert-rangung von Fernsehsignalen", Siemens 내부보 고서.
8. Duttweiler D.L., "Waiting Time Jitter", Bell Syst. Tech. J., Vol.51, pp.165-207, Jan. 1972.
9. Matsuura Y., Kozuka S. and Yuki K., "Jitter Characteristics of Pulse Stuffing Synchroniza-tion", IEEE Int. Conf. on Commun., pp 259-264, June 1968.
10. Cleobury D.J., "Characteristics of a Digital Multiplex Equipment Employing Justification Techniques", Conf. on Telecommun. Trans., Lodon, Sept. 9-11, 1975, IEE Conf. Publ. No. 131, pp.83-86.
11. Choi S.K., "Messtechnische Untersuchung des Stopfjitters in Multiplex systemen fuer Breitbandsignale", ntzArchiv, Vol.8, No.12, pp.311-316, Dec. 1986.
12. 최승국, "동기식 통신망을 위한 스타핑동기 방식에서 발생하는 지터에 관한 연구", 한국통신학회 논문지, 제17권, 제5호, pp.433-441, 1992.5.
13. 최승국, 동기식 전송망에서 발생하는 stuffing jit-ter의 분석 및 감소방책, 통신 학술 단체 '91 연구 과제보고서, 1991.5-1992.3
14. Sexton M.J. and Reid A.B., "ATM Terminal Engineer's Guide, 10. Transmission Network-ing : SONET and the SDH", Artech House, 1992.
15. Wolaver D., "Pointer Adjustment Sequence Due to Frequency Offset", Contribution to T1 standards project T1X1.3/92-149.
16. Grover W.D., Moore T.E. and McEachern J. A., "Waiting time jitter reduction by synchronizer stuff threshold modulation", Proc. GLOBECOM, pp. 13.7.1-13.7.5, 1987.
17. Gianfranco, Pierobon and Romano P. Valussi, "Jitter Analysis of a Double Modulated Thres-hold Pulse Stuffing Synchroizer", IEEE Trans. Commun., Vol.39, No.4, pp.594-602, Apr. 1991.
18. Choi D. H., "Waiting time jitter reduction", IEEE Trans. Commun., Vol 37, No.11, pp. 1231-1236, Nov. 1989.
19. Papoulis A., Probability, Random Variables, and Stochastic Processes, McGraw-Hill, 1987.
20. Malcom Betts, "Effect of pointer Manipu-lation on Network Wander Characteristics", Contribution to T1 standards project T1X1.4/87-402.
21. Robert W. Cabbage-Convenor, "Report of Sep-tember 8 & 9 meeting of SONET Gateway Jit-ter implication Ad Hoc Group", Contribution to T1 standards project T1X1.6/88-036.
22. 이창기, 김재근, "SDH 시스템에서의 포인터조정 지터 감소 알고리즘 및 성능연구", 대한전자공학 회 논문지, 제30권 A권, 제2호, pp.1-9, 1993. 2.



崔承國 (Seung Kuk Choi) 장회원

1952年 9月 29日 生

1974년 : 연세대학교 전자공학과
(공학사)

1981년 : 연세대학교 대학원 전자공
학과(공학석사)

1988년 : 독일 Braunschweig 공대
전자공학과(공학박사)

1978년 ~ 1981년 : 한국전자통신연구소 연구부

1989년 ~ 현재 : 연세대학교 정보통신공학과 부교수