

대용량 전자교환기 내부통신망 성능 분석에 관한 연구

正會員 崔 眞 圭* 正會員 李 忠 根** 正會員 李 太 遠***

A Study on the Performance Analysis of Inter-Processor Communication Network for Digital Switching System

Jin Kyu Choe*, Chung Kun Lee**, Tae Won Rhee*** *Regular Members*

要 約

대용량 교환시스템인 TDX-10의 내부통신망의 성능을 분석하였다. 내부통신망의 시뮬레이션은 SLAM II의 이산사건모델을 이용하여 개발하였다. 시뮬레이션의 결과로 각 노드에서의 최대버퍼길기와 평균대기시간 그리고 D버스의 이용율을 구하였다. 또한 링크속도를 고려한 내부통신망의 최대호처리용량을 구하였다.

ABSTRACT

In this paper, the performance analysis of Inter-Processor Communication Network(IPCN) in a large-capacity digital switching system, TDX-10, is presented. The simulation model of IPCN is developed using discrete event model of SLAM II. The simulation results of maximum buffer length and mean waiting times at each node, and utilization of D-bus are derived. Finally, the maximum call handling capacity of IPCN is obtained by taking link speed into consideration.

I. 서 론

컴퓨터 기술의 발전은 기계식 교환기에서 전자교환기로의 전환을 가져왔고, 반도체 기술의 급격한 발전은 대용량 교환기의 개발을 가능하게 하고 있다. 이러한 대용량 교환기는 기존의 음성 서비스뿐만 아니라

비음성통신 즉 ISDN(Integrated Services Digital Network)서비스를 제공하도록 요구되고 있다. 이에 따라 요구되는 서비스를 충분히 수용할 수 있기 위한 교환기 내부 통신구조의 중요성이 매우 커지고 있다.

일반적으로 전자교환기는 통화로계 용량보다 제어계 용량이 적기 때문에 전체 시스템의 용량은 제어계 용량에 의해 결정된다.¹⁾ 따라서 대용량 교환기의 용량 분석을 위해서는 제어계의 용량 분석이 필수적이다. 교환기의 제어계는 다수의 고성능 마이크로프로세서로 구성되는 다중프로세서 구조로 개개의 프로세서는 여러 개의 큐(queue)를 가지고 있으며 이들은 내부통신망(Inter-Processor Communication Net-

* 韓南大學校 電子工學科

Dept. of Electronic eng. Hannam Univ.

** 韓國電子通信研究所

Electronics and Telecommunications Research Institute

*** 高麗大學校 電子工學科

Dept. of Electronics Korea Univ.)

論文番號 : 94101

接受日字 : 1994年 4月 1日

work)을 통하여 상호 연결되어 있다. 이 내부통신망은 교환기 뿐만 아니라 분산 또는 병렬처리 방식을 지향하는 다중 프로세서시스템에서 시스템의 성능을 좌우하는 관건이 되고 있다. 하드웨어의 기술 발전으로 단말의 성능이나 신뢰도 문제가 적어지는 것과는 반대로, 중앙의 통신망은 그자체의 설계에 따라 시스템 전체의 병목(bottleneck)이 될 수 있다는 점에서 더욱 중요해지고 있다.

종래 교환기들의 주된 서비스는 음성서비스이므로 내부통신망에 대한 분석이 크게 요구되지 않았지만, 앞으로의 교환기는 ISDN을 지향하여 예측하기 어려운 많은 서비스를 제공하여야하므로 성능을 최적화할 수 있는 내부통신망을 설계하고 이의 성능을 정확하게 분석하는 것이 매우 중요하다. 따라서 국산 대용량 교환기 TDX-10시스템의 내부통신망에 대한 성능분석은 매우 필요하다. 하지만 대부분의 내부통신망 성능분석은 해석적 방법에 의한 내부통신망 자체의 성능을 분석하고 있으므로²⁾³⁾ 실제 운용시의 성능을 분석할 수 있는 호처리절차(call processing scenario)에 의한 메시지 교환을 고려한 성능분석이 필요하다. 호처리절차를 적용한 성능분석은 해석적 방법으로 분석하기에는 너무 복잡하며 정확도도 떨어지게 되므로 내부 동작 및 시스템 부하를 그대로 재현할 수 있는 시뮬레이션(simulation)방법이 가장 적절하다.

본 연구는 국산 대용량 교환기 TDX-10시스템에서 메시지형태로 다중 프로세서간에 교환되는 제어정보를 다루는 내부통신망의 성능을 시뮬레이션 방법으로 분석하였다. 실제 운용시 내부통신망의 동작을 평가하기 위하여 실제 사용되는 호처리절차를 적용하여 메시지들의 교환에 따른 중요 프로세서 노드버퍼에 대한 성능 분석을 하였다. 시뮬레이션은 큐잉(Queuing) 네트워크를 체계적으로 모델링(modeling) 할 수 있고 통계데이터를 자동적으로 분석하여 제공하는 시뮬레이션 언어 SLAM II(Simulation Language for Alternative Modeling II)를 사용하였다.⁴⁾

2장에서는 TDX-10 내부통신망 구조와 시뮬레이션을 위한 호처리절차에 대하여 설명하고, 3장에서는 호처리절차를 적용하여 시뮬레이션하기 위한 내부통신망의 모델링 과정에 대하여 설명하였으며, 4장에서는 내부통신망의 해석적 성능분석과 호처리절차를 적용한 시뮬레이션 결과를 분석하였다.

마지막으로 5장에서는 이상의 결과를 종합 분석하여 정리하였다.

II. 내부통신망 구조 및 호 처리 절차

2.1 내부통신망 구조

TDX-10교환기는 대용량의 교환기로서 프로세서의 수가 많아짐으로 기존의 global bus구조로는 취약한 점이 있기 때문에 계층 구조를 갖는다. 그림 1은 계층적 구조를 갖는 TDX-10교환기의 CIE(Control Interworking Extender) 구조이다.²⁾ 여기서 ASS IPCU, INS IPCU, CCS IPCU, IIPCU, CIPCU는 10Mbps의 D-bus로 같은 하드웨어 구조이며, ASS IPCU와 IIPCU는 2Mbps fiber optic link로 연결되고, INS IPCU, CCS IPCU, IIPCU등과 CIPCU는 10Mbps의 U-link로 연결된다. 기타 PP, NTP, INP, SSP, OMP등 프로세서는 1Mbps(또는 2Mbps)의 U-link로 D-bus와 연결된다. D-bus는 최대 32개의 노드를 수용하는 고속의 버스로, 링크를 통하여 노드에 전달되는 메시지를 노드 순서에 따라 전송한다. ASS IPCU는 단말의 프로세서와 연결되며, 하나의 IIPCU에는 최대 14개의 ASS가 연결되어 전체적으로 60개의 ASS가 IIPCU를 통하여 CIPCU에 연결된다. INS IPCU와 CCS IPCU는 연결된 프로세서의 특성 상 각기 독자적인 IPCU를 통하여 CIPCU에 연결된다. INS IPCU에는 전화 연결을 위한 정보 및 처리를 하는 프로세서들로 하나의 INP와 SSP 8개가 연결된다. CCS IPCU에는 전화요금 등의 정보를 처리하는 프로세서인 OMP 등이 연결된다. NTP는 전화번호를 번역하여 자국호인가를 판별하는 프로세서로서 교환되는 메시지 양을 고려하여 직접 CIPCU에 연결된다. D-bus 상 노드 버퍼의 크기는 8Kbyte이다.

2.2 호처리절차(Call processing scenario)

내부통신망을 통한 제어 메시지는 그림 2의 호처리절차에 따라 교환된다. 표1은 호처리절차에 따라 교환되는 메시지들의 길이를 나타낸다.

위의 메시지가 호처리절차를 따라 교환 될 때에는

1. O.S.의 overhead로 CRC를 포함하여 28 바이트가 추가되며
2. 노드에서 링크를 통하여 메시지를 전송할 때마다 112 clock만큼의 프레임 간격을 주어야 한다.

내부통신망 구조상 NTP 및 INP는 각각 하나뿐이지만, 호가 발생하는 ASS는 60개가 되므로 내부통신망에 연결된 NTP 및 INP노드에서 많은 메시지가 처리되어야 한다. 또한 호처리절차상 발생하는 각호들은 적어도 3번이상 NTP 및 INP를 거치도록 되어 있

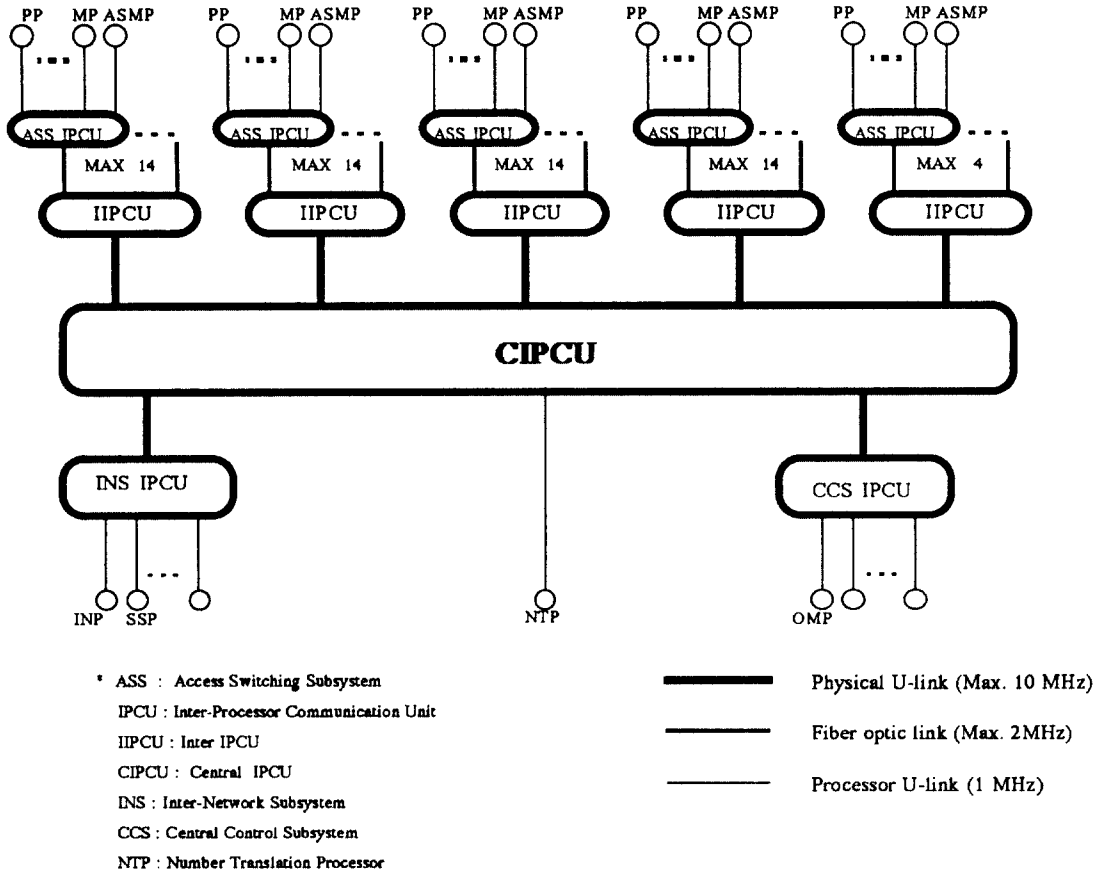


그림 1. TDX-10 CIE 구조
 Fig 1. Structure of TDX-10 CIE

기때문에 이들 프로세서 노드에서의 처리가 내부통신망 성능에 큰 영향을 미치리라는 점을 예측할 수 있다.

표 1. 내부통신을 위한 메시지 길이(Bytes)
 Table 1. Message length for IPC(Bytes)

IPC message	Minimum	Average	Maximum
ASP ↔ ASP	0	8	16
NTP ↔ ASP	4	20	56
INP ↔ ASP	8	8	8
INP ↔ SSP	4	4	4

III. 시뮬레이션

3.1 시뮬레이션 범위

TDX-10교환기는 그 규모면에서 대용량이기 때문에 LCS(Local Call Simulator)와 UCS(Universal Call Simulator)등을 이용하여 최대 호처리 용량 목표치인 120만 BHCA(Busy Hour Call Attempts) 정도의 호를 발생시키는 것은 현실적으로 불가능하다.³⁾ 해석적 방법에 의한 성능 분석은 수학적 전개의 복잡성으로 여러가지 제약조건들이 가정되어 시스템이 복잡해질수록 그 결과의 부정확성이 커지게 된다. 따라서 교환기 내부통신망의 성능분석은 동작상태 및 시스템 부하를 그대로 재현할 수 있는 시뮬레이션 방법이 가장 적절하다.

Call Processing Scenario

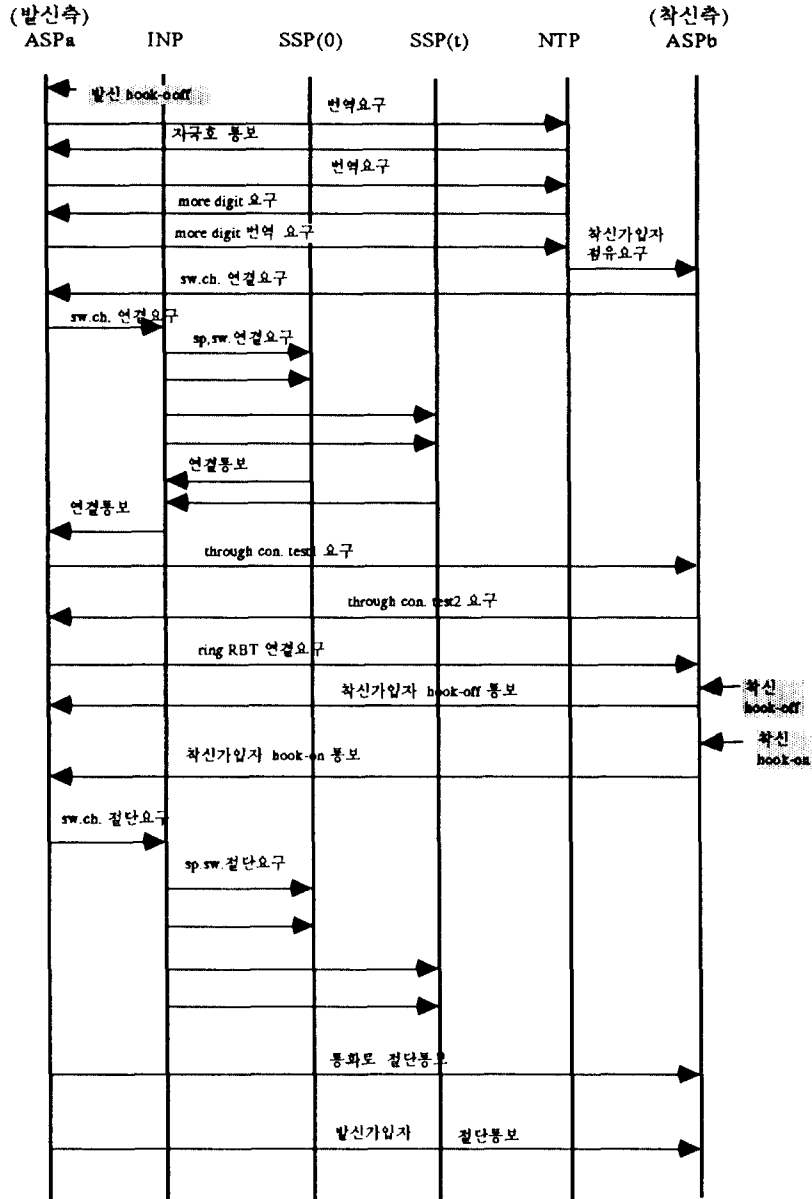


그림 2. 호처리절차
Fig 2. Call processing scenario

교환기의 내부통신망 성능 분석은 모델링이 쉽고 정확하며, 결과치의 통계분석을 제공하는 시뮬레이션 언어 SLAM II를 사용한다. 호처리절차에 기초하는 프로세서 간 메시지통신 및 내부 동작을 모델링하여 시뮬레이션함으로써 내부통신망의 트래픽 부하 및 성능을 분석한다.

시뮬레이션 후 얻을 수 있는 결과는 다음과 같다. 부가되는 부하에 따라

- D-bus에 연결된 노드의 버퍼 길이 변화 및 버퍼에서의 평균 대기 시간
- 노드와 프로세서를 연결하는 링크의 이용률
- D-bus 이용률

등의 통계치를 분석하여 최종적으로 TDX-10교환기 내부통신망의 최대 호처리 용량을 분석할 수 있을 것이다.

3.2 시뮬레이션 언어 SLAM II의 구조

시뮬레이션의 형태는 시스템 내의 종속변수가 시간의 흐름에 대하여 특정한 점에서 이산적으로 변화하느냐 연속적으로 변화하느냐 혹은 이들의 조합 형태로 복합적으로 변화하느냐에 따라 달라진다. SLAM II는 network-oriented model, 이산사건(discrete event)모델, 연속시간(continuous time)모델, 그리고 혼합(combined)모델등을 시뮬레이션할 수 있으며, 결과에 대한 통계분석치를 제공한다.⁴⁾ 간단한 수식으로 표현될 수 있는 큐잉 네트워크(queueing network)라면 network-oriented model만으로 충분하지만, 복잡한 내부통신망의 성능분석은 그 복잡성과 호처리절차등으로 유연성(flexibility)을 고려하여 이산사건모델이 적절하다.

3.3 시뮬레이션 모델링

내부통신망을 통해 프로세서 상호간의 교환되는 정보는 1) 보통 호처리에 관련된 정보, 2) 초기적재(initial loading)시 프로그램, 3) 시스템 동작에 관련된 정보, 4) 시스템 유지에 관련된 정보, 5) 정보메세지 등으로 구분할 수 있다.⁵⁾

이중 2), 3), 4), 5)의 정보는 보통호처리와 무관하거나 정확한 평가가 어려우므로 성능 분석에서 제외한다. 따라서 보통 호처리에 관련된 정보가 내부통신망 분석을 위한 메세지를 이루게된다고 가정한다. 먼저 호들은 시스템내에서 각기 동일하며 서로 독립적으로 분포된다(identical & independently distributed)고 가정한다. 또한 이 호들은 내부통신망 프로토

콜(protocol)과 호처리절차에 따라 일정 갯수의 메세지를 각각 생성하며, 이중 특정호에 관련된 메세지들은 상호 종속적이다. 각호들은 서로 독립적이며 생성된 메세지들이 프로세서 내에서 다양하게 섞일 것이므로 내부통신망과는 독립적이라고 가정할 수 있다. 따라서 각 호의 첫 메세지들은 시간적으로 Poisson분포에 따라 내부통신망에 도착한다고 가정한다. 이들 메세지의 길이는 프로토콜과 호처리 절차에 따라 주어진다(표1).

내부통신망은 그림 1에서 정의한 바와 같이 모델링한다. 4개의 IIPCU에는 14개씩의 ASS를 나머지 하나의 IIPCU에는 4개의 ASS를 연결하여 모두 60개의 ASS가 단말에서 발생된 호들의 메세지를 내부통신망에 전송한다. Poisson분포로 도착되는 각 호들은 모든 ASS에서 동일한 확률로 발생되며, 모든 ASS에 동일한 확률로 도착된다고 가정하였다. 각 호들은 그림 2의 호처리절차에 따라 각 프로세서와 메세지를 교환하게되며, 호처리절차상 호지속시간은 고려하지 않았다. 이때 호에 의해 발생된 메세지의 길이는 표1에서 정의된 평균길이를 사용한다. 발생된 모든 호는 연결이 완전히 이루어지는 완전호인 것으로 가정한다.

D-bus는 각 노드마다 순차적으로 time-slot을 주어 전송하게 함으로 노드간 우선순위가 없으며, 노드와 노드 사이 전환 간격(switch over time)은 $1.6\mu\text{sec}$ 로 가정한다. 따라서 노드에서 메세지를 전송하려할 때 최대 $51.2\mu\text{sec}$ 를 기다려야 한다. INS IPCU에는 하나의 INP와 8개의 SSP가 연결되어 INP는 8개의 SSP와 순차적으로 메세지를 교환한다. 따라서 트래픽이 커질 수록 INS IPCU의 INP와 연결된 노드의 수신 버퍼는 메세지 수신 수가 처리 수보다 많아질 것으로 예상된다. 또한 CIPCU의 NTP와 연결된 노드의 수신버퍼의 메세지 길이도 같은 이유로 변화할 것이 예상된다. CCS IPCU의 OMP에는 5번의 호가 완료된 ASS에서 256바이트의 메세지가 전송된다. 노드에서 링크를 통하여 프로세서에 메세지를 전송할 경우 메세지 전송 후 112개의 전송클럭 만큼의 지연이 추가된 후에 새로운 전송을 개시할 수 있다.

3.4 시뮬레이션 프로그램의 구조

시뮬레이션 프로그램은 초기화 모듈, 호발생모듈, IIPCU모듈, CIPCU모듈, NTP모듈, INS모듈, ASS모듈로 나눌 수 있다. 그림 3은 시뮬레이션 프로그램의 구조이다. 여기서 EVENT(I)는 시간상으로 이산적으로 발생하는 사건들을 모델링한 것이다.

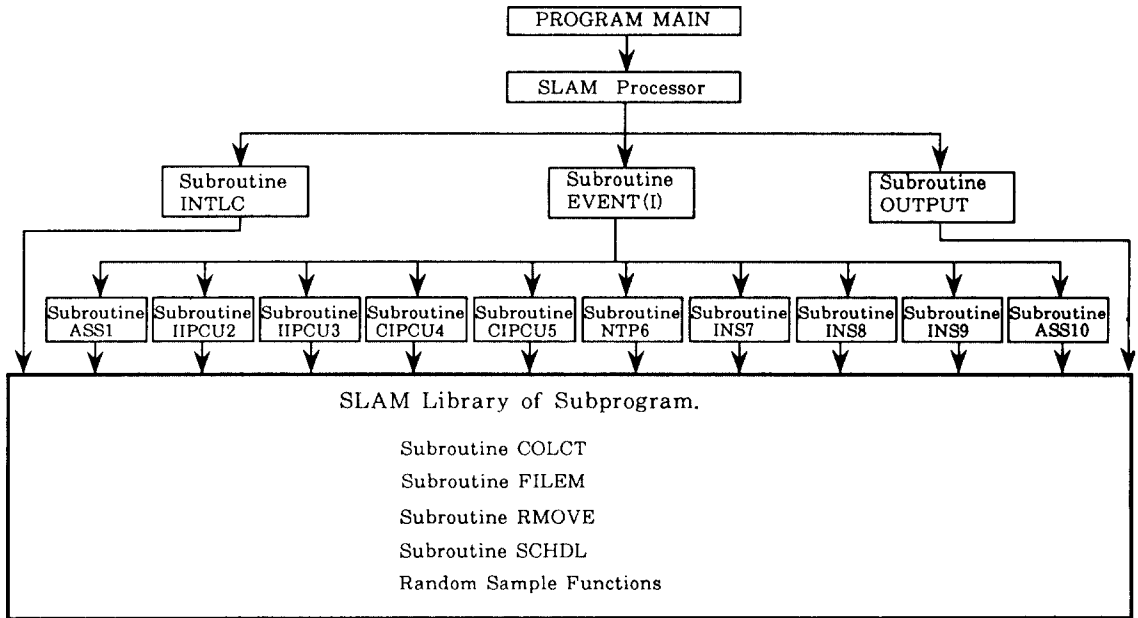


그림 3. 시뮬레이션 프로그램의 구조
Fig 3. Simulation program organization

초기화 모듈(SUBROUTINE INTLC)에서는 내부 통신망에 부가될 트래픽과 링크 속도를 읽어들이고 변수를 초기화한다. 호발생모듈(SUBROUTINE ASS)에서는 부가된 트래픽에 맞게 Poisson분포로 호를 발생시키고 호에 대한 정보를 결정하여 호처리절차에 따라 다음 목적지로 전송한다. IIPCU모듈(SUBROUTINE IIPCU2, IIPCU3)에서는 각 노드의 출력 노드에 입력된 메시지들을 D-bus의 중재방법에 따라 순차적으로 목적하는 노드로 전송한다. 즉 ASS에서 노드로 입력된 메시지를 CIPCU와 연결된 노드로 또는 그반대 방향으로 메시지를 전송한다. CIPCU 모듈(SUBROUTINE CIPCU4, CIPCU5)에서는 각 노드의 출력 노드에 입력된 메시지를 중재하여 순차적으로 메시지들의 목적지 프로세서 노드나 IIPCU에 연결된 노드로 전송한다. NTP모듈(SUBROUTINE NTP6)에서는 노드의 수신 버퍼의 상태를 기록하고 링크 속도에 맞춰서 수신 메시지를 처리하고 송신 버퍼에 전송한다. INS모듈(SUBROUTINE INS7, INS8, INS9)에서는 INS IPCU노드에 입력된 메시지를 INP에 전송한다. INP에 전송된 메시지는 호처리절차에 따라 8개의 SSP에 순차적으로 전송되고, 처리후 메

세지를 전송받는다. 이때 INP노드의 수신버퍼는 입력상태를 기록하고 링크속도에 따라 처리한다. 호처리절차에 의한 메시지 전송이 끝나면 CIPCU노드로 메시지를 전송한다. ASS모듈(SUBROUTINE ASS10)에서는 착신 ASS로 호처리절차에 의해 도달된 메시지를 처리하여 계속 호처리를 하게 하던가 또는 호처리를 끝나게 한다. 5번의 호처리가 종료된 ASS는 OMP로 메시지를 전송한다.

IV. 성능평가

4.1 해석적 방법에 의한 성능분석

해석적 방법으로 호처리절차를 고려한 성능분석은 거의 불가능하므로 내부통신 망 구조의 중심인 CIPCU에 대한 해석적인 성능분석을 하였다. CIPCU는 10Mbps의 Dbus로 모든 제어정보의 교환을 처리하는 내부통신망의 중심이다. 따라서 CIPCU는 스위치오버 오버헤드(switchover overhead)를 갖는 다중큐 순환 서버(multiqueue cyclic server)로 모델링이 가능하고 이때 스위치오버시간이 무시할 정도로 작으므로 이 모델은 M/G/1 FCFS(First-come First-service) 서

버 모델이라고 가정할 수 있다. 서비스방식은 임의의 큐에 메시지가 있는 경우 한개의 메시지만을 서어비스 하고 임의의 시간(switchover time)경과 후 순차적으로 다음 큐로 서비스를 넘겨주는 사이클릭 서비스(cyclic service) (또는 비전면(non-exhaustive) 방식)을 취한다. 만약 큐에 메시지가 없으면 곧바로 다음 큐로 스위치오버가 일어난다.

메세지들은 각각 $\lambda_1, \lambda_2, \dots, \lambda_N$ 을 갖는 독립적인 포아송 프로세스(independent Poisson process)로 각 큐에 도착하며, 메세지 서비스 시간은 i.i.d.(independent, identically, distributed)하며 그 평균(혹은 first moment)과 second moment 값은 β_i, β_i^2 ($1 \leq i \leq N$)이다. 또한 서비스 프로세서는 도착 프로세스(arrival process)와 스위치오버 프로세스와는 무관(independent)하다.

사이클릭 서비스 방식에 대한 Boxma와 Meister의 해석법⁶⁾을 이용하여 메세지 평균 대기시간 Ew_i 는 다음식으로 구할 수 있다.

$$Ew_i \approx \frac{1-\rho+\rho_i}{1-\rho-\lambda_i S} \cdot \frac{1}{\sum [\rho_i(1-\lambda_i E[c]) \cdot \frac{1-\rho+\rho_i}{1-\rho-\lambda_i S}]}$$

$$\left[\frac{\rho}{2(1-\rho)} \sum_{j=1}^N \lambda_j \beta_j^{(2)} + \frac{\rho}{2S} \sum_{j=1}^N \psi^2 + \frac{S}{2(1-\rho)} \sum_{j=1}^N \rho_j(1+\rho_j) \right]$$

여기서 $\rho_i = \lambda_i \beta_i$, ($1 \leq i \leq N$), $\rho = \sum_{i=1}^N \rho_i = \sum_{i=1}^N \lambda_i \beta_i$, ($1 \leq i \leq N$),

$$S = \sum_{i=1}^N s_i, E[c] = S + \sum_{i=1}^N \lambda_i E[c] \beta_i,$$

$\psi^{(2)}$ 는 큐 i 에서 ($i+1$)까지의 단순 스위치오버 시간의 분산값이다.

해석적 방법은 수학적 전개를 위하여 여러가지 가정을 하게되어 실제 시스템과 다른 점이 생기게된다. 하지만 시뮬레이션 방법은 실제 시스템 동작을 재현할 수 있으므로 위해서 분석된 수치를 비교하여 검증할 수 있다. 시뮬레이션 모델은 CIPCU D-bus의 동작을 모델링하였다. CIPCU D-bus에 메세지가 도착되어 서비스받고 떠나는 과정을 SLAM II로 작성하였다.

4.2 결과 분석

분석대상으로 시간당 도착호에 따른 노드버퍼평균

표 2. CIPCU 노드버퍼평균대기시간(메세지길이 = 48바이트)

Table 2. Average wating time of CIPCU node buffer (message length = 48byte)

(단위 : μsec)

시간당 호	32 NODE		80 NODE	
	Analytic	Simulation	Analytic	Simulation
1.00E+06	26.10337	26.116	64.93483	62.101
2.00E+06	26.61818	26.3	65.89091	65.86
4.00E+06	26.68372	28.366	67.86977	68.979
6.00E+06	28.8	28.863	69.94286	71.204
8.00E+06	29.97073	30.253	72.11707	73.604
1.00E+07	31.2	31.838	74.4	76.174
2.00E+07	38.4	39.341	87.77143	90.05
4.00E+07	61.44	62.813	130.56	133.353
6.00E+07	115.2	115.109	230.4	230.915

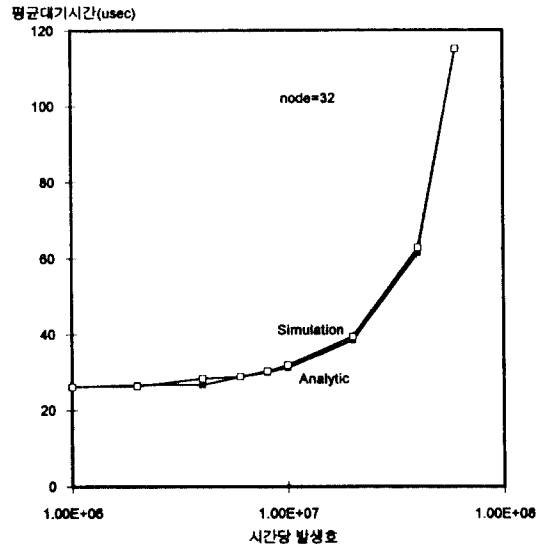


그림 4. CIPCU 노드버퍼평균대기시간
Fig 4. Average wating time of CIPCU node buffer

대기시간을 구하였다. CIPCU에 연결된 노드수를 32노드와 80노드 두가지로 하고, 메세지길이를 48바이트로 하여 결과를 구하여 비교하였다. 표 2에 해석적인 방법과 시뮬레이션에 의한 결과치를 정리하였다. 그림 4는 32노드 경우, 도착율증가에 따른 CIPCU 노

드 버퍼평균대기시간의 변화를 나타낸 그림이다. 해석적인 방법과 시뮬레이션 방법의 결과가 거의 일치함을 보이고 있다. 이상의 결과에서 CIPCU는 시간당 120만호를 충분히 만족할 수 있으며 또한 예측하기 어려운 ISDN이 이 내부통신망을 사용하여도 충분한 여유가 있음을 보여 주고있다.

4.3 호처리를 고려한 시뮬레이션

내부통신망 성능을 평가하는 요소로 트래픽 변화에 따르는 버퍼 길이 변화와 버퍼에서의 대기시간을 구하였다. 버퍼대기시간은 총서비스시간에 관련되며, 대기시간이 길어지면 버퍼크기에 문제가 생긴다. 버퍼의 크기는 8K바이트로 제한되어 있으므로 메세지처리가 메세지도착보다 느리면 즉 대기시간이 길어지면 임의의 순간에 최대 버퍼크기를 초과할 수 있다. 따라서 최대 버퍼 크기를 초과하지 않는 트래픽을 결정하는 것이 최대 호처리용량을 결정하는데 도움을 준다. 8K바이트는 약 200-250개 정도의 메세지

에 해당됨으로 버퍼 길이가 이를 넘지않는 트래픽을 구하였다.

부가된 트래픽은 60개의 ASS에 시간당 80만호부터 240만호까지 10만호간격으로 변화시키면서 각 경우 U-link의 속도를 1Mbps와 2Mbps인 경우에 대해 시뮬레이션을 행하였다. 트래픽이 크고 내부통신망 동작이 워낙 빠르기 때문에 내부통신망이 정상상태에 이르기까지 매우 짧은 시간이 소요된다. 실제 상황 10,000msec간과 30,000msec간 시뮬레이션 결과 비슷한 결과치를 얻을 수 있었다. 시뮬레이션은 실제 상황 30,000msec동안 수행한 결과이며, 초기 수행이 결과에 미치는 영향을 없애기위하여 처음 1,000msec동안의 데이터는 통계에서 삭제하였다.

호처리절차를 기초로 시뮬레이션한 결과 내부통신망 전체의 성능의 병목은 CIPCU가 되므로 CIPCU의 노드를 중심으로 분석하였다. CIPCU 노드의 버퍼 길이 변화와 버퍼 대기시간 그리고 IPCU, CIPCU, INS IPCU등의 D-bus 이용율등을 정리하여 표 3과

표 3. 링크속도가 1Mbps인 경우 시뮬레이션 결과

Table 3. Simulation results in case of 1Mbps for link speed

시간당 호	노드버퍼의 최대 길이						평균대기시간 (msec)		D-bus 이용율			링크잉요율	
	NTP Rx	INP Rx	SSP Rx	NTP Tx	INP Tx	SSP Tx	NTP Rx	INP Rx	IIPCU1	CIPCU	INS	NTP Rx	INP Rx
80만	4	7	1	1	3	1	0.167	0.185	0.041	0.121	0.076	0.273	0.272
100만	7	7	1	1	3	1	0.264	0.253	0.050	0.149	0.095	0.345	0.347
120만	9	9	1	1	3	1	0.380	0.353	0.060	0.178	0.114	0.422	0.429
150만	13	12	1	1	3	1	0.652	0.558	0.076	0.224	0.142	0.549	0.563
180만	16	16	1	1	3	1	1.174	0.935	0.090	0.269	0.171	0.686	0.706
200만	22	22	1	1	3	1	1.84	1.46	0.103	0.297	0.189	0.778	0.804
220만	41	41	1	1	3	1	3.99	3.78	0.112	0.328	0.209	0.883	0.916
240만	149	149	1	1	2	1	37.5	47.11	0.119	0.352	0.223	1.0	1.0

표 4. 링크속도가 2Mbps인 경우 시뮬레이션 결과

Table 4. Simulation results in case of 2Mbps for link speed

시간당 호	노드버퍼의 최대 길이						평균대기시간 (msec)		D-bus 이용율			링크잉요율	
	NTP Rx	INP Rx	SSP Rx	NTP Tx	INP Tx	SSP Tx	NTP Rx	INP Rx	IIPCU1	CIPCU	INS	NTP Rx	INP Rx
80만	3	4	1	2	8	1	0.051	0.043	0.041	0.121	0.076	0.134	0.130
100만	3	4	1	2	10	1	0.065	0.056	0.050	0.149	0.095	0.168	0.164
120만	4	6	1	2	19	1	0.081	0.068	0.060	0.179	0.114	0.204	0.199
150만	6	6	1	2	12	1	0.107	0.090	0.076	0.224	0.142	0.259	0.255
180만	7	6	1	2	16	1	0.137	0.112	0.090	0.269	0.171	0.316	0.312
200만	7	7	1	2	20	1	0.156	0.131	0.103	0.297	0.189	0.353	0.350
220만	7	7	1	2	24	1	0.181	0.148	0.112	0.328	0.208	0.393	0.391
240만	9	9	1	2	17	1	0.209	0.171	0.119	0.356	0.227	0.433	0.432

표 4에 정리하였다. 표 3는 링크속도가 1Mbps인 경우의 시뮬레이션 결과치고, 표 4는 링크 속도가 2Mbps인 경우의 결과치이다. Rx는 D-bus상 수신노드버퍼, Tx는 D-bus상 발신노드버퍼를 의미한다.

그림 5와 그림 6은 CIPCU 노드 중 NTP에 연결된 노드의 수신 버퍼에 관한 것으로 링크 속도가 1Mbps인 경우와 2Mbps인 경우를 비교한 것이다. 그림 5는 버퍼길이변화에 관한 것으로 최대 길이를 나타낸 것이다. 링크속도가 1Mbps인 경우 시간당 200만호가 넘어가면서 증가하지만, 2Mbps인 경우는 시간당 400만호를 넘어야 증가하는 것을 알 수 있다. 즉 링크 속도를 높임으로써 NTP노드 버퍼에서의 처리를 개선할 수 있다는 것을 나타냈다. 그림 6은 NTP에 연결된 노드버퍼에서의 메시지 평균 대기시간을 보인다. 이것은 서비스시간과 관련되는 항목으로 버퍼길이변화에서와 마찬가지로 링크속도를 높임으로 대폭 개선할 수 있음을 보인다. 그림 7은 INS IPCU노드 중 INP에 연결된 노드의 수신 버퍼에 관한 것으로 링크속도가 1Mbps인 경우와 2Mbps인 경우를 비교한 것이다. 링크속도가 1Mbps인 경우 트래픽이 시간당 20만호를 넘으면서 버퍼의 길이가 급격하게 증가하는 것을 알 수 있다. 이것은 트래픽이 시간당 240만호에 이르면 INP 수신링크의 이용율이 거의 1에 이르게 되어 INP수신버퍼에서의 호처리속도가 더이상 증가할 수 없게된다. 따라서 호 도착율에 비하여 처리되는 속도가 늦어짐으로 버퍼의 길이가 급격하게 증가되는 것으로 분석된다. 버퍼의 크기가 제한된 점에서 시간당 240만호이상의 트래픽 증가가 불가능하다는 것을 알 수 있다. 그러나 링크속도를 2Mbps로 높이면 문제가 되지않음을 알 수 있다. 그림 8은 같은 버퍼의 평균대기시간을 나타낸 것으로 링크속도가 1Mbps인 경우 대기시간이 시간당 240만호를 초과하면 급격히 증가하는 것을 알 수 있다. 그림 9는 D-bus 이용율을 나타낸 것이다. D-bus의 이용율은 전체 트래픽 량에 의해 결정됨으로 링크속도와는 상관이 없다. 앞에서 논의한 바와 같이 CIPCU의 이용율이 가장 높고 그 다음이 INS IPCU, IIPCU순으로 나타났다. 나타난 바와 같이 트래픽이 시간당 240만호를 넘더라도 D-bus사용에는 문제가 없는 것을 알 수 있다.

이상의 결과를 종합해보면 내부통신망의 최대 호처리용량은 링크 속도가 1Mbps일때 노드 버퍼크기의 한계로 시간당 240만호가 가능한 것으로 분석된다. 링크속도를 개선함으로써 노드 버퍼문제를 해결할 수 있으며, 버퍼에서의 평균대기시간도 개선할 수 있

는 것으로 분석된다. CIPCU, INS IPCU, IIPCU등 D-bus의 이용율로 분석해 볼때 링크속도에 관계없이 시간당 240만호를 충분히 수용할 수 있는 것으로 분석된다. 따라서 링크 속도를 1Mbps로 하더라도 TDx-10 교환기의 목표치인 120BHCA를 충분히 수용할 수 있으며 추후 ISDN서비스가 추가되더라도 내부통신망 용량은 충분하다는 것을 알 수 있다.

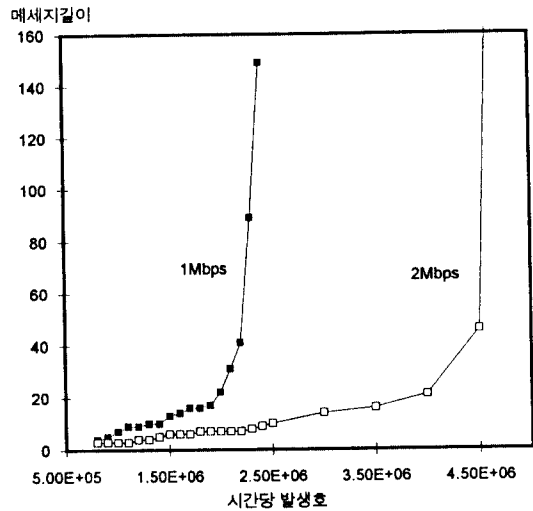


그림 5. NTP 노드버퍼의 최대 길이
Fig 5. Maximum length of NTP node buffer

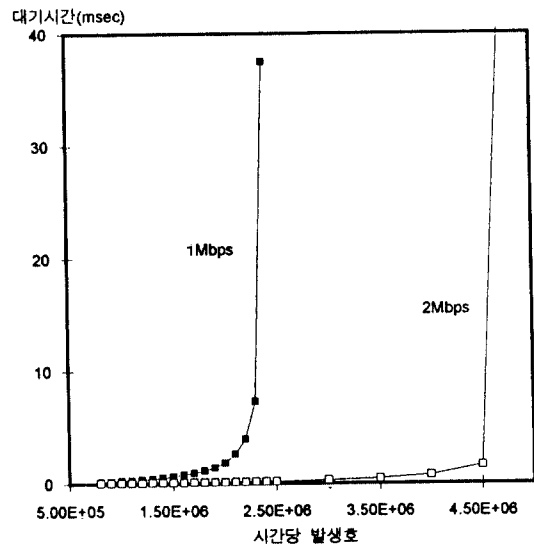


그림 6. NTP 노드버퍼의 평균대기시간
Fig 6. Average waiting time of NTP node buffer

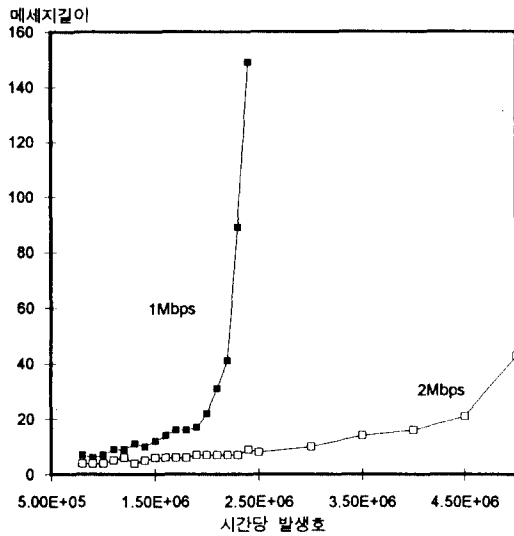


그림 7. INP 노드버퍼의 최대 길이
Fig 7. Maximum length of INP node buffer

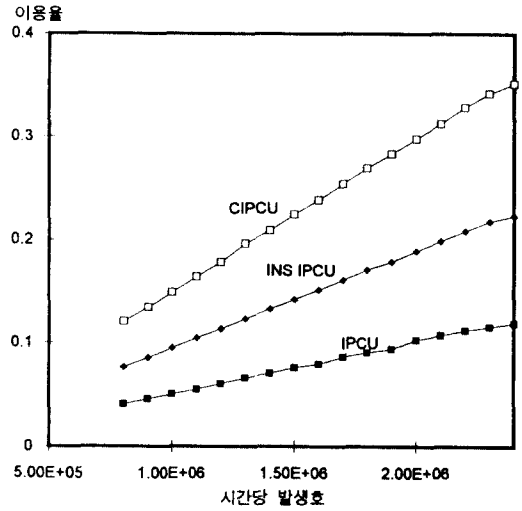


그림 9. D-bus 이용율
Fig 9. Utilization of D-bus

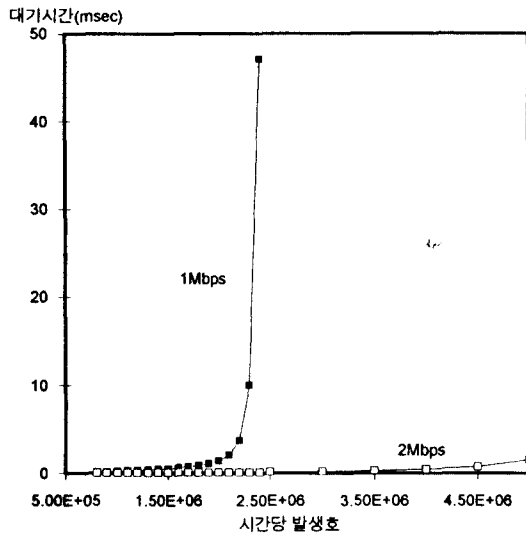


그림 8. INP 노드버퍼의 평균 대기시간
Fig 8. Average waiting time of INP node buffer

V. 결론

본 연구에서는 TDX-10교환기의 내부통신망의 최대호처리용량 분석을 위하여 시뮬레이션 언어인

SLAM II로 내부통신망을 모델링하고, 호처리절차를 기초로 하는 내부통신망 동작을 시뮬레이션하여 그 결과를 분석하였다.

시뮬레이션 모델링을 위하여 내부통신망의 하드웨어의 구성과 호처리절차에 따르는 메세지 교환을 분석하였다. 시뮬레이션은 SLAM II의 이산사건모델을 이용하여 프로그래밍하였다. 시뮬레이션 프로그램은 7개 모듈로 구성되며, 트래픽과 링크속도를 변화시키면서 시뮬레이션할 수 있도록 작성하여, 다양한 트래픽과 링크속도를 적용하여 내부통신망의 성능을 분석할 수 있었다.

시뮬레이션 결과, 링크 속도가 1Mbps인 경우 최대 호처리용량은 노드버퍼에 누적되는 메세지 길이에 의해 결정되는 것으로 분석되었다. 시간당 80만호에서 240만호까지 트래픽을 변화시키며 시뮬레이션을 수행하여, INS IPCU와 INP를 연결하는 노드에서 시간당 240만호를 넘으면서 노드에 누적되는 메세지의 길이가 급격히 증가하여 버퍼의 크기를 초과하는 것으로 나타났다. 이것은 INP 링크의 속도가 메세지를 처리하기에 부족하기 때문에 분석된다. 따라서 링크속도를 2Mbps로 증가시킨 결과 이러한 버퍼 문제가 해결되는 것을 알 수 있었다. 버퍼대기시간에 대한 분석도 같은 결과를 보여주었다. CIPCU, INS IPCU, IPCU 중 가장 높은 이용율을 보인 CIPCU

에서 시간당 240만호의 트래픽이 부가되었을 때 이용률이 35.2%이므로 메세지처리에 어려움이 없는 것으로 분석된다. 따라서 TDX-10교환기의 목표치인 120만BHCA를 충분히 수용할 수 있으며, 링크속도를 증가시키면 전체 호처리능력이 대폭 개선되는 것을 알 수 있다.

본 연구결과는 교환기 내부통신망 평가 및 분석 자료로 쓰일 수 있으며, 차후 교환기 설계 및 개선을 위한 참고가 될 것이다. 본 연구에서 개발된 시뮬레이션 프로그램은 내부통신망 성능 평가 연구에 도움을 줄 수 있을 것이다. 앞으로는 본 연구의 기반위에서 내부통신망 구조 변화에 따르는 성능변화에 대한 연구와 ISDN서비스를 수용하기위한 패킷 트래픽에 관한 연구가 계속되어야 할 것이다.

참 고 문 헌

1. 민준기외, "TDX-10 성능평가를 위한 용량 시험방안," TY/R-8907-06, ETRI, 1989.
2. 이현외, "TDX-10 IPC Network 성능분석," TY/R-900304, ETRI, 1990.
3. 류병한외, "TDX-10성능 평가를 위하여 고려할 사항," TY/R-8906-03, ETRI, 1989.
4. A.Alan B. Pritsker, "Introduction to Simulation and SLAM II (3ed)," Systems Publishing Corporation, 1986.
5. 이현외, "분산제어구조의 전자교환기에서 Control Interworking Network," TT/A-8703 6, ETRI, 1987.
6. O.J.Boxma and B.W Meister, "Waiting time approximation for cycle-service systems with switchover times," ACM performance evaluation 7, pp 254-262, 1987.



최진규(Jin Kyu Choe) 정회원
1958년 9월 20일생
1980년 2월 : 고려대학교 전자공학과 졸업(공학사)
1982년 2월 : 고려대학교 대학원 전자공학과 졸업(공학석사)
1987년 8월 : 고려대학교 대학원 전자공학과 졸업(공학박사)

1987년 9월~1990년 8월 : 대전공업대학 전자계산학과 조교수

1990년 9월~현재 : 한남대학교 전자공학과 부교수



李忠根(Chung Kun Lee) 정회원
1951년 12월 4日生
1976년 2월 : 고려대학교 전자공학과 졸업
1989년 9월 : 고려대학교 대학원 전자공학과(공학석사)
1994년 8월 : 고려대학교 대학원 전자공학과(공학박사)

1978년 5월~1983년 4월 : 삼성전자(주)

1983년 6월~현재 : 한국전자통신연구소 이동통신기술연구단 교환연구부장, 책임연구원

※주관심분야 : 교환기 및 이동통신

李太遠(Tae-Won Lee)

정회원

1931년 7월 27일생

1955년 2월 : 서울대학교 통신공학과(공학사)
1960년 2월 : 서울대학교 대학원 전자공학과(석사)
1975년 8월 : 서울대학교 대학원 전자공학과(박사)
1977년 1월~현재 : 고려대학교 공과대학 교수
1981년 8월~1982년 7월 : 미국 Cornell대학교 객원교수
1986년 1월~1987년 12월 : 대한전자공학회 부회장
1987년 2월~현재 : 국립공업시험원 공업기반기술 전문위원
1987년 7월~현재 : 과기처 교육전산망 위원
1988년 1월~1988년 12월 : 대한전자공학회 회장
1990년 3월~현재 : 생산기술연구원 공업기반기술 전문위원