

VSAT용 14.0-14.5 GHz 3와트 SSPA의 설계 및 제작연구

正會員 田 光 一* 正會員 朴 鎮 雨*

Design of 14.0-14.5 GHz 3Watt SSPA for VSAT Applications

Kwang Il Chun*, Jin Woo Park* *Regular Members*

要 約

본 논문에서는 소형, 저가적으로 데이터와 음성 신호의 양방향 전송을 위한 VSAT용 14.0~14.5 GHz 3 Watt SSPA의 설계와 실험결과를 기술하였다. 설계된 SSPA는 VSAT에서 요구되는 성능을 만족시키기 위하여 저잡음 GaAs FET를 이용한 두단의 저잡음 증폭기, 중전력 GaAs FET를 이용한 두단의 중전력 증폭기, 특히 고출력 증폭을 위하여 내부 정합된 전력 GaAs FET와 3 dB branch line coupler를 이용한 balanced 증폭기를 포함하는 삼단 전력증폭기로 구성 하였다. 제작된 SSPA의 특성으로는 소신호 전력이득 42dB, 잡음지수 7dB, 1dB 이득 억압점에서 출력 신호 35dBm, 그리고 입출력 VSWR로 2.0 그리고 1.5 를 측정할 수 있었다.

Abstract

A development of an efficient 14.0~14.5 GHz 3 Watt SSPA is described in this paper, which is applicable to the very small aperture terminal(VSAT) for bidirectional data and voice signal transmission in low cost and with small size. The SSPA consists of two stages of low noise amplifiers using the low noise GaAs FETs, two stages of medium power amplifiers using the medium power GaAs FETs, and three stages of power amplifiers including a balanced amplifier using an internally matched power GaAs FET. The achieved with this seven stage amplifiers are 42dB signal power gain, 7dB noise figure, 35dBm output power at 1dB gain compression point and 2.0 and 1.5 input and output VSWR respectively.

*高麗大學校 電子工學科
Dept. of Electronic Eng., Korea University
論文番號 : 9412
接受日字 : 1994年 1月 14日

I. 서 론

통신위성을 이용한 통신기술인 VSAT은 안테나 크기가 1.8m 이하인 소형 지구국을 이용하여 데이터와 음성 신호의 양방향 전송을 저렴한 비용으로 가능한 통신방식이다⁽¹⁾. 이러한 VSAT이 저가격으로 가능하게 된 이유에는 통신장비의 소형화, 경량화와 더불어 기존의 지구국에 송신용 전력 증폭기로 사용하던 TWTA나 Klystron과 같은 큰 장비를 대체할 수 있는 SSPA의 출현이라고 할 수 있다. 예전에는 튜브형 초고주파 증폭기를 이용하여 위성통신에 필요한 전력증폭기를 구현하였으나, 오늘날 반도체 기술의 발달로 Si 또는 GaAs 반도체소자를 이용한 마이크로웨이브 대역 전력증폭기가 많이 사용되고 있다. VSAT의 경우 송신 14.0-14.5 GHz, 수신 11.7-12.2 GHz로 Ku-Band를 사용하고 있으므로 일반적으로 GaAs FET를 사용한다⁽²⁾.

SSPA의 장점은 TWTA 보다 선형특성이 우수하여 다중 반송파 전송시 상호변조 및 고조파 왜곡 효과가 훨씬 적으므로 위성전력을 효율적으로 사용할 수 있는 이점과 긴 수명 및 용이한 유지 보수 등의 여러가지 이점을 가지고 있다. 고출력 SSPA로는 Ku-band에서 보통 50-120W 정도의 고출력을 요구하는 방송용 위성체의 전력증폭기가 있고, 또한 수십 와트 정도의 출력을 요구하는 통신용 위성체의 전력증폭기를 들 수 있다. 한편 중전력 SSPA로 지상국 VSAT과 SNG(satellite news gathering) 그리고 SCPC(single channel per carrier) 등과 같은 소형 지구국에 사용되는 전력증폭기가 있으며 출력 전력이 수 와트이다.

Ku-band SSPA의 증폭소자로서 사용되는 전력 GaAs FET의 자체 출력은 약 41dBm 정도이다. 또한 GaAs FET의 증폭출력의 한계를 극복하기 위하여 전력 분배기/결합기를 이용하여 SSPA의 출력을 높일 수 있고, 더욱 확장된 기법으로 multi-way amplifier를 구성하여 SSPA의 출력을 Ku-band에서 수십 와트까지 증가시키는 연구도 이루어지고 있다⁽³⁾.

본 논문에서는 소형지구국에서 활용될 수 있는 선형 증폭특성의 중전력 증폭기의 설계에 관한 연구로서, 사용소자의 최대 선형출력 범위내에서 삼단의 증폭단계를 통하여 3 와트의 출력을 제공할 수 있는 SSPA의 설계와 성능측정 결과를 제시하고 있다.

본 연구의 SSPA는 비유전율 $\epsilon_r = 2.5$, 두께 $H = 0.5\text{mm}$ 인 테프론 기판상에 저잡음 GaAs FET를 이

용한 두단의 저잡음 증폭기, 중전력 GaAs FET를 이용한 두단의 전력증폭기 구동용 중전력 증폭기, 그리고 내부정합 전력 GaAs FET와 3dB branch line coupler를 이용한 세단의 전력 증폭기로 구성하였다. 또한 집중형 캐패시터 대신에 마이크로스트립선로 결합기, 출력 전력 확장과 출력 정재파비를 개선하기 위하여 branch line coupler를 갖는 구조를 제안하였다. 특히 각 증폭단계는 선형 증폭특성이 유지될 수 있으면서 최대 출력을 얻을 수 있도록 설계 하여, 14.0 ~ 14.5GHz(대역폭 500MHz)대역에서 소신호 전력 이득 42dB을 얻을 수 있는 전력 증폭기를 제작하였고 제작된 증폭기의 성능측정에서 제시한 설계목표에 적합하게 동작함을 확인 하였다.

II. 다단 신호증폭기의 설계이론

다단 고출력 전력증폭기 설계는 소신호 증폭기인 저잡음 증폭기와 달리 입출력 전력의 세기에 따른 사용소자에 제한이 있으며, 단계별 증폭단에서도 각각의 요구 성능에 적절하게 개별적인 설계가 이루어져야 한다. 입력신호의 세기에 따라 전체 전력증폭기의 구성도는 달라질 수 있으나 일반적으로 그림 1과 같이 소신호 증폭단, 중전력 증폭단, 그리고 주전력 증폭단으로 구성한다.

일반적인 설계과정은 소신호 증폭단에서 높은 이득과 넓은 동작영역을 갖도록 고이득, 저잡음 설계기법을 이용하고, 중전력 증폭단은 높은 효율을 갖도록 정이득 설계기법을 사용하여 설계하며, 또한 주전력 증폭기는 전력수준을 높이기 위해 고출력 증폭기법으로 설계하여 출력의 1dB 이득 억압점이 높게 설정되도록 입출력 정합회로를 구성한다. 특히 전력증폭기는 높은 전력 증폭효율을 요구하게 되며 1dB 이득 억압점 가까이에서 동작하도록 설계하는 것이 일반적이고, 이에따라 높은 선형성과 안정성이 요구되는 경우에는 설계과정에 특별한 고려가 포함되어야 한다. 이때 증폭기의 출력변화가 발생하면 자체 소비전력을 증가시킬 수 있어, 결과적으로 발생된 열은 전력 증폭기의 이득을 또한 변화 시키는 요인이 되기도 한다⁽⁴⁾. 그러므로 전력 증폭기의 선형성이 높게 요구되는 응용에서는 사용되는 소자의 1dB 이득 억압점의 측정이 매우 중요하며 증폭기 설계시에 1dB 이득 억압점으로부터 수 dB 아래에서 동작을 시켜 저 왜곡 선형 전력증폭기를 구성한다.

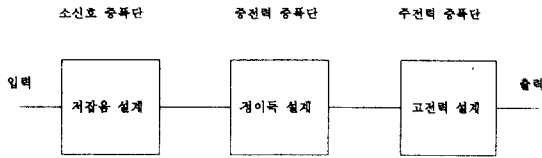


그림 1. 다단 전력증폭기의 일반적 구성도
Fig. 1. General Configuration of Multi-Stage Power Amplifier

2.1 저잡음 증폭기 설계

일정 저잡음을 갖는 증폭기를 설계하기 위하여 가용 전력이득을 사용한 일정 잡음원상의 한부하로 부터 입력정합회로를 먼저 구성하고 주어진 Z_S 에 대해 출력측이 정합하기 위한 조건으로부터 출력정합회로를 결정하게 된다. 이때 고려되어야 하는 것은 선택된 입출력부하가 충분히 안정적 영역에서 동작하여야 하며, 선택된 소자의 특성에 비추어 최소 저잡음을 갖게하기 위해서는 최적잡음 부하점을 택하여 입출력회로를 구성해야 한다. 이때 정잡음원에 필요한 중심과 반경에 관한 식은 다음과 같다⁽⁵⁾.

$$\text{중심} = \Gamma_m / (1 + N_i) \quad (1)$$

$$\text{반경} = (N_i^2 + N_i(1 - |\Gamma_m|^2))^{1/2} / (1 + N_i) \quad (2)$$

위의 식에서 $N_i = (F_i - F_m) |1 + \Gamma_m| / 4r_n$ 이며, r_n 은 정규화 등가잡음저항, F_i 는 설계하고자 하는 잡음지수, Γ_m 는 최적반사계수, 그리고 F_m 은 입력반사계수 Γ_s 가 Γ_m 일 때 잡음지수로서 최소잡음지수이다.

2.2 정이득 증폭기 설계

일정 이득을 갖는 증폭기를 설계하기 위하여 스미스 도표상에서 아래의 식(3)과 식(4)로 주어지는 일정 이득원 상의 한 부하로부터 출력 정합회로를 먼저 구성하고 주어진 Z_L 에 대해 입력 부하가 정합하기 위한 조건으로부터 입력 정합회로를 결정하게 된다. 이때 고려되어야 하는 것은 택해진 입출력부하가 안정한 영역에 존재하는 것이어야 한다. 일정이득을 얻기 위한 일정 이득원에 관한 식은 아래와 같다.

$$\text{중심} = \frac{g_p(S_{11}^* - \Delta^* S_{11})}{[1 + g_p(|S_{22}|^2 - |\Delta|^2)]} \quad (3)$$

$$\text{반경} = \frac{(1 - 2K|S_{12} S_{21}|g_p + |S_{12} S_{21}|^2 g_p^2)^{1/2}}{[1 + g_p(|S_{22}|^2 - |\Delta|^2)]} \quad (4)$$

단 $g_p = G_p / |S_{21}|^2$ 이다. 또한 조건부 안정일 경우 증폭기의 최대 이득은 다음과 같다.

$$G_{\max} = |S_{21}| [K - (K^2 - 1)^{1/2}] / |S_{11}| \quad (5)$$

2.3 고출력 증폭기 설계

고출력 증폭기의 원리는 DC 전력을 RF 전력으로 변환시키는 전력 변환과정으로의 직관적 해석이 가능하다. 전력변환기에서 증폭기 소비전력 P_d , RF입력 전력 P_i 간의 관계를 다음의 식으로 표현한다.

$$P_d = P_{dc} - (G - 1)P_i \quad (6)$$

여기에서 $G = P_o / P_i$ 인 관계가 있다. 식 (6)에서 공급전력 P_{dc} 와 증폭기의 전력이득 G 가 일정할때 입력 RF 전력인 P_i 가 점점 증가하여 어느 수준 이상에서는 증폭기의 소비전력 P_d 가 0 보다 작은 경우가 발생한다. 즉 전력이 소비되지 않고 발생하는 과정으로서, 전력이득이 변하는 과정으로 위의 관계를 만족시킨다. 이러한 경우 이득이 포화된 상태이며 이 때에는 능동소자의 산란 계수의 변화로서 해석된다⁽⁶⁾.

2.4 전력증폭기의 선형설계

전력증폭기의 선형성은 특히 디지털 데이터 고속 전송을 목적으로 하는 경우에 매우 중요하다. 그러나 신호전력의 크기와 주파수에 따라 전력증폭소자의 특성매개변수가 비선형특성을 가지므로 비선형 모델을 이용하여 비선형특성의 보상에 의한 선형 전력증폭기의 설계가 가능하나⁽⁷⁾, 사용되는 모든 소자의 비선형 모델계수를 측정하기가 매우 번거롭고 측정치의 정확성도 문제가 되므로 실용적 설계에서는 선형적 방법에 의한 전력증폭기의 설계가 일반적이다.

전력증폭소자의 선형동작의 입출력범위는 개별소자의 측정된 입출력특성에서 이득이 포화되기 직전인 1dB 이득 억압점을 기준으로 한다. 따라서 소자의 최대 전력증폭 성능을 장하기 위하여 1dB 이득 억압점이 최대가 되도록 정합회로를 구성하여야 한다. 이때 사용하는 능동소자 산란계수를 대신호 산란계수라 하며, 최대 출력전력을 얻기 위해서는 대신호 산란계수를 이용하여 입출력 정합회로가 구성된다.

입출력 정합회로의 설계에 필요한 대신호 산란계수의 결정을 위하여, 대신호에서 능동소자의 산란계수의 결정은 신호의 크기에 대한 영향이 큰 산란계수가 S_{11} 보다 S_{22} 인 사실로부터 GaAs FET에 인가

되는 DC 바이어스를 조정하면서 $V_{ds} < 2$ Volt인 상태에서 소신호 S_{22} 를 측정하고 이것을 이용하여 설계하는 방법이 있다⁽⁸⁾. 본 연구에서는 이와 같은 방법을 적용하여 설계를 하였다.

III. 증폭기의 설계

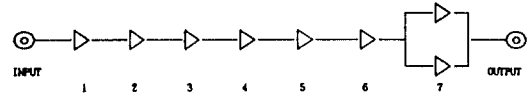
본 연구의 SSPA에서 사용소자의 개별성능으로 부터 높은 이득과 낮은 잡음특성을 얻기 위하여 저잡음 증폭부, 중전력 증폭부, 그리고 대전력 증폭부의 3단계 증폭과정으로 구성하였으며, 특히 마지막 대전력 증폭단계에서는 개별소자가 갖게되는 출력크기의 한계를 극복하도록 평형(balanced) 증폭기를 사용하였다.

3와트 SSPA의 성능을 만족시키기 위하여 본 연구에서 설정한 각 단의 세부적 성능사항을 그림 2에 제시하였다. 첫 단과 둘째 단 증폭기는 저잡음 설계를 하여 잡음지수의 감축을 우선하였으며 따라서 SSPA의 동작영역이 크도록 하였고, 세번째 단과 네번째 단 증폭기는 다음 단계의 대전력증폭기를 구동하기 위한 구동용 증폭기로서 동작하도록 정이득 설계기법을 적용하였다. 이후에 배치된 5번째 단, 6번째 단, 7번째 단 증폭기는 최종 목적 출력전력을 얻을 수 있도록 전력 증폭에 중점을 둔 설계를 하였다.

표 1에는 제작에 사용된 미쓰비시사의 5가지 GaAs FET의 사용 주파수 대역에서의 산란 계수와 잡음계수가 주어져 있다. 각각의 GaAs FET의 특성은 위에서 설명한 각 단의 기능목적에 적합하도록 선정되었으며, 특히 각 소자의 선형동작범위에서의 개별 이득을 측정하고 구성순서를 조정하여 전체 이득성능 목표를 만족시키도록 하였고, 동시에 이에 따른 출력의 수준이 3와트가 되도록 하였다. 특히 각 단의 증폭기들을 연계함에 있어서 앞단으로 갈수록 실제 동작점이 1dB 이득 억압점으로부터 훨씬 낮도록 하여 앞단에서의 비선형현상이 후단에서 증폭되어 전체 안정도가 악화될 수 있는 가능성을 낮추었으며 따라서 전체적인 SSPA동작이 만족될 수 있는 수준의 선형성과 안정성이 보장되도록 하였다. 특히 마지막 전력증폭단계인 7번째 단 증폭기 입출력에 branch line coupler를 사용하여 소자 자체가 가지는 출력전력 한계를 넘는 3와트 출력을 안정적으로 제공할 수 있도록 하였고 동시에 출력 VSWR을 개선되도록 하였다. 회로의 구현에 있어서 DC block 캐패시터로서 손실이 낮은 microstrip line coupler를 구현하였다⁽¹⁰⁾.

그림 3는 초고주파 Touchstone simulator를 이용

하여 계산된 결과로서 설계하여 제안한 회로의 전체 이득과 입출력 VSWR을 보여주고 있다. 설계된 SSPA의 이득은 약 42dB이며, 출력 return loss가 -22 dB 이하, 입력 return loss가 -10 dB이하로 계산됨으로써 SSPA가 주변회로와 연결될 때에 높은 전력손실과 반사파에 의한 신호의 왜곡이 충분히 방지될 수 있음을 보여주고 있다. 또한 그림 4에서는 설계된 전력증폭기의 선형동작의 한계인 1dB 이득 억압점이 35.5 dBm으로 계산되어 설계된 SSPA의 최대 선형 증폭 출력수준이 3와트임을 보여주고 있다.



항목	STAGE	1	2	3	4	5	6	7
FET	DEVICE	MGF1423	MGF1423	MGF1801	MGF1802	MGF30M045	MGF33M045	MGF33M045
	GLP(dB)	9-11	9-11	7	6	7	6.5	6.5
	P(1-dBm)	13	13	20	21	30.5	33	33
INPUT SIGNAL LEVEL (dBm)		-7	1	8	14	19	25.5	31
GAIN (dB)		8	7	6	5	6.5	5.5	4
OUTPUT SIGNAL LEVEL (dBm)		1	8	14	19	25.5	31	35

그림 2. SSPA 세부 성능 제한

Fig 2. Detailed Functional Specification

표 1. GaAs FET 산란 계수 및 잡음 계수

Table 1. S-parameter and Noise Parameter of GaAs FET

GaAs FET 산란 및 잡음 계수	GaAs FET1	GaAs FET2	GaAs FET3	GaAs FET4	GaAs FET5	
	($V_{ds}=3V$ $I_{ds}=10mA$)	($V_{ds}=6V$ $I_{ds}=100mA$)	($V_{ds}=6V$ $I_{ds}=100mA$)	($V_{ds}=8V$ $I_{ds}=450mA$)	($V_{ds}=8V$ $I_{ds}=900mA$)	
S11	mag deg	0.61 163.2	0.65 36	0.56 95	0.316 -14	0.334 -6
S21	mag deg	1.505 -16.0	0.72 134.2	0.205 -56	2.194 -113	2.128 -104
S12	mag deg	0.075 -13.7	0.102 -40.3	0.85 -75.5	0.110 -149	0.081 -139
S22	mag deg	0.681 -132.4	0.91 85.2	0.65 -185	0.212 157	0.131 -131
Γ_{in}	mag deg	0.406 151.0	-	-	-	-
F_n		2.2				
Γ_{out}		0.38				

Frequency = 14.5GHz

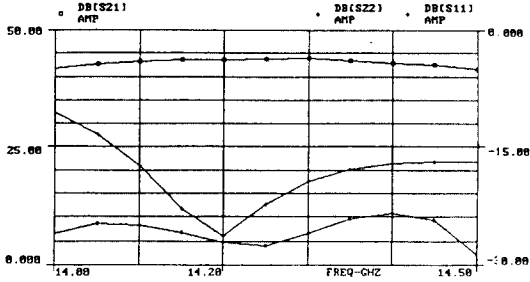


그림 3. 이득 및 임출력 VSWR 계산결과
Fig 3. Simulation Results of Gain and Input/Output VSWR

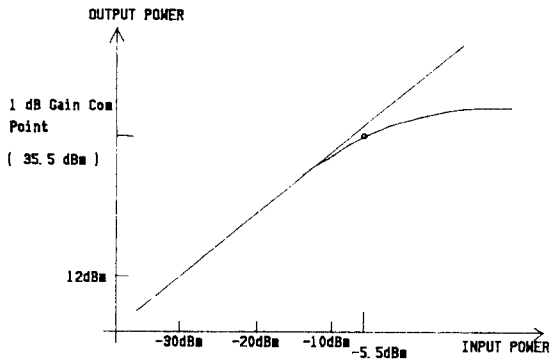


그림 4. 1dB 이득 억압점의 simulation data
Fig 4. Simulation Data of 1dB Gain Compression Point

IV. 실험 및 검토

4.1 제작실험

일반적으로 게이트에 부전원이 인가되기 전에 드레인에 전원이 인가될 경우 GaAs FET가 손상될 수가 있으므로 이를 방지하기 위하여 부전원 보호회로를 사용하였다⁽¹¹⁾. 특히 열로 인한 GaAs FET의 바이어스 전원의 변화를 방지하여 안정된 증폭기 성능을 얻기 위해서 능동 바이어스 회로를 사용하였으며, 각 증폭단의 동작 바이어스는 사용되는 GaAs FET의 개별적 특성과 목적인 성능에 적합하게 설계하였다. 사용된 능동 바이어스회로의 한가지 예를 그림 5에 도시하였다.

본 연구의 SSPA는 3개의 개별적 증폭단계로 구성되어 있으며 각 단계의 동작조건과 요구되는 성능이

완전히 구분되므로, 각 증폭단에 대한 개별적 설계와 제작 그리고 성능실험을 한 후에 선용확인된 각 단을 종합하여 캐스케이드 7단 SSPA를 제작하여 최종 성능을 측정하였다. 첫째 단과 둘째 단의 저잡음 설계에서 결과된 잡음지수는 전체 전력 증폭기의 잡음지수로 대치하였고, 출력전력은 출력수준 다이어그램으로 각 단계의 증폭수준을 결정하였다. 각 단계의 독립적인 설계패턴이 제시되어 있는데, 그림 6은 1-4단의 증폭기 패턴도이며 그림 7은 5-7단의 증폭기 패턴도이다. 성합회로, DC block 캐패시터, 그리고 branch line coupler등은 모두 microstrip line으로 구현되었다.

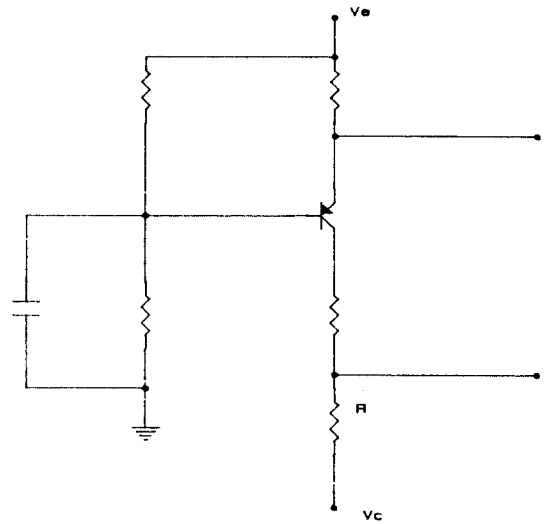


그림 5. 능동 바이어스 회로
Fig 5. Active Bias Circuit

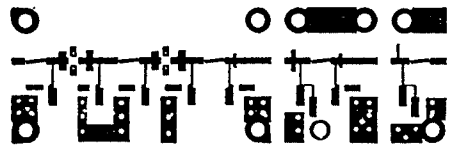


그림 6. 1-4단 증폭기 Pattern도
Fig 6. Pattern Diagram of 1-4 Stage Amplifier

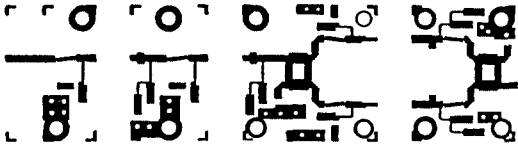


그림 7. 5-7단 증폭기 Pattern도
Fig 7. Pattern Diagram of 5-7 Stage Amplifier

4.2 성능측정 및 고찰

소신호 전력이득과 잡음지수를 측정한 결과를 그림 8에 나타나 있다. 결과에서 총 증폭이득은 41.5-42.5dB로서 설계치와 일치하고 있으며, 잡음지수는 5-7dB 사이에 있음을 알 수 있다. 또한 그림 9와 10에서는 입출력 VSWR의 측정된 결과를 보여주고 있는데, 입력 VSWR은 최대 1.7 출력 VSWR은 최대 1.4를 얻게되어 설계에서 고려한 사항과 같이 출력 VSWR이 입력 VSWR보다 개선된 결과를 얻었다. 그림 11에서 입력신호전력에 대한 출력신호전력의 관계에 대하여 측정결과를 보여주고 있다. 이 결과에서 출력 1dB 이득 억압점이 35.5dBm으로 관측되어 제작된 SSPA가 목적인 출력 수준을 제공할 수 있음을 보여주고 있다. 또한 그림 11에서 3차 상호변조점이 1dB 이득 억압점 보다 10dB 높게 관측되었는데, 이런 사실은 SSPA 증폭기에서 일반적으로 관측되는 사실과 부합되고 있다⁽¹²⁾. 그림 12에서는 제작된 SSPA의 위상 선형성을 측정한 결과로 대역 내에서 선형특성을 가짐을 보여주고 있다. 실험결과에서 설계 기대 특성과 차이가 있는 사항은 이득의 평탄도이며, 이에

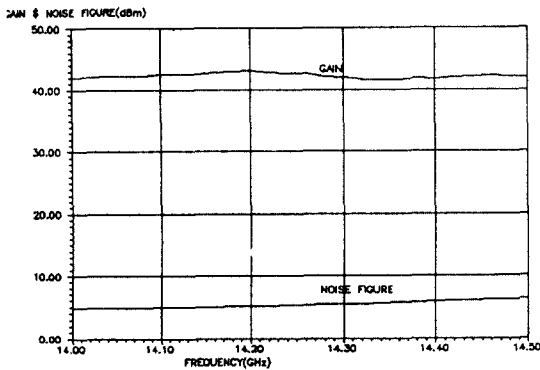


그림 8. 증폭기 이득 및 잡음지수 측정 결과
Fig 8. Amplifier Gain and Noise Figure Measured

대한 원인으로서는 증폭소자의 고출력 동작에 의한 비선형효과에 의한 차이 그리고 제작한 회로보존 금속막의 구조에 따른 주파수대 응답변화 효과라고 유추된다.

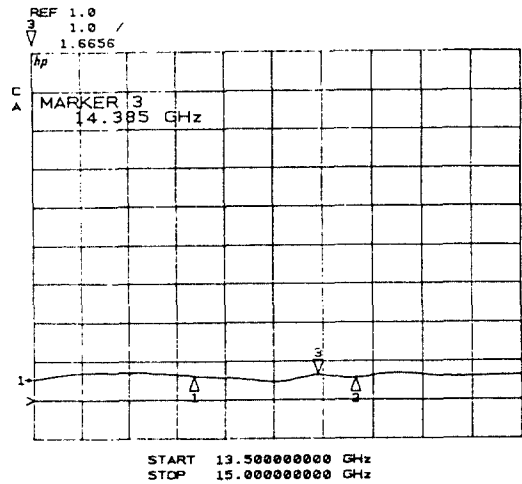


그림 9. 증폭기 입력 VSWR 측정 결과
Fig 9. Amplifier Input VSWR Measured

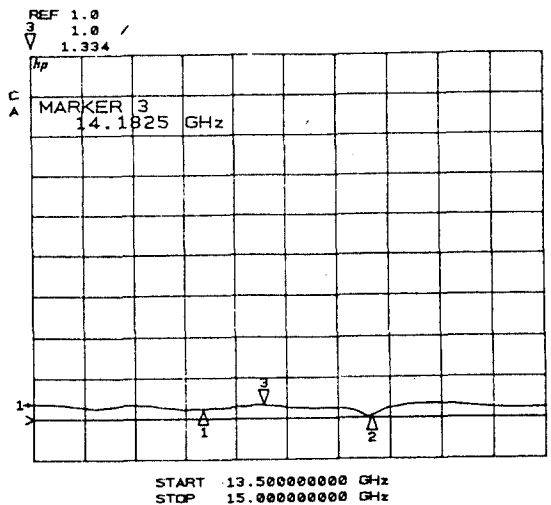


그림 10. 증폭기 출력 VSWR 측정 결과
Fig 10. Amplifier Output VSWR Measured

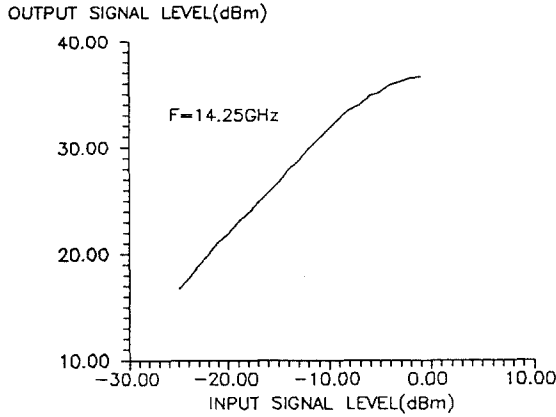


그림 11. 증폭기 출력전력 측정 결과
Fig 11. Amplifier Output Power Measured

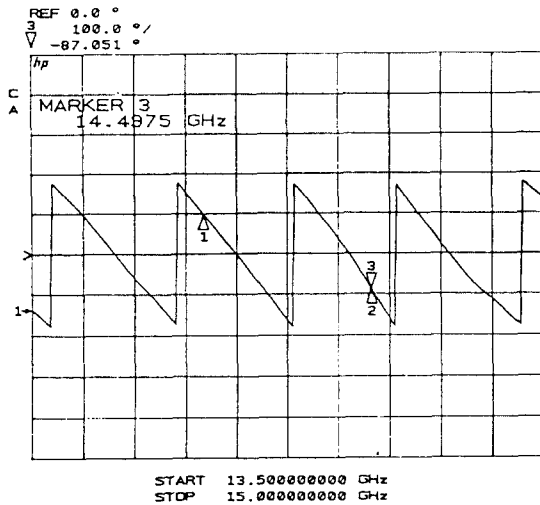


그림 12. 증폭기 위상 선형성 측정 결과
Fig 12. Amplifier Phase Linearity Measured

V. 결 론

본 논문에서의 Ku-band 3 W SSPA는 실제 VSAT에서 요구하는 SSPA의 출력 3W와 그밖의 동작성능을 만족시킬 수 있도록 설계하여 제작하였다. 제작된 SSPA의 소신호이득은 약 42 dB, 입력 VSWR과 출력 VSWR은 각각 1.7과 1.4, 잡음지수는 약 6dB, 그

리고 1dB 이득 억압점은 약 35.5 dBm으로 측정되었고 출력위상의 선형성이 충분히 보장됨을 확인함으로써, 본 연구에서 목적인 출력수준과 선형특성의 설계 기대치를 전반적으로 만족시킬 수 있는 하나의 SSPA설계기법을 제시하였다.

실험결과에서 개선이 요구되는 사항으로 관측된 것은 전체 이득의 평탄도로서 보다 정밀하고 규격화된 주변장치의 배열이 필요할 것이며 특히 고출력 신호에 대한 비선형설계에 의한 보상과 고출력 정합회로의 조정이 필요할 것이다.

참 고 문 헌

1. T. T. Ha, *VSAT*, John Wiley & Sons., 1981
2. T. T. Ha, *Solid-state microwave amplifier design*, Prentice-Hall, Inc., 1981
3. L. B. Walker ed., *High-Power GaAs FET Amplifier*, Prentice-Hall, Inc., pp.263-306, 1987
4. T. H. Miers, "A Thorough Investigation of Dynamic Bias on Linear GaAs FET Power Amplifier Performance," *IEEE MTT-S Int. Microwave Symp. Dig.* pp.537-540, June, 1992.
5. G. Gonzalez, *Microwave transistor amplifier analysis and design*, Prentice-Hall, Inc., 1984
6. J. B. Cohn, "Ku-Band Solid State Power Amplifiers for The New European Satellites," *European Microwave Conference 23RD*, pp. 11-14, 1993.
7. S. A. Maas, *Nonlinear Microwave Circuits*, Artech House Inc., pp.81-84, 1990
8. R. S. Pengelly, *Microwave field-effect transistor-theory, design and application*, John Wiley & Sons, Ltd., pp.199-203, 1982
9. R. Soares, *GaAs MESFET circuit design*, Artech House, Inc., pp.105-108, 1988
10. S. B. Cohn, "Parallel-coupled Transmission Line Resonator Filter," *IRE Trans. Microwave Theory Tech.*, vol. MTT-6, pp. 223-232, April, 1958
11. C. A. Mead, "Schottky Barrier Gate Field Effect Transistor," *Proc. IEEE*, vol. 54, pp. 307-308, Feb. 1966
12. R. G. Meyers, "Cross modulation and intermodulation in amplifiers at high frequency," *IEEE J. Solid-State Circuit*, SC-7, no.1, pp 16-23, 1972



田 光 一(Kwang Il Chun) 正會員

1961年 3月 21日生

1984년 2월 : 蔚山大學校 電子工學科
卒業(工學士)

1986년 2월 : 高麗大學校 大學院 電
子工學科 卒業(工學碩
士)

1988년 11월 : (株)現代電子 研究所
主任研究員

1992년 2월 : (株)金星情報通信 研究所 先任研究員

1994년 2월 : 高麗大學校 大學院 電子工學科 博士課程修了

朴 鎮 雨(Jin Woo Park)

現在 : 高麗大學校 電子工學科 助教授

학회지 10권 8호 참조

正會員