

## 디지털 랜덤 비트 동기 회로 설계

正會員 吳 鉉 瑞\* 正會員 朴 相 泳\* 正會員 白 昌 鉉\* 正會員 李 弘 燮\*

### Circuit Design for Digital Random Bit Synchronization

Hyun Seo Oh\*, Sang Young Park\*, Chang Hyun Baek\*,  
Hong Sub Lee\* *Regular Members*

#### 요 약

본 논문에서는 랜덤한 NRZ 신호에 동기된 클럭을 추출하는 비트 동기 알고리즘을 제안하고 회로 설계 및 성능을 분석하였다. 설계된 동기 회로는 데이터 천이 검출기, Mod 64 계수기, 위상비교 및 제어기, 64 분주기로 구성되었으며, 데이터 처리 속도가 16 Kbps로서 마스터 클럭은 4.096 MHz, 그리고 위상 보정은 매 비트마다 데이터 신호 주기의 1/64만큼 이루어진다. 입력신호에 대한 위상 지터의 최대 허용치는 23.8%이고, 복원된 클럭의 편차가 1.6%임을 실험을 통해 측정하였다. 동기 회로는 완전 디지털 회로로서 하나의 반도체 칩으로 실현이 용이할 뿐 아니라 저속의 디지털 이동통신에 효과적이다.

#### ABSTRACT

In this paper, we have proposed a bit synchronization algorithm which extracts the synchronized clock for random NRZ signal and designed a circuit followed by its performance analysis. The synchronization circuit consists of the Data Transition Detector and Mod 64 Counter, Phase Comparison and Controller, 64 Divider. The data input rate and master clock rate are 16 Kbps and 4.096MHz, respectively. The phase is compensated by 1/64 of the data signal period for every data bit. Through a series of experiments, the maximum immunity of phase jitter for input signal and the deviation of the recovered clock are measured 23.8% and 1.6%, respectively. The fully digital synchronization circuit is simple to implement into single IC chip and also effective for the low speed digital mobile communications.

#### I. 서 론

\*韓國電子通信研究所  
Electronics and Telecomm. Research Institute  
論文番號 : 93122  
接受日字 : 1993年 7月 6日

디지털 암호통신에서는 기본적으로 랜덤한 데이터를 전송하고 수신함으로써 이루어진다. 랜덤 데이터는 주파수 영역에서는 평할한 신호 크기를 갖는 잡음 특성을 지니고, 시간 영역에서는 "Zero" 또는 "One"

신호 레벨의 길이가 무작위로 존재하는 특성을 갖는다. 이러한 랜덤 신호는 주파수 대역폭이 확장되고 연속적인 "Zero"와 "One"이 확률적으로 발생하므로 암호화하지 않은 일반 신호에 비해 안정된 클럭을 추출하기가 어렵다<sup>(1, 8)</sup>.

데이터 신호에서 클럭을 추출하는 방법은 일반적으로 DPLL(Digital Phase Locked Loop) 회로를 널리 사용한다<sup>(6)</sup>. 랜덤한 NRZ 신호에서 클럭을 추출하기 위해 기존의 DPLL 회로를 활용할 수는 있으나 랜덤 신호의 주파수 특성에 적합한 필터 설계가 어렵고, 입력 신호가 주기적인 클럭 형태가 아니고 연속적인 "Zero" 또는 "One" 레벨이 유지되는 신호이므로 DPLL의 Locking 영역에서 벗어나는 현상이 발생한다<sup>(3)</sup>. 따라서, 일반적인 DPLL 회로를 사용하여 랜덤한 NRZ 신호에 동기된 클럭을 추출할 수 없다. 본 논문에서는 랜덤한 NRZ 신호로부터 안정한 클럭을 추출하는 비트 동기 알고리즘을 제안하였다. 제안된 동기 알고리즘은 Early-Late DPLL 회로와 위상보정 방법은 동일하지만, 위상 검출과 위상 제어 방법이 다르다. Early-Late DPLL은 입력 데이터 전이와 내부 기준 클럭간의 위상 에러를 검출하고 이진 레벨로 양자화하여 위상의 전진 또는 지연을 판단하며 디지털 Loop 필터를 거쳐 기준 클럭의 위상을 제어한다<sup>(4)</sup>. 그러나, 제안된 동기 방식은 입력 데이터의 중앙과 기준 클럭간의 위상 에러를 검출하는 동시에 위상의 전진과 지연을 판단하고 위상을 제어한다. 이 방식은 Early-Late DPLL 회로에 비해 데이터 전이가 없는 랜덤 신호에 대해서 동기 유지 시간이 길고, 위상 검출과 동시에 위상의 제어가 이루어지며 디지털 Loop 필터가 없으므로 회로를 간단하게 설계할 수 있다.

본 논문에서 제시된 디지털 랜덤 비트 동기 회로는 데이터 전이 검출기와 Mod N 계수기, 위상 비교 및 제어기, N 분주기로 구성되어 있다. 데이터 전이 검출기는 NRZ 입력신호 레벨이 Low 레벨에서 High 레벨로 변하거나, High 레벨에서 Low 레벨로 변하는 데이터 전이를 검출하여 Mod N 계수기를 리셋시키는 전이 펄스를 생성한다. Mod N 계수기는 데이터 전이 검출기에서 생성된 전이 펄스에 의해 리셋되어져 0부터 N-1까지 계수를 하며, 이때 계수값은 입력 NRZ 데이터의 위상값을 의미한다. 위상비교 및 제어기는 N 분주기에서 생성되는 기준 펄스와 입력 NRZ 데이터의 위상을 비교하여 N 분주기에 입력되는 클럭을 제어한다. N 분주기는 입력 NRZ 데이터보다 N

배가 빠른 클럭을 N 분주하여 입력 NRZ 데이터의 위상을 판단할 수 있는 기준 펄스와 복원된 클럭을 생성한다.

본 논문에서는 16 Kbps NRZ 신호에 대하여 N이 64인 디지털 랜덤 비트 동기회로를 설계하고 실험을 하였다. 제시한 동기회로는 마스터 클럭을 4.096MHz로 하여, 데이터 전이 시마다 입력신호 주기의 1/64만큼 위상보정이 이루어지며, 16 Kbps NRZ 입력신호에 대한 위상 지터의 최대 허용치가 23.8%이며, 복원된 클럭의 편차는 1.6%이내의 특성을 갖는다. 동기 돌입시간은 위상 지터가 없을 때에 32번의 데이터 전이가 필요하며, 위상지터가 존재할 때는 동기 돌입시간이 길어지게 된다. 동기가 이루어진 후에는 연속적인 "Zero" 또는 "One"의 데이터가 입력될 때에도 기준펄스를 데이터 중앙을 향해 이동하므로 연속적인 "Zero"나 "One"의 데이터에 대해서도 동기를 유지하는 특성을 갖는다.

설계된 동기 회로는 입력 데이터의 속도가 가변되거나 위상 제어를 변경하고자 할 때는 마스터 클럭의 속도와 Mod N 계수기의 N 값을 가변하면 되므로 회로 변경이 간단하다. 그리고, 완전 디지털 회로이므로 EPLD 또는 반도체 칩으로의 제작이 용이하다.

## II. 비트 동기 알고리즘

입력 신호가 랜덤한 NRZ 신호이고, 주기가 T 일 때, 이 신호에 대한 비트 동기 알고리즘은 데이터 전이 검출기와 Mod N 계수기, 위상 비교 및 제어기, 그리고 N 분주기로 구성된다. Mod N 계수기와 N 분주기의 N 값은 2의 지수 제곱으로 표현되며 ( $N=2^i, i=1, 2, 3, \dots, k$ ), 임의의 시간에서 NRZ 신호의 위상을 추적하는 클럭 생성 과정은 다음과 같다.

1. NRZ 입력 신호 레벨이 변할 때 마다, High 레벨 신호 펄스폭이 T/N인 전이 펄스를 생성한다.
2. Mod N 계수기는 전이 펄스가 High 레벨이 되는 시점에서 리셋된 후, Mod N 계수기 입력 클럭에 의해 증가계수되며, Mod N 계수기의 값이 N/2이 되는 순간에 Active Low인 위상펄스 I과 NRZ 입력 신호와 같은 주기의 위상 펄스 II를 발생시킨다.
3. NRZ 입력 신호의 주기와 동일하고, High 펄스폭이 T/N인 기준펄스를 생성한다. 즉, 전이 펄스와 기준펄스의 High 레벨 신호폭은 같다. 그리고, 기준펄스의 신호 레벨이 상승하는 시점에서 N 분주기에서 생성된 복원 클럭의 레벨이 Low에서 High로 상

승한다.

4. 기준 펄스가 High 레벨인 동안 위상 펄스 I, II를 비교하여 NRZ 입력 신호에 대한 기준 펄스의 위상을 판단한다.

- 1) 기준 펄스와 위상 펄스 I이 동시에 구동되면, 기준펄스는 NRZ 입력 신호의 중앙에 위치
  - 2) 기준 펄스가 위상 펄스 II의 Low 레벨에서 구동되면, 기준펄스는 NRZ 입력 신호의 중앙에서 위상이 전진
  - 3) 기준펄스가 위상 펄스 II의 High 레벨에서 구동되면, 기준펄스는 입력 데이터의 중앙에서 위상이 지연
5. 위에서 2), 3)의 경우, 1)의 상태가 되도록 기준 펄스를 앞으로 또는 뒤로 이동시킨다.

- 1) 위상이 지연된 상태이면 기준 펄스를 일정한 시간(T/N) 만큼 앞으로 이동
- 2) 위상이 전진된 상태이면 기준 펄스를 일정한 시간(T/N) 만큼 뒤로 이동

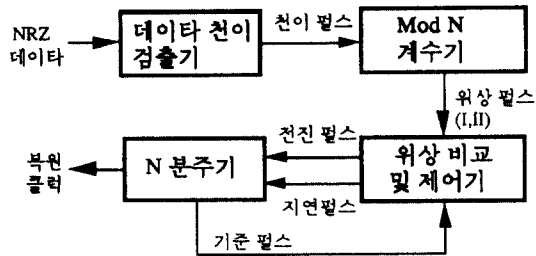


그림 1. 비트 동기 알고리즘 구성도  
Fig 1. Algorithm Configuration for Bit Synchronization

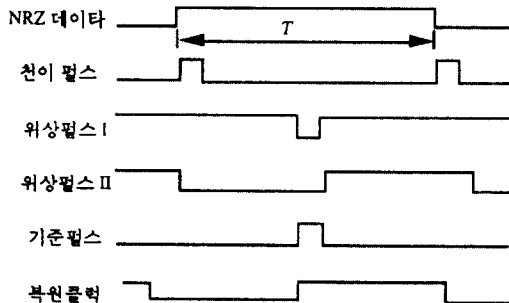


그림 2. 비트 동기 타이밍 다이어그램  
Fig 2. Timing Diagram of Bit Synchronization

그림 1은 위에서 제시한 동기 알고리즘을 실현하기 위한 논리상의 구성도이다. 그림 2에서는 동기 타이밍 다이어그램을 보여준다. 데이터의 천이가 발생함에 따라 천이 펄스를 생성하면 Mod N 계수기는 데이터 위상을 알리는 위상 펄스 I, II를 생성한 후, 이를 기준펄스와 비교하여 전진 또는 지연 펄스를 생성하고 기준 펄스가 항상 데이터 중앙을 향해 이동하도록 함으로써 복원 클럭이 수신 신호의 중앙에 위치하게 한다.

### III. 논리회로 설계

앞에서 설명한 클럭 추출 알고리즘은 디지털 회로로 간단하게 구현할 수 있다. 실제로, 입력 데이터의 속도가 가변될 수 있으며, 입력 신호 특성에 따라 Mod N 계수기의 N값이 가변될 수 있으므로 논리회로의 설계는 입력 데이터의 속도와 동기 알고리즘의 성능을 결정하는 N 값의 변화를 고려하여 융통성 있는 회로를 설계한다. 설계된 동기회로는 랜덤한 16 Kbps NRZ 신호로부터 클럭을 추출하며 그림 1에서 N 값을 64로 결정하여 그림 3과 같이 구성하였다. 외부에서 입력되는 마스터 클럭은 입력 신호의 주기보다 256배 빠른 4.096 MHz를 사용하였다.

#### 1. 데이터 천이 검출 회로

수신된 디지털 랜덤 신호의 레벨이 변화할 때 즉, Low 레벨에서 High 레벨로 변화하거나 High 레벨에서 Low 레벨로 변화할 때마다 천이펄스를 생성하는 회로이다. 이 천이 펄스는 4.096MHz 마스터 클럭을 4분주한 1.024 MHz 클럭의 1 펄스 폭을 가지며,

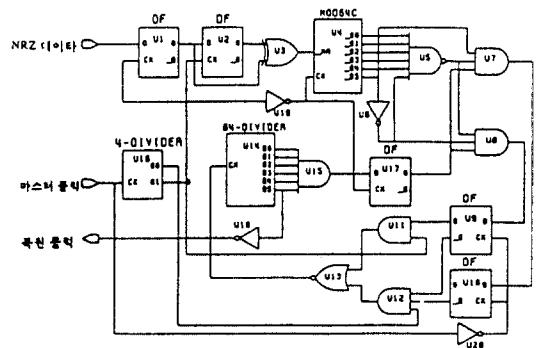


그림 3. 16Kbps NRZ 데이터 비트 동기 회로도  
Fig 3. Circuit Diagram for 16Kbps NRZ Data Bit Synchronization

신호레벨은 Active High이다. 천이펄스는 입력 NRZ 데이터 신호를 1.024 MHz 클럭으로 Latch한 출력과 이 출력을 1 클럭 지연시킨 출력을 비트 단위로 Exclusive-OR 함으로써 생성된다. 그림 3의 회로도에서 U1은 입력 데이터 신호를 내부의 1.024 MHz 상위 클럭으로 샘플링하여 내부 회로 전체의 동기부를 이루기 위해 사용되었으며 이로 인해 입력 데이터와 1.024 MHz 상위 클럭에 의해 동기된 내부 회로 간에는 항상 1.024 MHz의 1클럭 만큼의 시간 오차가 존재한다.

2. Mod 64 계수기 회로

Mod 64 계수기는 데이터 천이 펄스 생성시에 사용한 1.024 MHz 클럭에 의해 0에서 63까지를 순차적으로 반복하여 계수하며, 데이터 천이 펄스가 가해질 때마다 계수기가 리셋 되도록 동작한다. 입력 데이터의 1 비트 시간은 Mod 64 계수기가 0에서 63까지 계수하는 시간과 동일하고, 천이 펄스가 Active High가 되는 시점에서 부터 Mod 64 계수기의 값이 증가하므로 Mod 64 계수기의 출력값은 입력 데이터의 위상값을 의미하게 된다. 따라서, Mod 64 계수기의 값이 0~31 사이에 있으면 데이터 위상이 0~180°이고, Mod 64 계수기의 값이 32이면 180°이고, Mod 64 계수기의 값이 33~63 사이에 있으면 데이터 위상이 180°~360°이다. 데이터 위상 비교 및 제어기에서는 입력 데이터의 위상을 위의 세가지 상태로 분류하여 제어하므로, 이를 위해 Mod 64 계수기에서는 데이터 위상이 180°인 것과 180° 보다 크거나 작은 상태를 알리는 2개의 위상 펄스 I, II를 생성한다 데이터 위상이 180°인 것을 알리는 위상펄스 I은 Mod 64 계수기가 32일 때 Active Low로 되는 펄스로서 U5의 출력이고, 다른 하나의 위상 펄스 II는 1.024 MHz 클럭을 64분주한 클럭으로 Mod 64 계수기의  $\_Q5$  출력을 반전시킨 U6의 출력 신호이다.

3. 위상 비교 및 제어 회로

Mod 64 계수기의 데이터 위상을 알리는 2개의 위상펄스 I, II와 기준 펄스를 이용하여 데이터에 대한 기준 펄스의 위상을 판단한다. 기준 펄스가 위상 펄스 I과 동일한 시점에서 Active되면 기준 펄스는 데이터의 중앙에 있으며, 기준 펄스가 위상 펄스 II의 Low 레벨일 때 Active 되면 기준펄스의 위상이 데이터 중앙보다 전진한 상태이고, 기준 펄스가 위상 펄스 II의 High 레벨일 때 Active 되면 기준펄스의 위상이 데이터 중앙보다 후진한 상태에 있다. 기준 펄

스가 데이터의 중앙에 위치하기 위해서는 기준 펄스가 지연 상태이면 전진하도록 제어하고 기준펄스의 위상이 전진상태이면 후진하도록 제어를 한다. 위상 전진 펄스와 위상 후진 펄스는 기준 펄스 신호가 구동되는 시점에만 생성되는 신호이다. Mod 64 계수기에서 생성된 위상 펄스 I은 위상 전진 또는 지연 펄스가 구동되는 것을 막는 Inhibit 신호로 사용되었다.

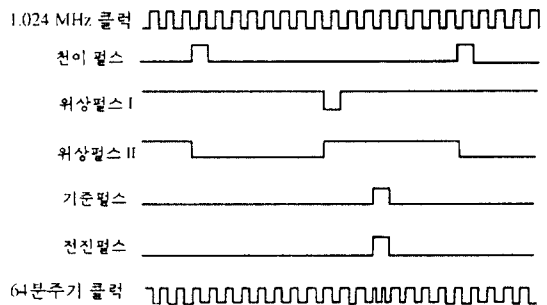


그림 4. 기준 펄스의 위상 지연시 제어 타이밍 다이어그램  
Fig 4. Control Timing Diagram in Phase Delay of Reference Pulse

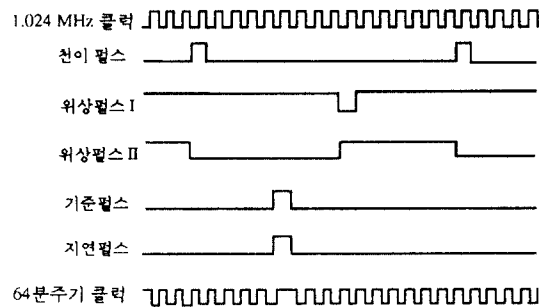


그림 5. 기준 펄스의 위상 전진시 제어 타이밍 다이어그램  
Fig 5. Control Timing Diagram in Phase Advance of Reference Pulse

위상 지연 펄스가 구동되면 기준 펄스를 생성하는 64 분주기의 입력 클럭을 1클럭 제거함으로써 다음 데이터 비트에서 기준 펄스의 구동 시점을 64 분주기 클럭의 1클럭 만큼 지연시키고, 위상 전진 펄스가 구동되면 기준 펄스를 생성하는 64 분주기의 입력 클럭을 1 클럭 동안 2개 클럭을 삽입함으로써 다음 데이터 비트에서 기준 펄스의 구동 시점을 1클럭 만큼 전

진시킨다. 64 분주기 클럭의 1 클럭동안 클럭의 제거 또는 마스터 클럭의 2배 클럭을 삽입하는 논리회로를 구성하였을 때 논리회로의 지연차이로 인하여 글리치(Glitch)가 필연적으로 발생하게 되므로 이 글리치를 제거하기 위해 D Flip-Flop U9와 U10을 이용하여 동시 스위칭하는 신호의 Gating을 피하도록 하였다. 그림 4는 기준 펄스가 지연되었을 때 위상 전진 펄스를 생성하고 64 분주기 클럭을 2배의 높은 클럭으로 증가시키는 것을 보여주고, 그림 5는 기준 펄스가 전진되었을 때 위상 지연펄스를 생성하고 64 분주기 클럭이 반으로 감소하는 것을 보여준다.

#### 4. 64 분주기 회로

64 분주기는 보정된 1.024 MHz 클럭을 분주하여 기준 펄스와 데이터 클럭을 생성한다. 기준펄스는 64 분주기의 값이 0일 때 마스터 클럭의 1펄스만큼 High 레벨을 유지하는 펄스이며 주기는 데이터 클럭과 동일하다. 그리고, 기준 펄스가 상승 에지 시점에서 복원된 클럭도 상승 에지가 되므로 기준 펄스의 상승 에지 시점에 입력 데이터의 샘플링 시점이 된다.

### IV. 성능 분석

입력 데이터로 부터 클럭을 추출하는 회로의 성능은 외부에서 입력되는 데이터 신호의 위상 지터와 복원된 클럭의 편차, 그리고 동기 돌입 시간에 의하여 결정되며<sup>(6)</sup> 설계된 동기회로의 성능을 고찰하고자 한다.

#### 1. 위상 지터

입력되는 데이터를 시간축으로 관찰할 때 평균적으로 일정한 주기를 갖지만 짧은 시간을 관찰할 때는 평균 주기에 비해 길거나 짧게 된다. 평균 주기를 기준하여 시간 차이로 인한 위상의 변화를 위상 지터라 하고 데이터의 한 주기에 대한 시간 편차를 백분율(%)로 표현한다. 여기서는, 이러한 위상 지터에 대한 동기회로의 영향과 위상 지터의 최대 허용치를 분석한다. 위상 지터가 없을 때는 입력 데이터와 천이 펄스간에 1.024 MHz 클럭의 1 펄스 만큼의 샘플링 오차가 발생한다. 천이 펄스는 입력 데이터와 1.024 MHz 클럭의 1 펄스 범위 내에서 동작하므로 기준 펄스도 마스터 클럭의 1 펄스 범위 내에서 동작한다. 데이터 천이 검출은 Low 레벨에서 High 레벨로 천이하거나 High 레벨에서 Low 레벨로 천이하는 경우를 모두 고려하여야 한다. 따라서 입력되는 데이터로 부

터 클럭을 복원하기 위해서는 기본적으로 2개의 천이 펄스와 1개의 기준펄스가 필요하므로 1.024MHz 클럭이 3개 이상 필요하다.

위상 지터는 위상이 지연되는 경우와 위상이 전진되는 경우가 있는데, 위상 지연 또는 전진되는 위상 지터량이 동일하고 동시에 발생하는 것을 가정한다. 위상이 지연되는 지터가 존재할 때 천이 펄스는 마스터 클럭의 임의의 배수만큼의 영역 내에서 위상이 지연되어 동작하게 되고 기준펄스도 입력 데이터의 중앙에서 천이 펄스와 동일한 동작범위 내에 위상이 지연되어 동작한다. 이와 마찬가지로 위상이 전진된 상태에서 지터가 존재할 때도 천이 펄스와 기준 펄스가 마스터 클럭의 임의의 배수만큼의 영역 내에서 위상이 전진되어 동작한다. 그림 6에서는 입력 데이터의 위상 지터가 존재할 때 천이 펄스와 기준 펄스의 동작 범위를 나타낸다. 천이 펄스와 기준 펄스에서 빈 공간의 직사각형은 샘플링 오차로 인한 동작 범위를 나타내고 점선이 있는 직사각형은 지터의 영향으로 인한 동작범위를 나타낸다.

입력 데이터 신호의 한 주기 시간이  $T$ 이고 샘플링 마스터 클럭의 한 주기가  $T/N$ , 위상 지터가  $T/N$ 의  $k$  배수일 때 식(1)의 관계가 성립한다.

$$4.k.T/N + 3.T/N < T \quad (1)$$

단,  $k$ 는 정수,  $N$ 은 3이상

지터가 포함된

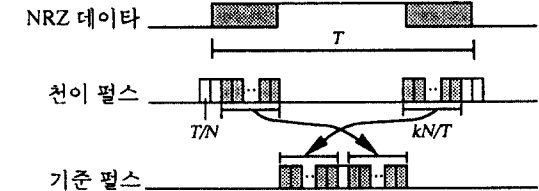


그림 6. 위상 지터에 따른 천이 펄스와 기준 펄스의 동작 범위

Fig 6. Operating Range of Transition Pulse and Reference Pulse due to Phase Jitter

식 (1)에서  $N$ 은  $Mcd N$  계수기와  $N$  분주기의  $N$ 으로 데이터 신호의 한 주기동안의 샘플링 횟수를 의미하며 데이터 천이와 기준 펄스의 검출을 위해 3번 이상의 샘플링이 필요하므로 3이상이어야 한다.  $4.k.T/N$ 는 그림 6에 나타난 바와 같이 위상 지터로 인한 천

이 펄스와 기준 펄스의 동작 범위를 나타내며,  $3T/N$ 은 마스터 클럭의 샘플링 오차로 인한 천이 펄스와 기준 펄스의 동작범위를 의미한다. 식(1)로 부터 위상 지터에 관한 식 (2)를 얻을 수 있다.

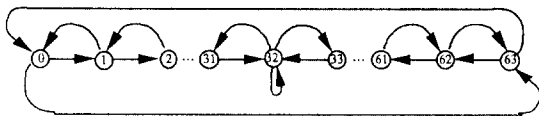
$$(k.T/N)/T < 0.25 - 3/4N \tag{2}$$

식(2)에서 N이 증가할수록 위상 지터는 0.25에 근접하며, N이 64이면 0.238이 됨을 알 수 있다. 그러므로, 위상 지터 최대 허용치는 25%이고, N이 64일 때는 위상 지터의 허용치가 23.8%임을 알 수 있다.

표 1에서는 N값에 따른 위상지터 허용치와 복원 클럭 편차를 도표로 나타내었다. N은 4이상의 값을 사용하며 N이 증가할수록 위상 지터 허용치와 복원 클럭 편차의 특성이 좋아진다. N이 256 이상에서는 위상 지터 허용치와 복원 클럭 편차의 특성이 크게 개선되지 않으므로 N값은 8에서 128까지의 값을 선택하는 것이 좋다.

표 1. N값의 변화에 따른 위상 지터 허용치와 복원 클럭 편차  
Table 1. Immunity of Phase Jitter and Deviation of Recovered Clock with Various Values of N

N	4	8	16	32	64	128	256	512
복원클럭편차(%)	25	12.5	6.3	3.1	1.6	0.8	0.4	0.2
지터허용치(%)	62.5	15.6	20.3	22.7	23.8	24.4	24.7	24.9



\* 원내의 숫자는 Mod64 계수기의 값

그림 7. 기준펄스의 상태 천이도

Fig 7. State Transition Diagram of Reference Pulse

## 2. 복원 클럭 편차

64 분주기에서 생성된 복원클럭은 64 분주기 입력 클럭의 주파수가 16 Kbps NRZ 입력신호의 지터에 따라서 계속 변하므로 편차가 존재하는데 이러한 클럭 편차는 위상 제어에 따른 마스터 클럭과 Mod64 계수기 간의 관계를 분석함으로써 알 수 있다. 그림 5에서 처럼 기준 펄스가 데이터 위상값이 32 보다 작을 때는 64 분주기에 입력되는 클럭의 1개 펄스가 제

거되어 데이터 클럭의 Low 레벨이 High 레벨보다 마스터 클럭의 1 펄스 만큼 늘어나게 된다. 데이터 위상값이 32일 때는 마스터 클럭이 일정하므로 복원 클럭은 Duty가 50%인 일정한 파형을 유지한다. 그림 4에서 데이터 위상 값이 32보다 크면 64 분주기에 입력되는 클럭에 1 펄스가 삽입되어 복원 클럭의 Low 레벨이 High 레벨보다 마스터 클럭의 1펄스가 줄어들게 된다. 그러므로, 복원된 클럭의 High 레벨 폭은 일정하지만 Low 레벨 폭은 1.024 MHz 클럭의 1클럭 만큼 편차가 존재함을 알 수 있다. 이는 데이터 1주기의 1/64이며 백분율로 표현하면 1.6%가 된다.

## 3. 동기 돌입 시간

동기 돌입 시간은 임의의 기준 펄스가 입력 데이터의 중앙 지점까지 도달하는데 걸리는 시간을 의미하며 이 시간은 통신의 초기지연을 결정하는 요인으로 작용하므로 짧을수록 좋다. 그림 7은 Mod 64 계수기의 값에 따른 기준 펄스의 상태 천이를 보여준다. 위상 지터가 없을 때에 기준펄스가 Mod 64 계수기의 값이 0에서 출발하거나 63에서 출발하여 계수기의 값이 32까지 도달하는데 최악의 경우 32번의 데이터 천이가 발생되어야 한다. 그러나, 위상 지터가 존재하면 계수기 값이 32인 상태를 중심으로 기준 펄스가 랜덤한 상태 천이를 하므로 동기 돌입 시간은 길어진다. 따라서, 통신을 시작할 때는 송신 측에서 "1010"의 반복적인 패턴을 보냄으로써 시스템의 초기 동기 돌입 시간을 줄일 수 있다.

실제로, 위상 지터의 최대 허용치가 23.8%일 때 동기가 이루어지는 동작범위는 위상 지터를 제외한 나머지 부분인 52.4%이므로 동기 시간은 현저히 줄어들게 된다. 위상 지터가 존재할 때는 기준 펄스의 상태 천이가 랜덤하게 발생하며, 이 경우의 동기 돌입 시간은 Random Walk 모델을 이용하여 추정이 가능하다<sup>(2)</sup>.

입력 데이터 중에 연속적인 "Zero" 또는 "One"이 발생될 때에는 Mod 64 계수기는 리셋이 안되고 반복 계수를 한다. 이때에 기준 펄스는 항상 계수기의 값이 32인 상태를 향해 이동하므로, 데이터 천이가 일정 기간 동안 없다가 데이터 천이가 발생하더라도 데이터 동기가 이루어지는 특성을 가지고 있다.

## V. 실험 및 결과

실제된 동기회로는 Xilinx LCA(Logic Cell Array)

로 구현하였으며, 16 Kbps NRZ 신호를 인가하여 성능 시험을 실시하였다. 회로 시험은 그림 8과 같이 HP3780 BER Tester에서 16 Kbps NRZ 신호의 PRBS (Pseudo Random Binary Sequence) 패턴을 생성하는 동기회로에 가할 때 복원된 클럭과 데이터를 BER Tester에 연결하여 BER 시험을 하였다. 그림 9는 주기가  $2^{20}$ -인 PRBS 신호와 복원된 데이터와 클럭을 보여준다. 위상 지터 시험은 실질적인 랜덤 지터 발생이 어렵기 때문에, 입력 NRZ신호를 High 레벨의 폭이 25%일 때와 Low 레벨의 폭이 25% 일때에 대하여 데이터와 클럭이 복원되는지를 확인하였다. 그림 10과 그림 11은 High 레벨의 폭과 Low 레벨의 폭이 각각 25%일 때의 입력 신호와 복원된 데이터 및 클럭을 보여 준다. 위상 지터의 허용값이 이론적으로는 23.8%이나 측정치가 25%인 것은 Low 레벨과 High 레벨 Duty를 동시에 인가한 상태에서 측정하지 않고 개별적으로 측정했기 때문인 것으로 판단된다. 복원 클럭 편차 시험은 NRZ 데이터 입력에 주기가  $2^{20}$ -인 16 Kbps의 PRBS신호를 인가하고 64 분주기에서 출력된 복원 클럭의 흔들림에 대해 최대치를 장시간에 걸쳐 측정하였다. 복원 클럭 편차의 측정 결과는 988 nsec이며 이는 16 Kbps 한주기의 1/64인 1.024 Mbps의 한주기로서 설계 목표와 일치함을 알 수 있었다.

## VI. 결 론

디지털 랜덤 NRZ 신호로부터 안정한 클럭을 추출하기 위한 비트 동기 알고리즘을 제안하여 논리회로로 설계하였다. 설계된 동기 회로의 성능을 분석하였으며 실험을 통해 비트 동기의 기본적인 기능과 성능을 확인하였다. 이 동기회로는 16 Kbps NRZ 신호로부터 데이터 천이를 검출하고, 이를 기준으로 Mod 64 계수기에서 0에서 63까지 순차적으로 반복하여 계수하여 매 데이터 마다 위상값을 계산하고, 계산된 위상 값에 따라 기준 펄스의 위상을 1.024 MHz 클럭의 한 펄스 시간만큼 보정한다. 입력 신호에 대한 위상 지터의 최대 허용치가 이론적으로 23.8%이었으며, 16 Kbps NRZ 신호의 Low 레벨 폭과 High 레벨 폭이 25%인 입력신호에 대해 각각 데이터와 클럭이 복원된다는 것을 실험을 통하여 확인하였다. 복원 클럭의 주기는 입력신호의 지터특성에 따라 1.024 MHz 클럭이 삭제 또는 추가되어 변화하므로 1.6%의 편차가 존재하게 된다. 이 방식은 동기 돌입이 입력

데이터의 32번의 데이터 천이 이내에 이루어지고, 연속적인 "Zero"나 연속적인 "One"인 데이터 패턴에 대한 강인한 동기 특성을 가지고 있다.

설계된 동기 회로는 입력 신호의 위상 지터가 크고 데이터 천이가 연속적으로 나타나지 않는 디지털 랜덤 신호에 대해 효과적이며, 데이터 클럭보다 높은 상위 마스터 클럭을 사용하므로 주파수가 높은 클럭이 요구되는 문제가 있으므로 비교적 데이터 전송 속도가 낮은 데이터 동기에 적합하다. 앞으로는, 랜덤한 위상 지터에서의 동기 돌입시간과 동작 범위에 관한 이론적인 성능 분석에 관한 연구가 필요하다고 생각된다.

## 참 고 문 헌

1. 오현서, 박채민, 이홍섭, "데이터 위상 추적 방식의 디지털 랜덤 비트 클럭 추출," WISC '91, ETRI, 1991. 10.
2. Jack K. Holmes, "Performance of a First-Order Transition Sampling Digital Phase-Locked Loop Using Random-Walk Models," IEEE Trans. on Commun., Vol. Com-20, pp. 119~131, March 1966.
3. Floyd M. Gardner, *Phase-lock Techniques*, John Wiley & Sons. Inc., 1979.
4. James R. Cessna and Donald M. Levy, "Phase Noise and Transient Times for a Binary Quantized Digital Phase-Locked Loop in White Noise," IEEE Trans. on Commun. Vol. Com-20, No.2, pp. 94~164, Apr. 1972.
5. Hisao Yamamoto and Shinsaku Mori, "Performance of a Binary Quantized All Digital Phase-Locked Loop with a New Class of Sequential Filter," IEEE Trans. on Commun. Vol. Com-26, No. 1, pp. 35~45, Jan. 1978.
6. Donald G. Troha, "Digital Phase-Locked Loop Design using SN54/74297," Texas Instruments Application Report, 1982.
7. Engel Rosa, "Analysis of Phase-Locked Timing Extraction Circuits for Pulse Code Transmission," IEEE Trans. on Commun. Vol. Com-22, No.9, pp.1236-1249, Sept. 1974.
8. Henry Beker and Fred Piper, "Cipher System," John Wiley & Sons. Inc., 1982.

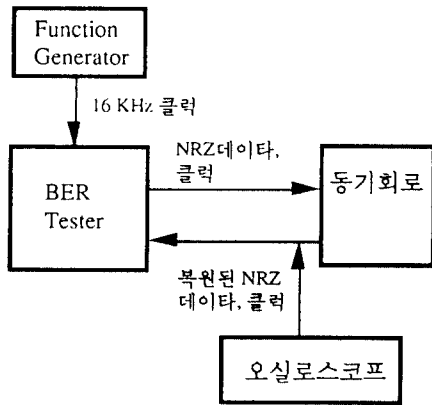


그림 8. 비트 동기 시험 구성도  
Fig 8. Test Configuration of Bit Synchronizer

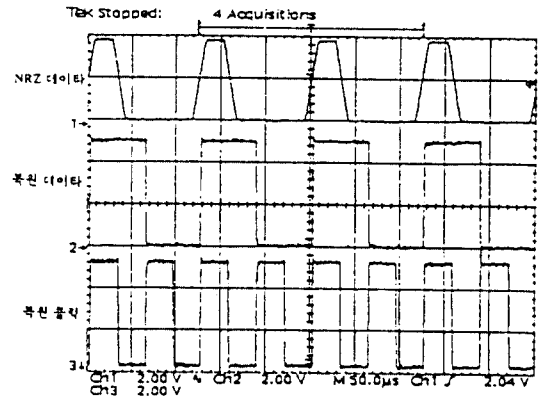


그림 10. High레벨 폭이 25% 일때 클럭 복원  
Fig 10. Clock Recovery in 25% High Level Width

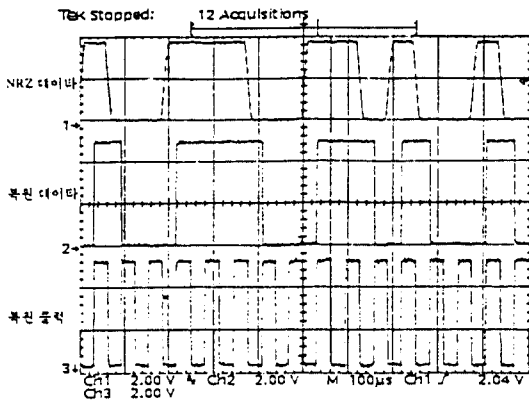


그림 9.  $20^{20}-1$  PN 패턴에 대한 클럭 복원  
Fig 9. Clock Recovery for  $20^{20}-1$  PN Pattern

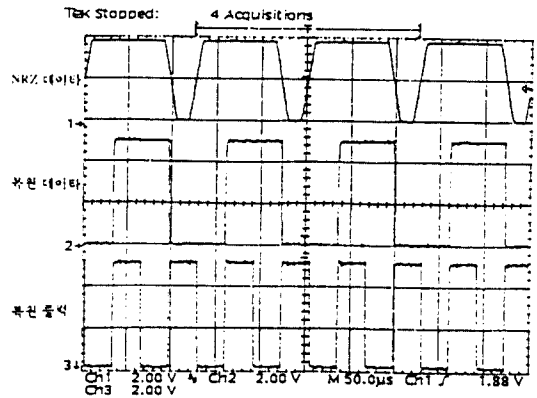


그림 11. Low 레벨 폭이 25% 일때 클럭 복원  
Fig 11. Clock Recovery in 25% Low Level Width





吳 鉉 瑞(Hyun Seo Oh) 정회원  
1982년 : 숭실대학교 전자공학과 졸업(학사)  
1985년 : 연세대학교 대학원 전자공학과 졸업(석사)  
1993년 : 연세대학교 대학원 전자공학과 박사과정  
1982년 2월 ~ 현재 : 한국전자통신연구원 선임연구원



朴 相 泳(Sang Young Park) 正會員  
1965年 9月 11日生  
1989年 2月 : 서울시立大學校 電子工學科 卒業(工學士)  
1991年 2月 : 서울시立大學校 電子工學科 卒業(工學碩士)  
1991年 2月 ~ 現在 : 韓國電子通信研究所 研究員



白 昌 鉉(Chang Hyun Baek) 正會員  
1958年 9月 3日生  
1989年 8月 : 大田國立産業大學 電子工學科 卒業(工學士)  
1982年 3月 ~ 現在 : 韓國電子通信研究所 技術員



李 弘 鑾(Hong Sub Lee) 正會員  
1953年 6月 24日生  
1979年 2月 : 漢陽大學校 電子工學科 卒業(工學士)  
1985年 2月 : 漢陽大學校 電子工學科 卒業(工學碩士)  
1980年 ~ 現在 : 韓國電子通信研究所 責任研究員