

평판 표시기용 비정질 실리콘 박막 트랜지스터의 전기적인 특성과 수학적인 모델

(Electrical Characteristics and Mathematical Model of
Amorphous Silicon Thin Film Transistor for Flat Panel Display)

崔昌柱* · 李愚宣** · 金炳仁***

(Chang-Joo Choi · Woo-Sun Lee · Byung-In Kim)

요 약

평판 디스플레이용 비정질 실리콘 박막 트랜지스터의 전기적인 특성과 수학적인 모델에 대하여 연구되었고 이론적인 모델은 실험을 통하여 그 타당성을 입증하였다. 게이트전압이 고정된 상태에서 드레인 전압 증가에 따른 드레인 포화전류는 증가되었고 디바이스의 포화는 드레인 전압이 증가될 수록 더 증가되었으며 문턱전압은 감소되었다. 세 개의 변수로 구성된 디바이스의 전달특성과 출력특성에 대한 실험 결과값에 대한 모델식이 제시되었는데 이 모델은 디바이스의 기하학적인 구조를 간단화 하기위한 모델식이다.

Abstract

Electrical characteristics and mathematical model of staggered amorphous silicon thin film transistor for flat panel display is studied and experimentally verified. It was determined that the saturated drain current increased at a fixed gate voltage and the device saturated at increasingly larger drain voltages while the threshold voltages decreased.

The results show that the experimental transfer and output characteristics at several voltages are easily modeled. The model is based on three functions obtained from the experimental data of I_D versus V_G . Theoretical results confirm the simple form of the model in terms of the device geometry.

1. 서 론

비정질 실리콘은 반도체 디바이스 응용에 관한 물질로서 1970년대 초부터 관심을 갖게 되었으며 비정질 실리콘이 단결정 실리콘과 비슷한 특

*正會員 : 조선대학교 공과대학 전기공학과 교수

**正會員 : 조선대학교 공과대학 전기공학과 교수 · 공박

***正會員 : 조선대학교 대학원 전기공학과 박사과정

接受日字 : 1994年 4月 2日

정을 가지고 있기 때문에 반도체 소자에 비정질 실리콘을 이용하기 위해 연구되었다. 반도체 제조 공정상 증착하기 쉽고 많은 물질 들중 큰 면적에 균일하고 쉽게 증착할 수 있는 평판표시기용 비정질 실리콘 박막트랜지스터(a-Si:H TFT)는 CCD(charge coupled device)¹⁾, 반도체 표시기, 고체 영상 감지기²⁾, 박막형 논리회로³⁾, 랩-탑(lap-top) 컴퓨터⁴⁾, HD-TV등에 이용되는 표시기의 새로운 반도체 소자로서 이용이 증가되고 있다. 수소화된 비정질 실리콘(Hydrogenated Amorphous Silicon)은 이동도가 낮은 국부적인 상태밀도를 갖을 수 있고 a-Si:H의 전자적인 특성을 제어할 수 있도록 n형 혹은 p형으로 도핑할 수 있기 때문에 디바이스 개발 연구대상이 되어 왔다. a-Si:H TFT에서는 MOSFET에서와는 반대로 반도체 표면에서 반전층이 생성되지 않고 증가형 채널이 생성되며 채널의 생성과정은 게이트 전압이 프랫 밴드전압보다 적을 경우에 채널의 공핍층이 형성되고 게이트 전압이 프랫 밴드전압보다 커지게 되면 채널에는 활성화 전자가 생성된다. 게이트 전압을 더욱더 증가시키면 문턱전압보다 커지게되고 완전한 전도 채널이 형성되어 TFT의 전압 대 전류 특성과 게이트전압을 측정할 수 있게 된다.

비정질 실리콘 박막 트랜지스터는 각각의 cell에서 능동 스위칭 matrix에 대해 적당한 on 또는 off current를 갖는다. a-Si:H TFT 제조공정 과정에서 TFT의 a-Si층과 SiNx층의 260°C의 저온 증착공정은 600°C 이상의 고온인 MOS-IC 제작공정 보다 공정상 큰장점이 있다. TFT의 회로를 더 광범위 한 곳에 응용하여 실용화하고 상용화를 목적으로 개발하기 위한 중요한 이슈 중의 하나로서 TFT의 제작 및 각종 특성에 관계되는 정확한 I-V특성과 수학적모델 개발에 대한 연구가 요구되고 있다. Neudeck et al^{5)~9)}는 a-Si:H TFT를 여러가지 구조로 모델화 하여 I_D-V_D 특성을 모델링하고 해석한 바 있다. 본 연구에서는 첫째, 게이트가 매몰된(burried gate)스태거형 비정질실리콘 박막트랜지스터를 PECVD저온공정법으로 제작하였고 둘째, TFT의 전기적인 특성을 실험하여 TFT전달특성과 출력특성을 측

정하였으며 셋째, 드레인 포화전류를 구할 수 있는 지수 함수적인 방정식을 구하여서 측정된 실험값과 계산된 방정식의 결과와 비교하였으며, 넷째 TFT게이트 전압 증가에 따른 C_{GS} 및 C_{GSD} 캐패시턴스 변화특성이 실험적을 측정되고 연구되었다.

2. 수학적인 모델

Neudeck et al⁶⁾에서 a-si:H TFT의 드레인 전류 I_D 는 다음식과 같이 나타내었다.

$$I_D = W G_s \frac{dV_o(y)}{dy} \quad (1)$$

여기서 W 는 채널의 폭이고 G_s 는 채널의 sheet conductance 그리고, $V_o(y)$ 는 밴드 구부러짐이 없는 곳에서의 공간전하층의 전위이다. 식(1)을 적분하면 드레인 전류 I_D 는 다음식으로 나타낼 수 있다.

$$I_D = \frac{W}{L} \int_{V_a}^{V_D} G_s(V) dV \quad (2)$$

여기서 V_a 는 소오스 측 전위이고 V_D 는 드레인 측 전위이며, L 은 채널의 길이이다. 식(2)는 a-Si:H TFT의 포화영역에서 게이트전압 V_G , 문턱전압 V_T , 지수적 계수 η 를 파라미터로한 드레인 전류의 새로운 모델의 식(3)으로 나타낼 수 있다.

$$I_D = K(V_G - V_T)^\eta \quad (3)$$

여기서 드레인 전류를 결정하는 변수인 η 는 실제적으로 a-si 경계면층인 국부적인 bulk state에서 결정된다. 모델식에서 드레인 전류는 트레시홀드 전압 V_T 와 지수적 계수인 η 와 K 에 의존하게 된다.

A-si경계면의 두점에서 band tail에 의한 상태 밀도를 N_s 라 하면 N_s 는 일반적으로 나타나는 지수함수적인 표현의 식인 다음식 (4)로 나타낼 수 있다.

$$N_s = N_{s0} e^{\beta(E-E_0)} \quad (4)$$

그리고 반도체와 절연체상의 증착 조건에는 서로 차이가 있으므로 이 차이값이 되는 η 는 식(5)와 같이 나타낼 수 있다.¹⁰⁾

$$\eta = \frac{0.95q}{KT\beta} + \eta_0 \quad (5)$$

여기서 η_0 값은 1로서 온도와는 독립된 항이다. V_T 는 K가 지수함수적으로 증가함에 따라 선형적으로 감소하게 되며 본 실험에서 제작된 TFT에서 $V_T=4.8V$, $\eta=2.25$, $K=3 \times 10^{-8}$ 이다.

게이트 채널에서의 총 패캐시턴스는 C_{GD} 와 C_{GS} 를 합한 것으로 전적으로 게이트전압에 의존하게 되고 $V_G < V_T$ 인 경우 C_{GS} 와 C_{GD} 는 각각 다음과 같은 일반적인 식으로 나타낼 수 있다.

$$C_{GS} = 1/2 C_{OX} WL \quad (6)$$

$$C_{GD} = 1/2 C_{OX} WL \quad (7)$$

여기서 W는 채널폭이고 L은 채널길이이며 C_{OX} 는 옥사이드(oxide)층의 패캐시턴스로서 $C_{OX} = K_{OX} / x(\epsilon_0 / t_{OX})$ 로 나타낼 수 있으며 K_{OX} 는 C_{OX} 를 결정하는 옥사이드층의 상수이다.

$(V_T + V_{DS}) > V_G > V_T$ 인 경우에는 각각 다음 식으로 된다.

$$C_{GD} = 2/3 C_{OX} [1 - (V_{GS} - V_T)^2 / (V_{GD} - V_T + V_{GS} - V_T)^2] WL \quad (8)$$

$$C_{GS} = 2/3 C_{OX} [1 - (V_{GD} - V_T)^2 / (V_{GD} - V_T + V_{GS} - V_T)^2] WL \quad (9)$$

TFT에 오버랩이 있는 경우 C_{GSD} 와 C_{GD} 의 캐패시턴스는

$$C_{GSD} = C_{OV,D} + C_{OV,S} = C_{GSD}(V_{FB})$$

$$C_{GD} = C_{OV,D} = C_{GD}(V_{FB}) \quad (10)$$

$$C_{GS} = C_{OV,S} = C_{GS}(V_{FB})$$

여기서 $C_{OV,D}$ 는 드레인 오버랩 캐패시턴스이고 $C_{OV,S}$ 는 소오스 오버랩 캐패시턴스이며 V_{FB} 는 포랫밴드 전압이다. 게이트전압이 증가채널을 형성할 수 있도록 충분히 증가하면 캐패시턴스는 증가되고 측정할 수 있게 된다.

3. TFT소자의 제작

TFT제작을 위한 사진식각 마스크 패턴은 모두 3장으로 설계하였는데 첫번째 마스크는 게이트 패턴용이고, 2번째 마스크는 SiN_x a-Si:H 증착용 패턴이며, 3번째 마스크는 드레인과 소오스 증착용 패턴이다. TFT의 마스크 레이아웃은 Tektronix 4125P칼라 그래픽 터미널에서 BRUTUS 에디터를 이용하여 설계하였고 이와같이 설계된 TFT는 GYREX pattern generator(MD-

1005)로 전송하여서 photoplate mast를 직접 제작하였으며 채널폭 950(um), 채널길이가 각각 25, 50, 100, 150(um)인 TFT 4개를 하나의 실리콘 웨이퍼 다이(die)에 제작하였다. Inverted스태거형 a-si:H TFT의 구조는 그림1과 같다. 웨이퍼는 (100)방향 실리콘 웨이퍼를 사용하였으며 1100°C에서 200(Å)의 실리콘 옥사이드를 성장하였다. 게이트는 크롬(Cr)을 스퍼터에 의해서 증착하였으며, Silicon Nitride(SiN_x) 증착을 위해서 SiH_4 (= 5 SCCM), NH_3 (=50 SCCM) 그리고 N_2 (=50 SCCM) 비율로 gas혼합 방법에 의하여 PECVD chamber에서 진행하였으며 PECVD의 전력은 81.6m(W/cm²)이고 chamber내의 압력은 613(mT)이다. PECVD에 의해 증착된 두께는 1500(Å)이고, SiH_4 gas를 PECVD chamber에서 깨끗이 없앤후에 a-Si를 PECVD reactor전력 9.8m(W/cm²)에서 260°C의 온도를 700(Å)증착하였다. SiH_4 압력은 350(mT)이고 flow rate는 50 SCCM이며 SiN_x 와 a-Si:H가 형성된 후 30(KeV) energy로 1×10^{16} (ion/cm²)의 인(P) 이온을 주입하여 드레인 소오스 오믹 콘택을 형성하였다. 채널부의 이온주입 공정은 a-Si 윗 부분에 2중 PR작업으로 하여 소오스, 드레인에 이온주입한 후 전면에 알루미늄(Al) 증착하고 아세톤으로 lift-off하였다. 스퍼터에 의한 알루미늄 metalization공정은 200°C의 dry nitrogen/hydrogen분위기에서 30분간 어닐링한 후에 진행하였다. 본 실험에서는 제작된 두개의 디바이스를 packaging하여 사용하였으며 두개 디바이스 실험결과와 평균값을 취하여 그 결과 값을 컴퓨터 분석에 의하여 자동적으로 컴퓨터에 저장되도

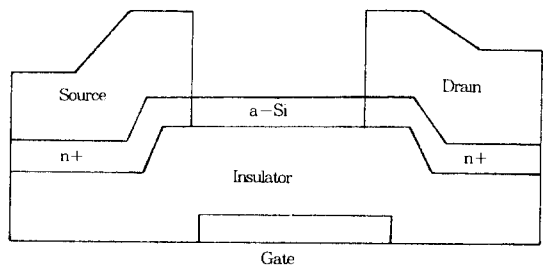


그림 1. 스태거형 TFT의 단면도
Fig. 1. Cross section of inverted staggered a-Si:H thin film transistor

록 하였고, 그 결과를 plotting하도록 하였다.

4. 실험결과

문턱전압은 $\eta\sqrt{I_D}$ 와 V_G 곡선중의 선형부분을 컴퓨터 분석에 의하여 선택한 후 직선을 그어서 얻을 수 있는데 반도체 파라메타 분석기에 의해서 자동적으로 plotting되었다. 드레인 전압이 15V에서 TFT의 게이트 전압증가에 따른 포화 드레인 전류의 관계를 그림 2,3에 나타낸다. 드레인 전압이 고정된 상태에서 다음식(8)을 이용하여 η , V_T 와 K값을 구하였다.

$$\eta\sqrt{I_D} = K^{\frac{1}{n}} (V_G - V_T) \quad (11)$$

또 η , V_T , K값을 반복하여 계산하기 위하여 간단한 컴퓨터 프로그램을 작성하였으며 이 프로그램은 이들 값에 대한 자기정수가 얻어질 때까지 반복계산하여 이들 값을 구하였다. 기울기의 η 승으로 결정되는 K값은 그림3과 같이 선형화된 드레인 전류에서 컴퓨터를 이용한 simple curve fit방법에 의하여 구하였다.

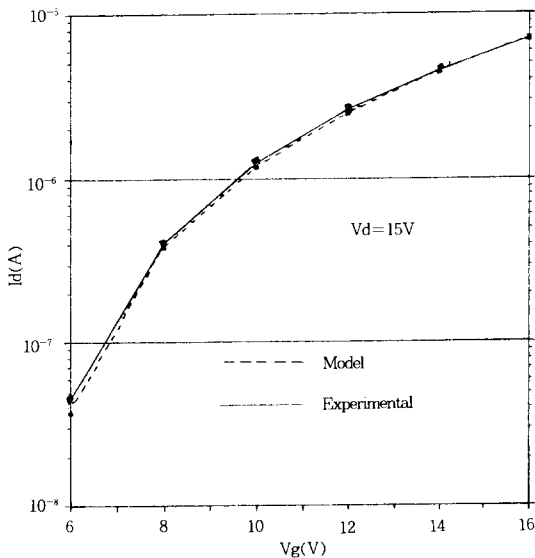


그림 2 TFT의 전달특성 곡선, 실선: 실험값, 점선: 수식에 의한 모델값

Fig. 2. Experimental and modeled I_D - V_G transfer characteristics of a TFT. Solid line—experimental data; dotted line—modeled

식 (5), (6), (7)을 이용하여 식(3)에 의해서 모델링 된 드레인 전류는 그림2와 같고 측정된 실험결과 값과 잘 일치됨을 보였다. 드레인전류는 게이트전압이 증가함에 따라서 지수함수적으로 증가되었고, 게이트 전압을 5[V]-16[V] 범위로 각각 고정시켰을 때 선형화 한 포화드레인 전류 관계를 계산값과 실험에 의한 결과값과 비교하여 그림 3에 나타낸다. 드레인 전류는 게이트 전압이 증가됨에 따라서 증가되었고, 게이트전압의 모든 영역에 걸쳐서 모델과 잘 일치 되었다. 국부적인 에너지 갭(gap)상태에서 확대되어진 상태까지의 전자의 활성화 에너지는 게이트 전압이 증가함에 따라서 감소되어 결과적으로 증가되어진 드레인 전류의 차이는 적게 되었다. 디바이스 모델이 국부적인 상태에서 큰 에너지상태밀도를 갖기 때문에 모델에 사용된 식은 스퍼터와 프라즈마 증착에 의해서 제작된 TFT디바이스에 주로 적용된다.

그림 4는 게이트전압 10V일 때 TFT의 출력특성 즉, 드레인전류와 드레인전압특성을 실험에 의한 결과 값과 모델에 의해서 계산한 값과의 비

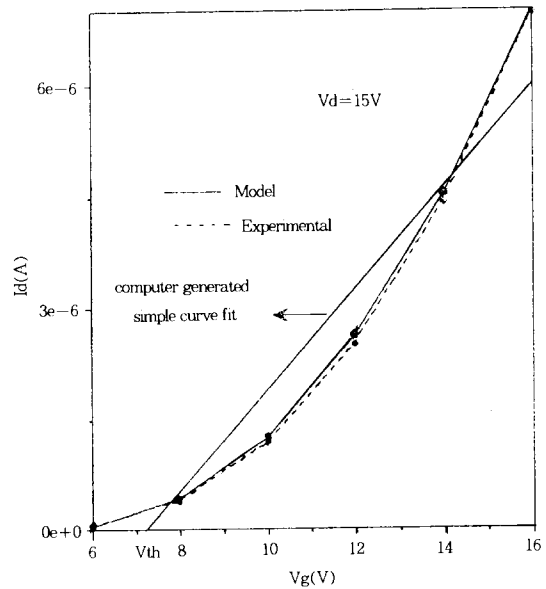


그림 3. 게이트 전압증가에 따른 드레인 전류의 변화 비교
Fig. 3. The comparison of the drain current by increasing gate voltages

교 결과를 나타내는데 포화드레인 전류의 포화점은 4.5[V]이상의 높은 드레인전압에서 발생하였고 모델식에 의한 값은 실험에 의한 값과 잘 일치함을 보였다. 그림 5는 게이트전압을 8[V]에서 16[V]

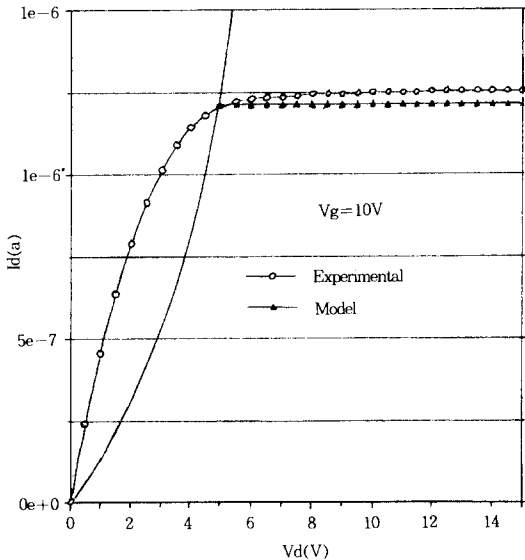


그림 4. 출력특성 곡선의 실험값과 이론값의 비교
Fig. 4. The comparison of measured and modeled output characteristics

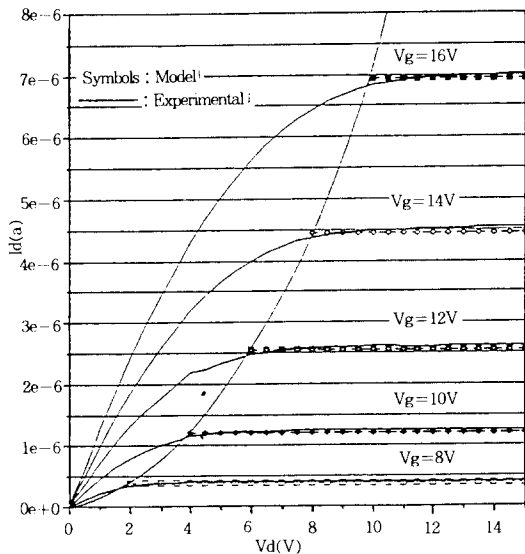


그림 5. V_D 와 V_G 의 증가에 따른 드레인 전류 곡선의 실험 값과 이론값의 비교
Fig. 5. Experimental and modeled drain current comparison by increasing V_D , V_G .

까지 증가시켰을 경우 드레인 전류의 포화점에서 드레인 전압은 게이트 전압이 증가할 수록 증가함을 보였고, 드레인 전압 증가에 따른 선형화 드레인 전류는 모델에 의한 값과 실험에 의한 값이 잘 일치 됨을 보였다.

그림 6은 게이트전압을 4~16[V]로 증가시켰을 때에 컴퓨터에 의해서 자동적으로 측정되어 그려진 본 연구에서 제작된 TFT의 DC출력특성 곡선을 나타내는데 드레인전압 증가에 따른 포화 드레인전류는 게이트전압이 높아질수록 증가되었으나 드레인전류의 상승폭은 점차로 감소됨을 보였다.

그림 7은 게이트전압-10[V]부터 20[V]까지 인가시켰을 때 실험된 C_{CS} 값의 변화를 나타내고 그림 8은 C_{CS} 값의 변화를 나타낸다. 이 C_{CS} 값과 C_{CS} 값은 0[V]이하에서는 낮은 값을 나타냈고 0[V]이상에서는 0[V]이하에서 보다도 더 높은 값을 나타내어서 전형적인 MOS C-V특성과 같게 되었다.

5. 결론

본 연구에서는 PECVE방법에 의해서 제작된 스택거형 a-si:H TFT의 드레인 전류에 대한 전달특성과 출력특성을 실험적으로 측정하였으

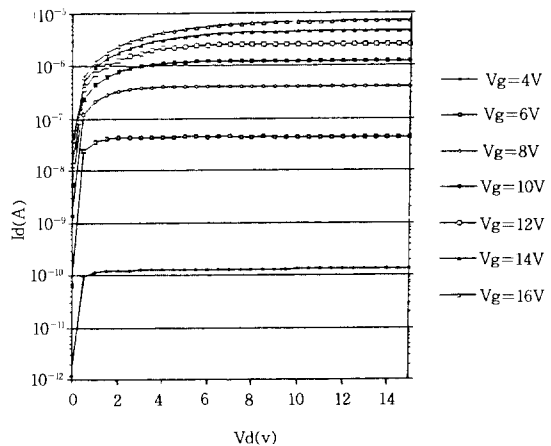


그림 6. 제작한 TFT의 출력특성 곡선
Fig. 6. Computer measured output characteristic curves of fabricated TFT at several gate voltages.

며, 측정된 모델에 사용할 수 있는 식을 해석하고 분석하였다. 제시된 방정식은 TFT포화전류 특성 해석을 위한 모델의 식으로 본 모델식의 타

당성이 실험적으로 증명되었으며 제시된 식은 변수를 가지는데 이 변수를 결정하는 방안이 제시되었다. TFT게이트 전압이 증가함에 따라서 포화 드레인 전류는 증가함을 보였는데 지수함수적인 특성을 보였으며, 드레인전압이 일정값까지 증가되면 일정한 드레인 전압에서 드레인전류는 포화됨을 나타내었다. 드레인 전압증가에 따른 드레인전류특성인 TFT출력특성 곡선에서 포화드레인 전류는 게이트전압이 높아질수록 증가되었으나 드레인전류의 상승폭은 점차로 감소를 나타냈으며 본 방정식에 의한 포화 드레인 전류의 모델링 결과는 실험에 의한 결과값과 잘 일치 되는 경향을 나타내었다. TFT캐패시턴스 특성에 대하여 실험적으로 측정된 결과 0[V]이하에서는 낮은 값을 나타냈고 0[V]이상에서는 0[V]이하에서 보다도 더 높은 값을 나타내어서 전형적인 MOS C-V 특성과 일치하는 경향을 보였다. 또 C_{GS} 및 C_{GD} 값은 게이트전압 -10[V]부터 20[V]까지 증가시키면서 캐패시턴스를 측정된 결과 게이트전압이 0[V]를 지나면서 지수함수적으로 증가하는 특성을 보였다.

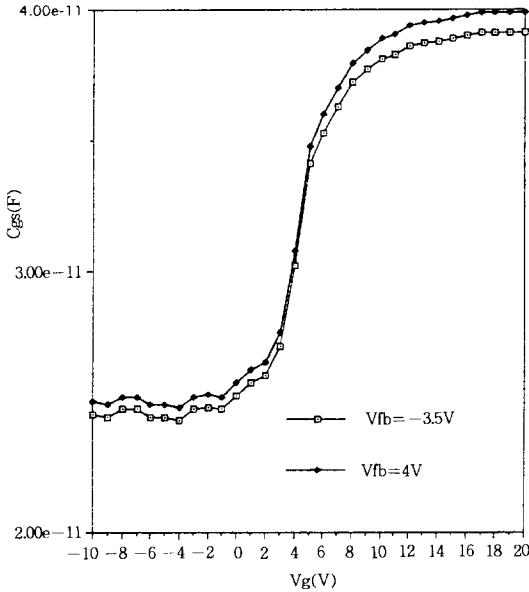


그림 7. 게이트 전압증가에 따른 C_{GS} 값의 변화
Fig. 7. C_{GS} variation by increasing gate voltage.

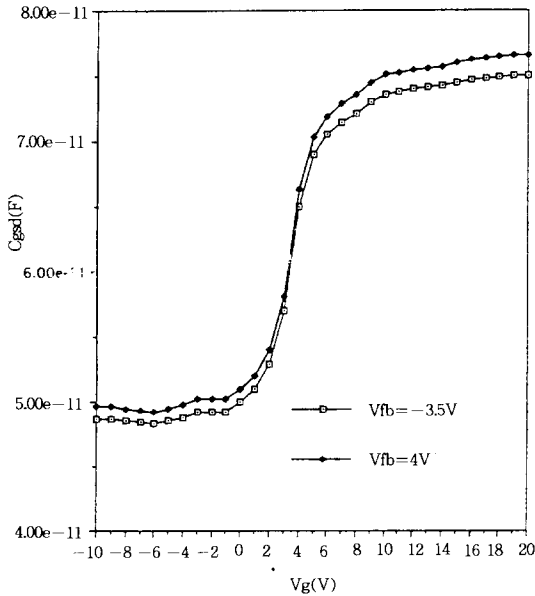


그림 8. 게이트 전압증가에 따른 C_{GSd} 값의 변화
Fig. 8. C_{GSd} variation by increasing gate voltage.

이 논문은 1993년도 조선대학교 교수 해외 파견 연구비의 지원을 받아 연구되었음.

참고 문헌

- 1) Y. Nara, Y. Kudou and M. Matsumura, "Application of amorphous field effect transistor in 3-dimensional integrated circuits", Japanese Journal of Applied Physics, vol. 22, no. 6, pp L370~L372, June 1983.
- 2) y. Nara and M. Matsumura, "An amorphous silicon integrated inverter", IEEE Trans. Electron Devices, vol. ED-29, no. 10, pp. 1646~1649, 1982.
- 3) F. OKumura and S. Kaneko, "Amorphous Si : H linear image sensor operated by a-Si : H TFT array," Proc. Materials Res. Society Symposium, vol. 33, M. J. Thompson Ed. New York : North Holland, pp 275~280, 1984.
- 4) T. L. Credelle, "Recent trends in color avionic LCD's", Soc. Information Display, vol. 3, no. 10, pp 15~18, Nov. 1987.
- 5) G. W. Neudeck, A. K. Malhotra, "An amorphous silicon

- thin film transistor : Theory and experiment", Solid State Electronics, vol. 19, pp 721~729, 1976.
- 6) G. W. Neudeck, K. Y. Chung and H. F. Bare, "A simplified model for the static characteristics of amorphous silicon thin film transistors", Solid States Electronics, vol. 29, no. 6, pp 639~645, 1986.
 - 7) G. W. Neudeck, H. F. Bare and K. Y. Chung, "Modeling of ambipolar a-Si:H thin film transistors", IEEE Trans. Electron Devices, vol. Ed-34, no. 2, pp. 344~349, Feb. 1987.
 - 8) Woo-Sun Lee, Gerold W. Neudeck, Shenwen Luan, "A model for the temperature dependent saturated I_D-V_D characteristics of an a-Si:H TFT", IEEE Electron Devices, vol 38, no. 9, pp 2070~2074, Sept. 1991.
 - 9) K. Y. Chung, G. W. Neudeck, "Transient analysis of the CMOS like a-Si:H TFT inverter circuit", IEEE Solid States Circuits, vol. 24, no. 3, pp 833~829, 1989.
 - 10) R. Bashir, C. Subramanian, G. W. Neudeck and K. Y. Chung, "Delay time studies and electron mobility measurement in an a-Si:H Tft", IEEE Electron Devices, vol. 36, no. 12, pp. 2944~2948, Dec. 1989.

◇ 著 者 紹 介 ◇



최 창 주(崔昌柱)

1940년 7월 26일생. 1966년 조선대 공대 전기공학과 졸업. 1981년 조선대 대학원 전기공학과 졸업. 1993년 미국 Missouri대학교 전기공학과 객원교수. 1994년 현재 조선대 공대 전기공학과 교수.



김 병 인(金炳仁)

1951년 1월 5일생. 1979년 조선대 전기공학과 졸업. 1984년 조선대 산업대학원 전기공학과 졸업(석사). 1983~91년 아시아자동차공업(주) 설비보전과장. 1991~현재 조선대학교 대학원 박사과정(6학기). 1991~현재 송원전문대학 전기과 전임강사.



이 우 선(李愚宣)

1952년 1월 23일생. 1974년 조선대학교 공과대학 전기공학과 졸업. 1984년 중앙대학교 전기공학과 졸업(공학). 1982~83년(1년) 미국 Massachusetts대학교 전기공학과 문교부 파견교수. 1989~90(1년) 미국 Purdue대학교 전기공학과 한국과학재단파견 포스트 닥터. 1992년 7월 일본 동경공업대학 전기전자공학과 객원 연구원. 현재 조선대 공대 전기공학과 교수.