

# 강유전체 박막의 제조기술 및 응용

기술해설 1

## Fabrication Techniques and Applications of Ferroelectric Thin Film

최준후, 이승석, 김호기  
(Joon-Hoo Choi, Sung-Suk Lee, Ho-Gi Kim)

Key Words(중요용어) : Ferroelectric(강유전체), Thin Film(박막), Application(응용)

### 1. 서 언

강유전체 재료(Ferroelectric Material)는 전기절연체 재료중 유전체(dielectric)재료로서 구성하고 있는 원자들의 배열 대칭성(symmetry)에 따라 분류했을때 최하부 구조에 속하는 재료이다. 이들은 즉, 유전(dielectric), 압전(piezoelectric), 초전(pyroelectric)특성을 동시에 가지며 외부에서 전장(electric field)을 인가했을때 재료의 분극(polarization) 방향이 가역적으로 변화될 수 있는 재료를 말한다. 이들이 가지고 있는 독특한 성질들은 첫째, 영구 쌍극자 사이의 정전기적 상호 작용이 강하며 외부 전기장이 없어도 유전분극이 야기되는 자발분극(spontaneous polarization)을 가지며, 둘째, 강유전 분역구조(ferroelectric domain)로 구성되어 있으며 세째, 분극방향이 외부전장에 의해 이력특성(ferroelectric hysteresis)을 나타내며, 마지막으로 온도증가시 열적효과로 자발분극이 감소하며 큐리점(curie point) 이상에서는 상유전상으로 전이하여 온도에 따른 유전특성이 큐리-바이스(curie-weiss law) 법칙을 따른다.

이들 강유전체재료는 결정학적으로 대부분 페로프스카이트(perovskite) 구조를 가진다. 그림 1에 대표적인 페로프스카이트 구조와 강유전체재료의 전형적인 전기이력곡선(hysteresis loop)을 나타내었다. 대표적인 강유전체 재료의 예를 보면 BT ( $BaTiO_3$ ), PZT( $PbZr_{1-x}Ti_xO_3$ ), PLZT ( $Pb_{1-x}La_xZr_{1-y}Ti_yO_3$ )등이 있다. 이러한 강유전체재료들은 결정학적 특징에서 나오는 유전, 압전, 초전, 강유전특성을 이용할 수 있는 많은 잠재적 응용성을 갖고 있다. 최근에 이러한 강유전체 재료를 박막화함으로써 구동전압을 낮추어 microelectronics분야에 응용하고자 하는 연구가 활발하다.

이러한 강유전체재료를 박막화하는 기술은 기존의 박막화기술을 그대로 적용할 수가 있으며 현재 연구되고 있는 강유전체 박막화기술은 각종 sput-

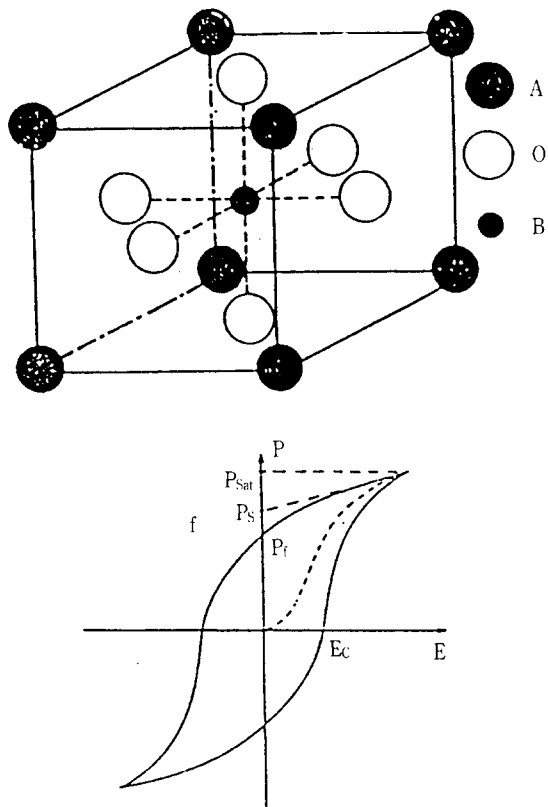


그림 1. ABO<sub>3</sub>형 페로프스카이트 구조 및 전형적인 강유전체의 분극-전계곡선

Fig. 1. Perovskite structure of ABO<sub>3</sub> and Typical P-E hysteresis loop for ferroelectrics.

tering, sol-gel, laser ablation, CVD법 그리고 sol-gel법과 CVD법을 혼합한 LSCVD까지 활발히 연구되고 있다. 이들 기술을 이용하여 강유전체 재료를 박막화 했을때 이들의 특성과 응용분야를 표 1에 나타내었다.

표 1. 강유전체박막의 응용분야

Table 1. Application Areas for Ferroelectric Thin Film.

Properties	Application
Full Hysteresis Switch	Nonvolatile Memory
Partial Hysteresis Switch	Analogue Switching
High Dielectric Constant	DRAM Capacitor Dielectric Layer
Piezoelectrics	Resonators
Pyroelectrics	Infrared Sensor
Electro-Optics	Optical Swith Shutter Display

2. 강유전체 박막기술

강유전체 재료를 박막화하는 데는 기존의 박막화 기술 모두가 적용될 수 있다. 강유전체재료는 구성 원소가 다수로 구성된 복합화합물으로써 합성기구가 매우 복잡하며, 따라서 기존의 단순 증착기구로만으로는 이해하기가 어렵다. 강유전체 박막개발의 초기에는 금속산화물 타겟(target)을 이용한 스퍼터링에 의하여 박막을 형성하였다. 스퍼터법은 장치 및 원료 타겟의 입수가 용이하다는 이점 때문에 현재 가장 많이 사용되고 있으나, 성막속도가 느리고 타겟과 성막의 화학량론적 조성비가 불일치하며 스퍼터링손상에 의해 성막에 결함이나 손상이 생기기 쉽고 피복성(coverage)이 나빠지는 등 스퍼터기술 자체에 문제를 갖고 있어 실용화에 이르기까지는 개선해야 할 요소가 상당히 많다. 현재 강유전체 박막형성방법으로서 실용화되거나 개발되고 있는 성막법으로는 전자빔(electron beam) 증착법, 레이저 증발법, 스퍼터링법 등의 물리적 성막법과 금속유기금속 화학기상퇴적법(MOCVD), 졸겔(Sol-Gel)등의 화학적 성막법이 있다. 이를 반응계가 건식이나 습식이나에 따라 건식 공정(dry process)과 습식공정(wet process)으로 대별하고 있다.(표 2)

지금까지 강유전체박막의 제조사 주로 적용한 박막 합성법은 스퍼터링, sol-gel/MOD, MOCVD가 주로 사용되었다. 스퍼터링 및 sol-gel/MOD법에 의한 강유전체의 박막을 제조할 경우 비교적 용이하게 화학량론을 맞출 수가 있어서 원하는 페로프스카이트를 보다 쉽게 얻을 수가 있으나 단차피복성(step coverage)에 문제가 있는 박막제조법

표 2. 주요성막법

Table 2. Typical Deposition Methods.

건식공정(Dry Process)	물리적 성막법	전자빔(EB)증착법, Laser Ablation, Sputtering
	화학적 성막법	MOCVD법, 클러스터 이온빔(Cluster ion beam)
습식공정(Wet Process)	화학적 성막법	졸 겔법(Sol-Gel), 유기금속 열분해법(MOD)

이다. 전세계적으로 Ramtron(RF diode), Seiko-Epson(RF magnetron), Westinghouse(RF diode), NEC(RF magnetron), Siemens(planar multi-target magnetron), Queens University(Dc magnetron), University of Texas(DC magnetron), KAIST(RF magnetron, RF reactive co sputtering)등에서 성공적으로 강유전체박막을 합성하여 연구가 활발이 이루어지고 있다. 그러나 MOCVD법은 단차피복성(step coverage) 조성조절(composition control), 박막균질성(film uniformity), 높은 박막밀도(high film density), 높은 퇴적속도(high deposition rate), Simple apparatus등의 많은 장점을 가지고 있으나 출발원료물질의 제한과 복잡한 반응 기구에 대한 이해 부족으로 스퍼터링 및 sol-gel/MOD법에 비해 상대적으로 연구결과가 미비한 상태지만 최근 Virginia Tech, Chubu Univ., Mitsubish, Tokyo Inst. Tech, Georgia, 교토대학, KAIST등에서 성공적으로 합성하여 연구가 활발히 진행되고 있다.

강유전체박막을 제조하는 방법의 하나로 미국 시메트릭사와 일본의 마쓰시다 전자공업은 액체소우스 화학기상 퇴적법(LSCVD: Liquid Source Chemical Vapor phase Deposition)을 개발하였고, 시메트릭사와 콜로라도대학은 이 LSCVD법으로 BST, PZT, Y1등의 강유전체 박막을 제조하고 있다.

3. 강유전체 박막의 응용

3-1. DRAM Capacitor 유전막

최근 반도체 메모리 소자의 초고집적화, bit당 cost 삭감이라는 시장요구에 따라 DRAM의 집적도는 4배/3년의 pace로 향상되어 왔으며 현재는 0.8 $\mu$ m rule의 4Mbit DRAM이 양산화되고 0.6 $\mu$ m

rule 제 1세대 16Mbit DRAM이 출하되기 시작했다. 제품개발의 주체는 deep-submicron의 64Mbit DRAM으로 이행되고 연구의 최전선에서는 256 Mbit 기술이 검토되고 있다. 기존의 DRAM 구조에서 안정된 동작을 유지하기 위해서는 최소한 단위 cell당 충전용량이 30fF 이상이 필요한 것으로 알려지고 있으며 그리고 DRAM 동작전압이 점차 5V에서 3.3V 혹은 더 낮은 전압으로 낮아짐에 따라 필요한 충전용량은 더욱 증가하게 된다. Capacitor의 dielectric 박막에 의한 충전용량은 다음과 같은 식으로 표현된다.

$$C = \epsilon_0 \epsilon A/d$$

$\epsilon_0$ 는 진공의 permittivity,  $\epsilon$ 는 dielectric 박막의 유전율 A는 capacitor의 전극면적 그리고 d는 dielectric 박막의 두께이다. 위의 식에서 알 수 있듯이 충전용량의 증가는 dielectric 박막의 두께감소, capacitor면적 증가 그리고 고유전율 재료의 도입으로 꾀할 수 있다. 기존에 사용되고 있는 silicon oxide( $\text{SiO}_2$ ), silicon nitride( $\text{Si}_3\text{N}_4$ ) 혹은  $\text{SiO}_2/\text{Si}_3\text{N}_4$  층은 64Mbit DRAM에서 물리적 한계인 4nm-5nm 에 도달하게 되며 이러한 두께에서는 device의 신뢰성 문제가 심각해진다. Capacitor의 면적을 높이는 방법으로 DRAM cell 구조를 형성하는 transistor와 capacitor를 3차원적으로 공간상에 배치하면 평면구조에 비해 각 소자의 면적과 간격을 넓게 확보할 수 있다. 4Mbit이상의 DRAM에서는 capacitor구조를 trench 혹은 구조형태로 사용되고 있으며 64Mbit 이상에서는 종래의 이들 구조보다 더 복잡한 구조가 요구되고 있다. 최근에는 capacitor의 면적확보를 위해 그림 2와 같은 HSG 공정을 도입하고자 하는 시도도 이루어지고 있다. 그러나 새로운 구조를 갖는 cell은 실제 양산에서 재현성, 신뢰성 그리고 제조 단가등이 문제가 심각해진다. 충전 용량을 늘리는 또 다른 한 방법은 고유전율의 dielectric박막을 사용하는 것이며 이를 사용함으로써 cell구조 및 공정을 간소화할 수 있어 최근에 이 분야에 대한 연구가 많이 이루어지고 있다.

현재 일반적으로 사용되고 있는 silicon oxide, silicon nitride보다 큰 유전율을 갖는 dielectric 재료의 특성을 표 3에 나타내었다.

고유전체는 유전율이 수백으로 높을 뿐만 아니라 고주파수(>100MHz)까지 유전율이 분산되지 않으므로 콘덴서의 용량질연막으로 사용되어 왔고, 대용량 콘덴서의 집적화라든가 DRAM의 고집적화를 위한 용도로 그 활용이 기대되고 있다. 고유전체 재료로서는 BTO( $\text{BaTiO}_3$ ), STO( $\text{SrTiO}_3$ ), PZT( $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ ), BST( $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ )등이 유력하다.

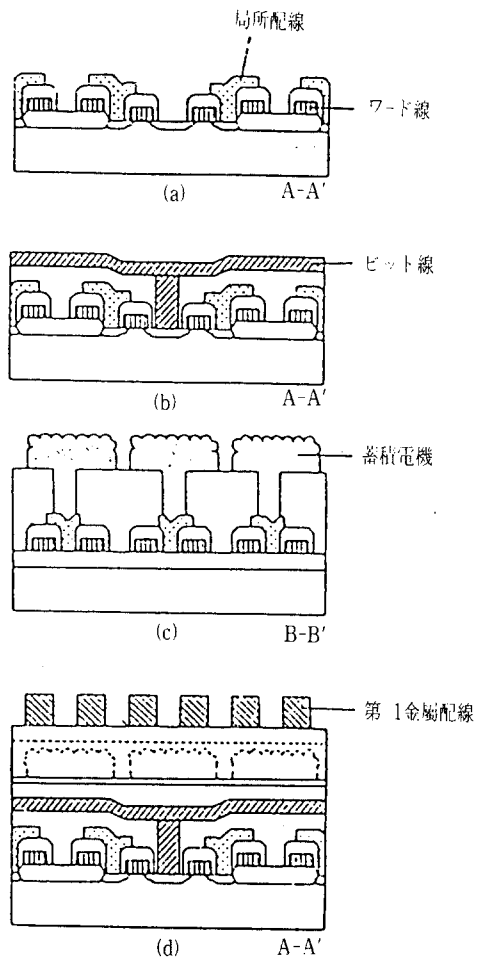


그림 2. HSG 제조공정  
Fig. 2. HSG Process.

표 3. DRAM용 유전체막의 변천  
Table 3. Generations of dielectric films for DRAM.

DRAM	Material	Thickness (Tox)
64K	$\text{SiO}_2$ 단일막	
256K	$\text{SiO}_2$ 단일막	
1M	$\text{SiO}_2/\text{SiO}_2/\text{SiN}$	
4M	$\text{SiN}/\text{SiO}_2/\text{SiN}$ 중막	8nm
16M	$\text{SiO}_2/\text{SiN}$ 2중막	5.5nm
64M	$\text{SiO}_2/\text{SiN}$ 2중막, $\text{Ta}_2\text{O}_5$	3.5nm
256M	$\text{SrTiO}_3$ , BST	2.5nm
1G	PZT	1.5nm

이중에서도 실용 온도 범위에서 유전율이 높고, 또한 우수한 주파수 특성을 얻을 것으로 기대되는 BST에 관하여 광범위한 연구 성과가 얻어지고 있다. 마쓰시다 전자공업이 IEDM '92에서 발표한 BST막(조성:  $x=0.3$ )은  $0.1\mu\text{m}$ 의 박막이면서 500이라는 높은 유전율과 2GHz라는 대단히 높은 주파수 영역까지 유전분산을 일으키지 않는 특성을 실현했음을 제시했다. 또한 이 막의 누설전류(leakage current)는  $2 \times 10^{-9} \text{A/cm}^2$ 로 극히 낮아 집적회로용 실연막으로서 BST막이 유망하다는 것을 보여주고 있다. 이를 가령 현재 널리 사용되고 있는 실리콘 산화막으로 달성하려고 한다면 1nm 정도까지 얇게 해야 할 필요가 있다. 이러한 박막은 실제로 가공이 불가능하며, 또한 특성적으로도 터널전류(tunnel current)에 의한 누설전류가 증가하여 사용할 수가 없다. 이는 유전체 기술이 종래의 집적회로 기술의 한계를 타파할 수 있다는 가능성을 보여주고 있다. 현재 NEC, 도시바, 히타치, 미쯔비시, 후지쓰, 마쓰시다 등이 고유전체 박막을 DRAM 셀의 capacitor용으로 개발하는데 힘을 쏟고 있다. NEC는 64M, 256M DRAM에의 응용 목표, 마그네트론 스퍼터링과 이온빔 스퍼터에 의한 박막이 양호한 특성을 보여줌을 제시했다. 50nm막 두께의  $\text{SrTiO}_3$  ( $\epsilon_r=200$ )와 100nm막 두께의  $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$  ( $\epsilon_r=450$ )를 사용하여  $30\text{F}/0.5 \times 1.4\mu\text{m}^2$ 을 얻어 256M DRAM에의 재료/구조/공정적인 면에서의 가능성을 제시했다( $\epsilon_r$ : 비유전율, fF=femto Farad).

그러나 고유전체박막기술을 도입하는 데에는 아직 문제가 많다. 그중 가장 큰 문제는 LSI 제조비용의 상승과 생산비용과는 별개로 도입전의 평가에 소요되는 시간과 비용문제의 두가지로 압축된다. 전자의 경우 반도체 제조공정에 고유전체박막공정이 새로 추가된다. 적어도 3층 정도의 층수가 증가하게 된다. 반면에 종래대로 프린트 기판에 탑재되어 있는 콘덴서는 아주 저렴하다. 잡음 바이패스 콘덴서로 사용토록 된 콘덴서의 비용은 실장비용을 고려하더라도 그 소요 비용은 낮은 편이기 때문에 아직은 외부장착 콘덴서 보다 내장하는 것이 비싸다. 이에 대해 일본의 마쓰시다 전자공업에서는 기존의 제조설비를 사용할 수 있고, 다만 공정상에서 포토마스크가 3배 증가할 뿐이기 때문에 양산단계에 들어서면 비용은 낮아지게 된다는 주장을 펴고 있다. 후자의 경우 후보가 되고 있는 고유전체는 BST, STO, PZT등인데 이들 어느것도 반도체제조 양산공정에는 사용하고 있지 않다. 게다가 바륨이나 스트론튬 등은 트랜지스터 특성에 영향을 주기 때문에 제조공정 기술자들 사이에서는

사용이 기피되어 왔다. 새로운 재료는 신뢰성 확보에 많은 시간과 비용을 필요로 한다. 용량의 척도가 되는 비유전율은 질화실리콘(SiN)의 수백배가 되지만, 막두께를 지금으로서는 SiN막막처럼 얇게 할 수는 없다. 얇게 하면 비유전율이 급격히 저하해 버린다. 따라서 현재 실현되고 있는 정전용량은 SiN막막의 수십배인 0.1-0.2  $\mu\text{F}$  정도이다. 이들이 실제 메모리 LSI의 바이패스 콘덴서로 널리 사용되기 위해서는 수백배, 즉 10  $\mu\text{F}$  정도 이상 달성되어야 할 것이다. 또한 고속 논리회로의 설계에 있어서는 콘덴서로서 제거되지 않는 잡음, 예를 들면 동시 스위칭의 문제, 전자유도에 의한 잡음에는 콘덴서가 효과가 없다. 배선이 근접해 있으면 급격한 전류변화가 이웃하는 배선에 유도전류를 발생시킨다. 전원을 포함한 잡음의 시뮬레이션을 보다 신중하게 실시하고 이들에 대한 별도의 대책을 강구한 후 콘덴서를 내장할 것인지의 여부를 결정해야 할 것이다. 이렇게 함으로써 비로서 고유전체 박막응용의 가능성이 열리게 된다.

### 3-2. 비휘발성 FRAM

비휘발성 메모리 소자(non-volatile memory)란? 휘발성 소자인 dynamic random access memory(DRAM)나 static random access memory(SRAM)와는 달리 소자에 전원이 공급되지 않더라도 이미 입력된 정보가 상실되지 않고 기억되어 있어 언제든지 저장된 정보를 읽을 수 있는 소자를 의미한다.

#### 3-2-1. Ferroelectric non-volatile memory의 원리

강유전체 박막을 비휘발성 메모리 소자에 응용하고자 하는 생각은 이미 1963년 Moll과 Tarui에 의해서 발표된바 있다. 그 후 많은 연구자들에 의해서 관련 논문들이 보고되고 있으며, 이것들은 다음과 같이 크게 두가지의 개념으로 정리된다.

#### 3-2-2. Non-destructive read-out 방식의 FRAM

이 방식은 그림 3에서 보는 것처럼 transistor의 gate oxide대신 강유전체 박막을 사용하는 아주 간단한 방식으로써 gate에 가해지는 voltage pulse에 의해 강유전체 박막이 영구 분극화(remnant polarization)되어 transistor channel의 전기 전도도를 변화시킴으로써 logic "1"과 "0"를 표현하는 방식이다.

이러한 방식은 구조가 간단하여 소자의 cell density를 높일 수 있을 뿐만 아니라 radiation har-

ness가 좋아 소자의 신뢰도를 향상시킬 수 있고 정보입력시간(write time)이 약 ~10ns 정도로 빠른 장점을 갖는다. 반면 강유전체 박막이 실리콘을 함유하지 않는 금속산화물이므로 강유전체 박막과 실리콘 기판과의 계면에서 실리콘 산화물이나 metal-silicate 등의 형성 가능성이 높아 양질의 계면특성을 확보하기 어려우며, 이로 인하여 정보출력시 polarization에 따른 threshold voltage의 차이가 현저하지 않아 soft error를 유발시킬 수 있는 가능성이 높다. 현재 미국의 Westinghouse사가 NDRO방식의 FRAM개발에 임하고 있다.

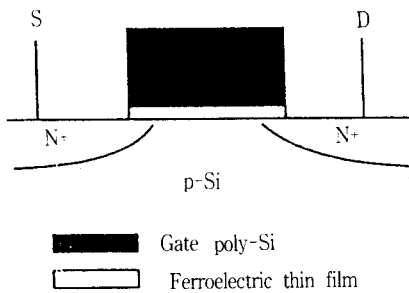
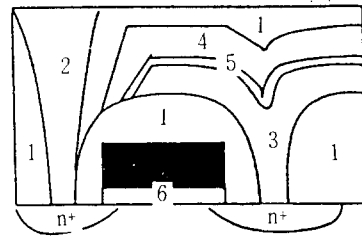


그림 3. NDRO 방식의 FRAM 구조 단면도  
Fig. 3. Cross-section of NDRO-type FRAM

3-2-3. Destructive read-out 방식의 FRAM

이 방식의 FRAM은 그림 4에서 보듯이 현재 사용되는 DRAM의 구조와 같이 하나의 transistor와 하나의 capacitor로 구성되어 있으며, capacitor의 유전체로써 강유전체를 이용한 것이다. 작동되는 원리는 capacitor에 voltage pulse를 가하여 강유전체 박막에 각각 반대부호의 영구분극을 유도하고 정보출력시 transistor를 on 시키고 capacitor에 유기된 전하의 다소에 의한 전류의 차이를 sense amplifier를 통하여 감지함으로써 logic "1"과 "0"를 구분하게 된다. 이때 한번 읽혀진 capacitor는 유기되었던 전하가 손실되어 logic "0" 상태로 가게 되므로 다시 정보를 refresh시켜주어야 하기 때문에 destructive read-out 방식으로 불리우며, 입력된 정보는 전원공급이 중단되더라도 영구분극현상에 의해 손실되지 않기 때문에 비휘발 특성을 갖는 것이다.

이 구조에서는 NDRO 구조에 비교하여 capacitor 한개가 더 필요하게 되리 기본 cell의 면적이 증가되는 단점이 있으나, 제조공정상에서 볼 때 강유전체 박막 상/하부의 계면특성이 소자의 특성에 미치는 영향이 NDRO방식에 비하여 크지 않아 다소 유리한 면을 갖는다. 현재 미국의 Ramtron사에서 DRO 방식의 FRAM개발에 나서고 있다.



1: SiO<sub>2</sub>, 2: Bit line, 3: Storage node 4: Cell plate  
5: Ferroelectric film 6: Gate oxide, 7: Gate S N+ N+ D p-Si

그림 4. DRO 방식의 FRAM 구조 단면도 및 등가 회로

Fig. 4. Cross-section and equivalent circuit of DRO-type FRAM

3-2-4. Ferroelectric memory의 특성

만약 FRAM의 개발이 성공적으로 이어진다면, FRAM은 다른 소자가 갖지 못하는 많은 장점들에 기인하여 그 시장규모가 급속도로 성장되리라 판단된다. FRAM은 기존의 비휘발성 소자인 EPROM이나 EEPROM에 비하여 bit당 생산단가가 싸고 넓은 사용 온도대역, 높은 내방사선성 및 특유의 영구분극현상에 의한 비휘발성을 갖는 등 많은 장점을 갖고 있어 혹자는 이를 일컬어 "꿈의 메모리 반도체"라고 부른다. Ramtron사에 의해 생산되는 4-Kbit FRAM에서 비교해 볼때 이미 EEPROM과 battery-backed SRAM의 시장을 잠식하고 있다. 이것은 EEPROM보다 빠른 write cycle time (0.2μ sec/byte 대 2000 nsec/byte)을 가지며, 훨씬 많은 write/erase cycle(1010 cycle 대 10<sup>1</sup>~10<sup>5</sup> cycle) 이 가능하고 SRAM과 거의 동일한 read/write cycle time을 가지면서도 별도의 battery가 필요없이 비휘발특성을 갖고 있으므로써 그 시장규모는 날로 증가되리라 사료된다.

FRAM의 제조공정상의 문제점들이 해결되어 고밀도 FRAM의 제조공정상의 문제점들이 해결되어 고밀도 FRAM의 개발이 완료된다면, 이는 엄청난

경쟁력을 갖고 EPROM, EEPROM은 물론이고 DRAM이나 ferromagnetic disk memory 등과 경쟁하게 될 것으로 예측된다. 왜냐하면 FRAM은 강유전체 박막이 높은 유전상수를 갖고 있으므로 capacitor면적을 대폭 감소시킬 수 있기 때문이다.

**3-2-5. FRAM 개발상의 문제점**

앞에서 언급하였듯이 FRAM은 크게 NDRO방식과 DRO방식으로 개발되고 있다. 전자의 경우 실리콘 기판과 강유전체 박막사이에서 우수한 계면특성을 유지하기 어려운 공정상의 어려움이 있으며, 후자의 경우에는 capacitor전극과 강유전체 박막사이에서 계면특성 유지 및 높은 강유전성을 보유한 박막을 제조하는데 어려움을 안고 있다.

FRAM은 polarization과 electric field관계에서 나타나는 hysteresis특성을 이용한 소자이므로 read/write cycle횟수의 증가에 따라 polarization값이 감소되는 이른바 fatigue현상을 최대한 억제시켜야 한다. 또한 연구분극 특성이 시간의 경과에 따라 저하되어 입력시킨 정보가 손실되는 aging현상 역시 배제시켜야 할 특성 중의 하나이다. 동작전압을 더욱 더 낮추기 위해서는 coercive field가 낮은 강유전체 박막의 개발이 요구되며, 제품의 신뢰도를 높이기 위해서 강유전체 박막의 절연과피전계 및 누설전류 밀도 등의 특성을 더욱 개선시켜야만 된다.

**3-2-6. FRAM 개발현황 및 그 전망**

PZT등의 강유전체는 자발분극이 발생하는 이하의 전압에서 뛰어난 DRAM용 capacitor재료로 사용할 수 있는 성질이 있다. 이에 따라 일본에서는 우선 고밀도 DRAM개발의 일환으로 강유전체 재료를 연구한 다음 이를 FRAM의 실용화에 연결시킨다는 전략을 추진중이다. 마쓰시타 전자는 1993년 1월 미국의 Symetrix사와 강유전체형 커패시터를 내장한 갈륨비소 IC를 공동개발하여 이동통신용 소형/저소비 전력형 IC로 상품화 한다고 발표하였다. 이때 사용된 강유전체는 바륨스트론튬티탄테이트(BST)로 커패시터 면적이 종래의 1/50 이하로 작아졌다.

마쓰시타전자는 강유전체막의 조성을 개선하고, 박막의 성장방법도 줄-겔법을 개선시킨 유기금속 분해방법을 채택하여 누설전류밀도 및 fatigue특성을 개선시키고 있다. 마쓰시타 전자외에 NEC, 도시바, 미쓰비시 전기, 오키전기, 샤프 등 일본 반도체 업체들이 DRAM용 capacitor재료로 PZT를 중심으로 강유전체 개발을 추진하는 한편 이와 병행하여 FRAM개발에 나서고 있다. 표 4에 미국과

일본의 FRAM개발을 위한 제휴 및 개발현황을 나타내었다. 히타치와 제휴한 미국의 Ramtron사는 이미 256K FRAM개발을 완료하였다. Ramtron사는 sputtering법으로 PZT박막을 제조하였으며, 전원이 켜진 상태에서는 DRAM mode로 동작하고 전원이 꺼질 때만 자발분극이 일어나는 2종류의 동작형태를 취하여 fatigue문제를 해결하고자 하였다. 구조는 DRO방식이었으며, 1천만회 이상의 재기록 횟수를 증명하였다. 히타치는 Ramtron사와의 제휴를 통해 94년중에 256K FRAM급의 샘플을 출하할 계획이다. 마쓰시타 전자를 비롯하여 NEC, 미쓰비시 전기, 샤프 등 여타의 일본 반도체 업체들도 생산체제를 마련중이기 때문에 94년도가 FRAM의 원년이 될 전망이다, 96년 경에는 연간 3백억엔 이상의 시장규모가 형성될 것으로 예측되고 있다.

**표 4. 미국과 일본의 FRAM분야 제휴 및 개발 현황**

**Table 4. Status of FRAM in USA and Japan.**

미 국	제휴 및 개발 관계	일 본
콜로라도 대학	0	마쓰시타전자와 기초연구 올림푸스광학과 공동연구
Ramtron사	0	히타치와 개발제휴 세이코 엠슨과 256K FRAM 공동개발
Symetrix사	0	마쓰시타전자와 강유전체 탑재 GaAs IC 공동개발
National Semiconductor사	x	(독자적으로 4K FRAM 개발)

**4. 맺는 말**

강유전체 박막을 이용한 VLSI DRAM, 고밀도 비휘발성 메모리 소자(FRAM)를 개발하는 일은 메모리 반도체 분야에 관련된 모든 사람들의 꿈이다. 왜냐하면, Simple Structure DRAM과 완벽한 FRAM의 개발은 기존의 비휘발성 메모리인 EPROM, EEPROM, flash EEPROM은 물론이고 SRAM 및 심지어는 magnetic disk memory의 역할까지도 대체할 수 있는 그야말로 "꿈의 메모리 반도체"이기 때문이다.

그러나 이러한 강유전체 박막을 DRAM, FRAM

에 응용하기 위해서는 아직도 해결되어야 할 많은 문제점들을 안고 있다. 즉, fatigue나 aging현상이 일어나지 않으며, 절연과괴 전계가 수 MV/cm 수준으로 확보되고  $10^{-8}$  A/cm<sup>2</sup> 이하의 누설전류 밀도특성을 갖는 우수한 강유전체 박막제조 기술이 개발되어야만 한다. 이와 더불어 실리콘 기판과 강유전체 또는 capacitor전극과 강유전체 박막간의 계면특성이 우수한 전극재료 및 관련공정 개발이 선행되어야 할 것이다.

그러나 이러한 많은 문제점들에도 불구하고 관련 연구자 및 업계의 부단한 노력에 힘입어 2000년대 초에는 컴퓨터 등의 메모리 확장이나 보수를 위해서 시장에서 손쉽게 강유전체 박막을 이용한 고집적 DRAM, FRAM을 구입하게 될 날이 올 것으로 기대되며, 우리 또한 이러한 날들을 지금부터 대비하여 관련 연구자 및 업계가 자기계획 아래 강유전체 박막개발에 나서야 할 것으로 사료된다.

저자소개



최준후

1964년 8월 14일생. 1988년 연세대학교  
요업공학과(학사). 1990년 한국과학기술  
원 재료공학과(석사). 1994년 한국과학  
기술원 무기재료공학과(공학박사). 1994년-  
현재 한국과학기술원 전자세라믹재료연  
구센터 연구원.



이승석

1959년 3월 7일생. 1987년 전북대학교  
금속공학과(학사). 1989년 한국과학기술  
원 재료공학과(석사). 1989년-1991년 현  
대전자 반도체 연구소 주임연구원. 1992  
년-현재 한국과학기술원 무기재료공학  
과 박사과정.



김호기

1945년 10월 11일생. 1968년 한양공대  
요업공학과(학사). 1975년 서독Erlangen  
대학교 재료공학과(석사). 1980년 서독  
Erlangen대학교 재료공학과(박사). 1981  
년-1983년 서독 Roederstein 그룹사 전  
자유업 부품 연구개발부장. 1984년-현재 한국과학기술원 무기  
재료공학과 교수.