

EEPROM 기술의 현황과 전망

기술해설 2

Status and Trends in EEPROM Technologies

이상배*, 서광열*
(Sang-bae Yi, Kwang-Yell Seo)

Key Words(중요용어) : Nonvolatile Semiconductor Memory(비휘발성 반도체 기억소자), EEPROM(EEPROM), Floating-gate(Floating 게이트), MOS, SONOS.

1. 서 론

1967년 Wegener¹⁾과 Khang²⁾이 각각 구조 및 동작원리가 다른 비휘발성 반도체 메모리(nonvolatile semiconductor memory)를 최초로 개발, 도입한 이후 3세대제를 보내고 있는 현재, 메모리는 반도체산업의 선봉으로써 여전히 공정기술(processing technology)을 이끌며, 시장점유율, 응용범위 등에서 주도적 위치를 차지하고 있다. 한편, 최근의 컴퓨터 시스템은 소형화, 저전력화, 고속화, 내충격성 등 기술적 측면에서 뿐만 아니라 소프트웨어적으로도 급격히 발전하고 있다. 이에 따라 메모리부문에 있어서도 기존의 자기 하드 디스크 메모리(magnetic hard disk memory)의 한계를 극복하기 위해서 반도체 메모리로서의 대체가 더욱 요구되고 있다. 이와 같은 상황에서 EEPROM(electrically erasable and programmable ROM)은 상주시스템 내에서도 전기적 방법에 의해 사용자가 임의로 기록/소거(write/erase)할 수 있을 뿐만 아니라 전원이 제거된 상태에서도 기억상태를 유지할 수 있는 비휘발성이라는 점에서 차세대 반도체 메모리 부문의 주역으로서 주목받고 있다.

따라서, 본 고에서는 20세기를 보내며 반도체 메모리의 새로운 장을 열어가는 EEPROM의 기술 현황 및 전망에 대해 살펴보고자 한다.

2. 반도체 메모리의 설계 목표

반도체 메모리를 설계함에 있어서 필수적으로 고려하여야 할 요건들³⁾에는 표 1과 같은 사항들을 들 수 있다. 일반적으로 이상과 같은 요건들은 (1) 비트당 비용, (2) 비트당 전력소모량, (3) 성능(속도), (4) 비트당 면적(cell), (5) 비파괴성 판독(nondestructive readout), (6) 메모리 cell의 비휘발성, (7) 신뢰성 등으로 다시 정리할 수 있으며, 이들은 특히 중요하다.

표 1 반도체 메모리의 설계목표

1	performance (speed)
2	power dissipation (heat)
3	memory density (number of storage bits per chip)
4	chip size (memory cost)
5	size of package (system cost)
6	external organization of the memory
7	reprogrammability (endurance of the memory to repeated write-erase cycles)
8	long term reliability characteristics
9	nonvolatility(ability to retain data when power is off)
10	data retention(length of time the data is retained when dc power is on without an active refresh of the data)
11	interface voltage levels into the system (TTL, ECL, CMOS)
12	optimal power supply voltage level
13	moisture resistance (hermeticity of the package)
14	the amount of logic integrated on the memory rather than used seperately in the system

현재 이용되는 반도체 메모리 중에는 이상의 요건들을 모두 충족시키는 것은 아직 없으며, 필요에 따라서 이들 중 일부분만을 만족하는 메모리가 개발되어 왔기 때문에 다양한 종류의 반도체 메모리가 등장하였고, 결국 반도체 메모리 분야의 주요 연구 과제는 이들 요건들을 모두 만족시키기 위한 기존 메모리의 개선 및 새로운 메모리의 개발이다.

3. 반도체 메모리의 종류

3-1. 기술상의 분류

반도체 기술을 기반으로 한 메모리는 크게 기술적 측면과 기능적 측면에서 분류할 수 있다. 우선 기술적 측면에서 반도체 메모리는 bipolar, NMOS, PMOS, CMOS, CCD의 다섯가지 기본요소와 이들의 결합인 Mix-MOS(CMOS-NMOS), BiCMOS

(bipolar-CMOS)등으로 나눌 수 있다. Bipolar는 속도는 빠르나, cell크기의 소형화를 위한 scaling-down이 어렵고 소비전력이 크다는 단점이 있다. CCD는 1970년대 중반까지는 NMOS DRAM보다도 오히려 집적도에서 앞섰으나, 그후 DRAM의 급속한 발전과, 속도가 느리고 순차적 액세스(serial access device)라는 단점이 있어 현재는 아날로그(analog) 저장능력을 필요로 하는 원거리 전송장치에 주로 이용되고 있다. 반면에 1980년대에 들어서면서 MOS메모리는 낮은 원가로 인해서 반도체 메모리를 주도하기 시작하여 1980년대 말에는 속도를 비롯한 성능의 급격한 발전이 이루어져 현재는 자기디스크 메모리의 대체 가능성도 제안되고 있다. 특히, CMOS 기술은 가격, 속도, 집적도 등에서 월등히 우세하여 MOS 메모리의 주류를 이루고 있다.

3-2 기능상의 분류

3-2-1 휘발성 메모리

반도체 메모리를 기능적 측면에서 보면 그림 1과 같이 분류할 수 있다. 모든 반도체 메모리는 랜덤 액세스 메모리(random access memory : RAM)이며, 크게 휘발성인 읽기-쓰기 메모리(read-write memory)와 비휘발성인 읽기전용 메모리(read only memory : ROM)로 구분할 수 있다.

읽기-쓰기 메모리에는 SRAM과 DRAM이 있다. 각 메모리에 있어서 기본 셀을 나타낸 그림 2의 (a)에서 보는 바와 같이, DRAM은 커패시터의 축적전하로 1 비트의 정보를 저장하는 MOS 메모리로서 한개의 트랜지스터와 커패시터로 구성된다.

SRAM의 기본 셀은 그림 2 (b)와 (c)에서 보는 바와 같이 직류전류가 인가되는 쌍안정 플립플롭(bistable flipflop)회로이므로 네개의 트랜지스터와 함께 풀업 소자(pull-up device)로써 두개의 트랜지스터나 두개의 다결정실리콘(polysilicon) 저항으로 구성된다. 이러한 점에서 DRAM은 SRAM에 비해 메모리 소자당 실장용량(memory density)이 크므로 메모리 용량을 크게 할 수 있어 비트당 가격을 낮출 수 있다는 장점이 있는 반면 리프레쉬회로와 기타 제어 로직이 필요하다는 단점이 있다. 따라서 비교적 적은 용량의 고속 메모리가 필요한 경우는 SRAM이 적합하지만 적당한 속도이면서 대용량의 메모리가 필요한 경우는 DRAM을 사용하는 것이 일반적인 추세이다.

3-2-2 비휘발성 메모리

DRAM 및 SRAM의 가장 큰 단점은 전원이 상실되면 정보를 잃어버리는 휘발성이라는 점이다. 많은 메모리 시스템에서 읽기-쓰기는 못하더라도 전원의 on-off와 무관하게 기억된 정보를 유지할 수 있는 비휘발성 메모리를 필요로 한다. 이와 같은 반도체 메모리로는 ROM이 있다. ROM은 그림 1에서 보는 바와 같이 다시 제작단계에서 제작자가 프로그래밍을 수행하는 마스크 프로그래머블 ROM(mask programmable ROM)과 사용자가 직접 수행하는 PROM(programmable ROM), EPROM (electrically programmable ROM), EEPROM으로 분류할 수 있다. PROM은 단지 한번만 전기적으로 프로그래밍(field programming)을 할 수 있고 소거는 할 수 없는 ROM이다. EPROM은 프

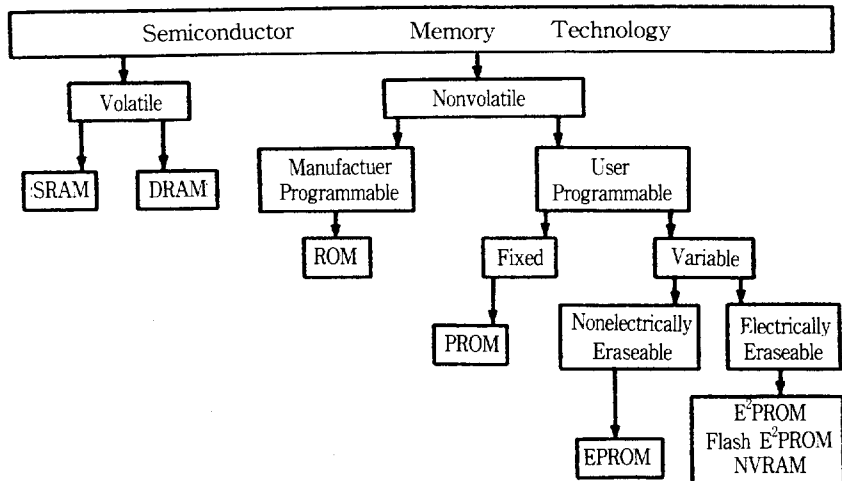


그림 1 반도체 메모리의 분류

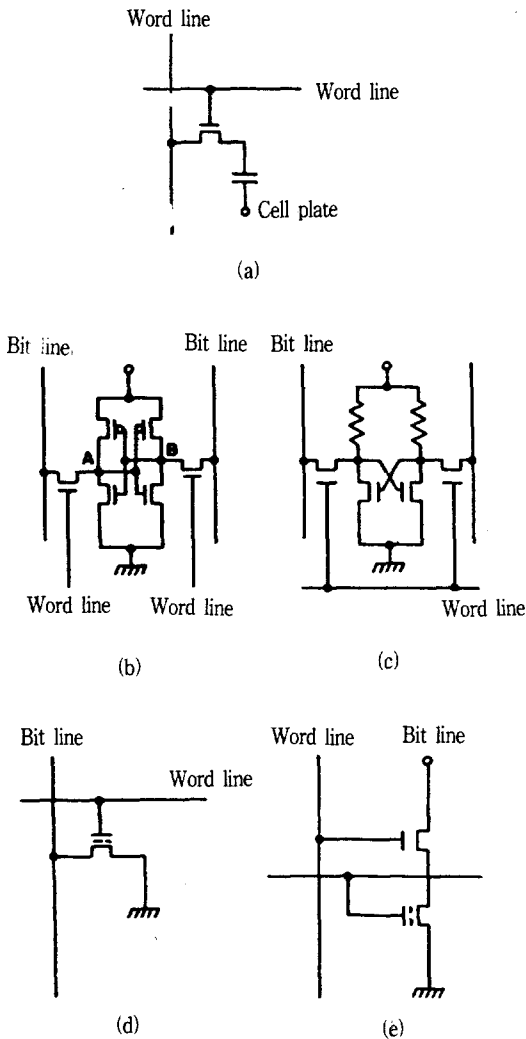


그림 2 기본적인 반도체 메모리 셀
(a) DRAM, (b) CMOS SRAM, (c) NMSSRAM, (d) EPROM, (e) EEPROM

로그래밍도 할 수 있고 소거도 할 수 있으며, 그 기본 셀은 그림 2의 (d)에서 보는 바와 같이 프로그램밍을 할 때 과잉의 전하를 축적시키기 위한 한개의 저장 트랜지스터(storage transistor)만으로 구성된다. 그러나, EPROM은 상주시스템 내에서 자체적인 회로만으로 프로그램밍과 소거를 실행시킬 수 없다는 단점이 있다. 즉, EPROM의 소거를 위해서는 시스템으로 부터 소자를 제거하여 적외선 빛을 조사시켜야 하며, 다시 새롭게 프로그램밍하기 위해서는 또다른 장치를 이용해야 하는 번거로움이 있다. 반면에 EEPROM은 별다른 장치 없이도 상주시스템 내에서 전기적으로 프로그램밍과

소거가 모두 가능하다. 이러한 점에서 EEPROM은 가장 이상적인 반도체 메모리임을 알 수 있다.

4. EEPROM의 응용

1980년대 초, EPROM에 비하면 상당히 미흡한 수준이지만 16kbit의 EEPROM이 도입되었다. 그럼에도 불구하고 그 당시의 많은 분석가들은 1990년에는 EEPROM이 마이크로프로세서를 기반으로 한 시스템의 표준 프로그램 저장매체(standard program storage medium)인 UV-EPROM을 대체할 것이라고 예상하였다. 그러나 이러한 예상은 빗나가고 말았다. 이는 EEPROM이 동일한 메모리 실장용량을 갖는 EPROM에 비해 단가가 비쌌 뿐

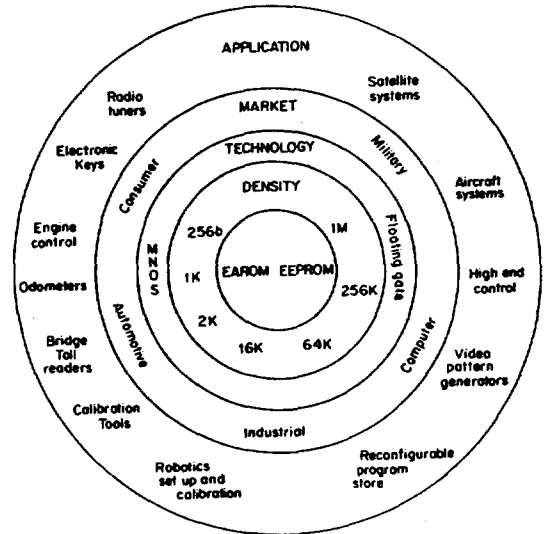


그림 3 EEPROM의 응용 및 시장성

만 아니라 무엇보다도 그 응용범위가 대단히 협소하였기 때문이다.⁴⁾ 이러한 점에서 EEPROM의 시장 및 응용에 대한 현황을 알아 보는 것은 앞으로의 응용성 확장을 위해 큰 의미가 있는 것이다.

EEPROM시장은 역사적 배경에 따라 EAROM, 중간밀도(medium density) EEPROM, embedded EEPROM, 그리고 비휘발성 SRAM의 매우 특징적인 4개의 생산부분으로 나눌 수 있다. 이에 따른 EEPROM의 시장 및 응용을 요약하면 그림 3과 같다.³⁾

EAROM은 8kbit 이하의 저밀도(low density) EEPROM을 일컫는 것이며, 이는 중간밀도 EEPROM과의 구별을 위함이다. EAROM은 라디오 튜너(consumer radio tuner), 자동차 엔진제어

기(automotive engine controller), 자동판매 관리 시스템(price storage in point of sale terminal and postage meter), 전화 서어비스 시스템(line driven telephone system), 그리고 산업 자동화 시스템(calibration and set up parameter for industrial automation system)등에 주로 응용되고 있다. 최근에는 같은 칩(chip)상에서의 기록과 소거를 위한 고전압 발생기의 개발에 의해 마이크로콘트롤러 내에 EAROM 자체를 포함시키는 embedded EEPROM의 수요가 독립형 EAROM의 수요와 더불어 점차적으로 증가하고 있다. 이에 따라서 독립형 EAROM만으로 형성된 과거 보다는 그 응용성 확장이 더욱 기대되고 있다. 중간밀도 EEPROM은 높은 내구력(high endurance)과 고속(high speed)처리라는 관점에서 분산제어 시스템(distributed system) 및 프로그램 교체용(changeable program store) 마이크로프로세서를 비롯한 최적제어 로보틱스(adaptive robotics), 프로그래머블 영상 패턴 발생기(programmable video pattern generator), 프로그래머블 데이터 로거(programmable data loggers), 그리고 고속처리 공정 제어기(high speed process controller)등에 이용된다. 또한, 온도 내력성(extended temperature) 및 고신뢰성, 특히 내방사성(radiation hardness)이 좋다는 점에서 항공(aircraft) 및 인공위성(satellite)등의 원격 재프로그래밍과 같은 군사 용으로도 널리 응용되고 있다. 비휘발성 SRAM은 칩의 크기가 크고 단가가 높다는 단점을 수용할 수 있고, 작은 memory 용량인면서도 일반 SRAM과 비슷한 속도와 비휘발성이 요구되는 경우에 주로 응용되고 있다. 최근에는 고밀도 비휘발성 메모리를 위한 비휘발성 DRAM에 관한 연구개발도 활발히 추진되고 있다.

이상에서 살펴 본 바와 같이 EEPROM은 현재의 시장성을 그대로 유지하면서 저단가, 고집적, 고성능을 위한 새로운 기술개발에 더욱 주력함으로써 기존의 UV-EPROM이나 DRAM의 자리를 대체하여 그 응용범위를 더욱 확장하리라 기대된다.

5. EEPROM의 종류

앞에서 이미 언급한 바와 같이 EEPROM의 수요확장은 응용범위의 확대와 더불어 단가의 감소가 주요 관건이다. EEPROM의 단가가 비싼 원인은 무엇보다도 셀 크기가 크기 때문이다. 즉, 전형적인 EEPROM(혹은 full featured EEPROM) 셀은 그림 2(e)에서 보는 바와 같이 프로그래밍을 위한

것과 2개의 소자(select devices)로서 적어도 2개의 트랜지스터로 구성된다. 따라서, 그림 4에서 보는 바와 같이 이러한 EEPROM은 1-트랜지스터 셀인 EPROM에 비해 그 집적도에서 한세대 뒤짐을 알 수 있다.⁴⁾ 그러나, 최근에 EPROM과 전형적인 EEPROM의 개념을 조합한 1-트랜지스터 셀인 flash EEPROM이 개발되어 가격면에서 뿐만 아니라 우수한 기능성 등으로 인해 반도체 메모리 시장에서 새로운 면모를 과시하기 시작하였다.

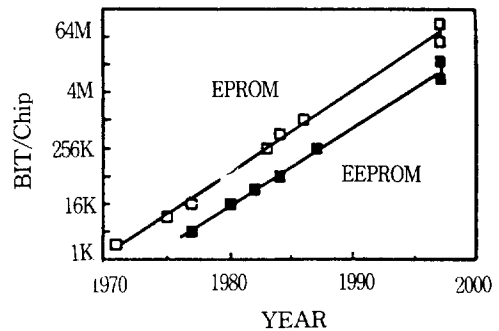


그림 4 EPROM과 EEPROM의 집적도 비교

기존의 소자에 대한 기술적 개량 및 개선, 나아가서 새로운 소자의 개발을 위해서 본 절에서는 EEPROM의 종류 및 각각에 대한 동작원리와 특성을 알아보고 그 장단점을 비교한다. EEPROM은 공정기술 측면에서 floating 게이트 계열 EEPROM과 MIOS(metal-insulator-oxide-semiconductor) 계열 EEPROM으로 크게 구분된다.

5-1. Floating 게이트 계열 EEPROM

1967년 Khang²⁾에 의해 처음으로 floating 게이트 메모리가 제안된 후, 실용소자는 1971년 Frohman-Bentchowsky⁵⁾에 의해 개발되었다. 이 소자는 드레인 영역의 애벌런치(avalanche)플라즈마로부터 고에너지의 전자를 게이트로 주입시켜 프로그래밍하였다. 이는 대단히 비효율적이었고, 특히 소거를 위해서는 적외선이나 X선을 조사시켜야 하는 불편이 큰 문제점으로 지적되었다. 그후, 이러한 프로그래밍 기구에 관한 많은 연구가 진행되어 오늘날 EEPROM소자의 프로그래밍을 위한 기본적인 주입기구는 다음과 같이 세가지로 요약할 수 있다.

첫째, 얇은 산화막($\leq 100\text{\AA}$)을 통한 Fowler-Nordheim 터널링(FN tunneling), 둘째, polyoxide를 통한 enhanced FN 터널링, 셋째, 채널 열전자(channel hot electron : CHE) 주입이다. Floating 게이트 EEPROM의 동작원리는 이들 기본적인 주

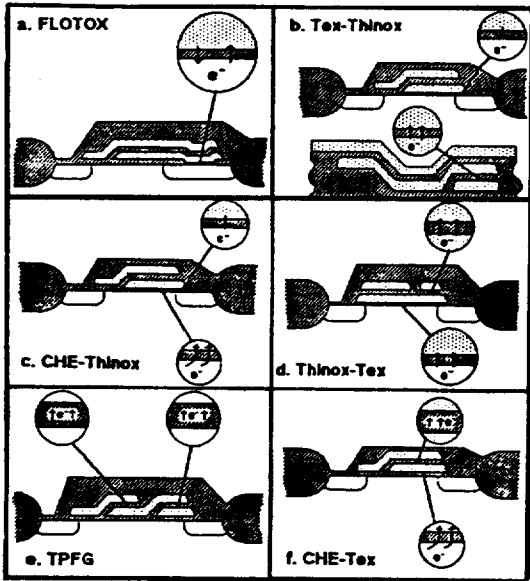


그림 5 Floating 게이트 메모리의 종류 및 구조

표 2 여러가지 floating 게이트 메모리들의 특성

a. FLOTOX EEPROM/ASIC/Logic	b. Tex-Thinox EEPROM/F-EEPROM
<ul style="list-style-type: none"> • compatibility • low develop-ment entry cost • possible with 1 poly layer • large cell • difficult scaling • thinox defect density 	<ul style="list-style-type: none"> • small cell • easily scalable • low progr. power • complex cell • 2progr. mechanisms • thinox(defects) • polyoxide(wearout)
c. CHE-Thinox EEPROM/F-EEPROM/ASIC	d. Thinox-Tex EEPROM/F-EEPROM
<ul style="list-style-type: none"> • small cell • relatively simple cell • easily scalable • high progr. power • 2progr. mechanisms • thinox(defects) • CHE(degradation) • ??endurance?? 	<ul style="list-style-type: none"> • low progr. power • large cell • scaling difficulties • 2progr. mechanisms • thinox(defects) • polyoxide(wearout)
e. TPGF EEPROM/ASIC	f. CHE-Tex EEPROM/EPROM/ASIC
<ul style="list-style-type: none"> • thick oxide • small cell • low progr. power • direct write • easily scalable • complex cell • higher prog. voltage • trap-up • window variation • critical tunnel oxide 	<ul style="list-style-type: none"> • small cell • thick oxide • easily scalable • high progr. power • 2progr. mechanisms • polyoxide(wearout) • CHE(degradation)

입기구를 단독으로 혹은 서로 조합하여 설명될 수 있으며, 이에 따라 그림 5에서 보는 바와 같이 다양한 구조의 floating 게이트 EEPROM이 개발되었다. 또한 각각에 대한 장단점은 표 2와 같다.⁴⁾

Thinox-Tex EEPROM은 얇은 산화막의 FN 터널링을 이용하여 셀의 기억상태를 소거하므로 커다란 셀 면적이 필요하다. 따라서, scale-down이 어렵다. 또한, 기록/소거의 프로그래밍을 위해 서

로 다른 메카니즘(mechanism)이 요구되므로 기술 상 어려움이 있다.

Tex-Thinox 셀은 구조가 다소 복잡하다. 즉, 세개의 다결정실리콘 층이 필요하고 프로그래밍 기구도 소거와 기록시 각각 다르므로 두 조건을 동시에 만족시키면서 최적화 하기가 어렵다. 따라서, 이상의 두 구조는 상품화되지 못했다.

CHE-Tex EEPROM은 과거에는 사용되었으나 대단히 큰 프로그래밍 전력으로 인해 외부의 5V 동작회로와 호환이 불가능하여 한동안 사용되지 않았다. 그러나, 최근에 scale down이 가능해지므로써 이 단점은 해결되었다. 즉, 채널길이가 매우 짧으면($\leq 1\mu\text{m}$) 5V의 드레인 전압으로도 프로그래밍을 위한 열전자 생성은 충분히 가능하다. 이 셀의 단점은 앞의 두 구조와 마찬가지로 두개의 다른 프로그래밍 기구때문에 구조가 복잡하여 공정기술 상 어려움이 있다는 것이다.

FLOTOX 셀은 개발단가가 매우 싸다는 점에서 상업적으로 많이 이용되고 있다. 즉, standard double poly processes에 얇은 산화막 성장 공정만 추가하면 된다. 최근에는 single poly processes로 이런 형태를 갖는 비휘발성 메모리의 실현이 가능해져서 ASIC(application of specific integrated circuits)이나 로직(logic)응용을 위해 새로운 관심을 끌고 있다. 이러한 응용을 위해서는 셀 면적이 크다는 것이 결코 단점이 되지 않는다. 그러나, 16kbit 이상의 큰 메모리 실장용량을 위해서는 scale-down이 더 진행되어야 하며, 특히 신뢰성 측면에서 얇은 산화막의 사용은 재고되어야만 한다. 이러한 얇은 산화막의 단점을 보완하기 위한 새로운 터널재료에 관한 연구가 수행되고 있다. 예를 들면 산화된 질화막(oxynitride)이나 질화된 산화막(nitrided oxide)은 내구성을 좋게 하고, 도우 평농도가 큰 영역(highly doped injection region)에 성장시킨 산화막은 높은 터널 전류전도(higher tunnel current conductance)를 나타낸다.

TPFG(textured poly floating gate)셀은 큰 메모리 실장용량이 필요한 메모리회로에 실용된다. 이 셀의 가장 큰 단점은 원하는 특성(feature)의 polyoxide를 성장시키기 어렵다는 것이다. 구조를 살펴보면, 3개의 다결정실리콘 층 또는 두개의 다결정실리콘 층과 부가적인 burried contact으로 다소 복잡하다. 특히, 이 세 층들은 정확하게 정렬되어야 하므로 정교한 리소그래피(lithography)기술이 요구된다. 이러한 고도의 공정기술이 ASIC이나 로직으로의 응용에 장애가 된다. 그러나, 작은 셀 크기 및 scale-down의 용이함 때문에 다른 floating 게이트 소자들 보다 고밀도 메모리로의

근에 도입되어 각광받고 있다. 프로그래밍을 위해서는 얇은 산화막을 통한 터널링을 이용하기 때문에 커다란 커플링(coupling)면적이 필요하지 않으며, scale-down이 용이해서 5V 구동도 가능하다. 그러나 여전히 큰 프로그래밍 전력과 기록/소거시의 각각 다른 주입기구가 단점으로 지적되고 있다. 또한, CHE 열효과 때문에 내구성이 떨어진다.

5-2 MIOS계열 EEPROM

MIOS 메모리는 게이트 절연막에 대한 전하의 터널링 주입과 방출(tunneling injection and ejection)개념을 이용하는 비휘발성 메모리소자이다. 구조가 간단하여 동작원리에 대한 이해가 용이하고 EEPROM으로의 응용을 위해 일찍부터 많은 관심을 모아왔다. MIOS 메모리중 MNOS(metal-nitride-oxide-semiconductor) 기억소자는 1967년 Wegener등¹¹⁾에 의해 개발된 사실상 최초의 EAROM소자이며, full featured EEPROM으로 가장 널리 이용되었고, 그 응용범위 또한 넓다. 현재 까지 알려진 MIOS메모리는 거의 대부분이 MNOS구조를 기본으로 하여 단지 절화막 대신에 aluminium oxide(Al_2O_3), titanium oxide(TiO_2), tantalum oxide(Ta_2O_5)와 같이 다른 유전막을 사용한 것들이다.⁶⁾

특히, 전도도가 절화막보다 작은 aluminium oxide를 사용한 MAOS소자⁷⁾는 기억유지능력(retentivity)의 향상을 위해 제안되었으며 유전상수도 커서 기록/소거 속도도 개선되었다. 그러나 산화막위에 aluminium oxide막을 성장시키면 실리콘-산화막 계면특성이 현저하게 저하하였다. 이를 막기 위해서는 산화막을 80Å 이상으로 두껍게 하여야 하나, 이렇게 되면 위에서 언급한 aluminium oxide의 장점은 상쇄되고 만다.

Titanium oxide는 유전상수가 20~50으로 대단

히 크므로 기록/소거 속도의 향상에 유리한 듯하였으나 MHz정도의 주파수 대역에서 강한 산란(dispersion)으로 인해 기대에 미치지 못했다. Tantalum oxide는 유전상수도 크고 주파수 산란문제도 없으나 막의 구조가 다결정구조로 쉽게 변한다는 점이 단점으로 지적되었다. 다결정구조는 막내에 불균일한 trap분포를 야기하여 기억성능을 저하시킨다. 이밖에도 tantalum oxide와 aluminium oxide를 혼합한 MIOS 메모리가 제안되기도 하였다.⁸⁾ 이와같이 성능개선을 위해 개발되었던 MIOS 메모리들이 실제 EEPROM으로 이용되지 못한데는 이들 유전막의 성장방법이 어려울 뿐만 아니라 막성장시 이용되는 성분가스들이 기존의 반도체 공정에서는 사용되지 않는 것으로 제조기의 오염이 무엇보다도 큰 문제점으로 지적됐기 때문이다. 이러한 점에서 MNOS 소자는 기존의 실리콘 반도체 제조공정을 그대로 적용하여 제작할 수 있는 비휘발성 MIOS 기억소자로서 초기의 EEPROM기술을 주도했다.

MNOS 메모리는 실리콘위에 초박막의 산화막(~ 25Å)과 절화막(200~500Å)을 차례로 입힌 이중절연막 구조이며, 비휘발성 메모리기능은 절화막내의 트랩을 이용한 전하의 저장(charge storage)을 기본으로 한다. 1973년에 소위 trigate 트랜지스터 셀개념을 기본으로한 비트당 1-트랜지스터 셀을 이용한 8kbit의 p-channel MNOS EAROM이 제작되어 실제 사용되었다.⁹⁾ 그러나, 이 메모리는 속도가 느리고, 집적도가 떨어지고, 고유의 판독교란(inherent read disturbance)이 문제점으로 지적되었다.

이 계열의 메모리가 획기적인 진전을 보인 것은 1980년, Hitachi¹⁰⁾에 의해 n-channel 실리콘 게이트 공정 기술을 이용한 최초의 16kbit SNOS EEPROM의 제작이다. 그림 6에서 보는 바와 같이 셀의 구조는 비트당 2-트랜지스터 구조이다. 이때 MOS 트랜지스터는 판독교란 문제를 해결하기 위한 선택 소자로서의 기능을 수행한다. 이와 같은 선택 소자를 이용함으로써 판독시 SNOS 트랜지스터의 게이트는 집지되기 때문에 (그림 6(b)의 집지선 G1, G2 참고) 이전의 1-트랜지스터 셀구조에서 지적됐던 메모리 셀의 직접 판독에 따른 데이터 손실문제를 개선하였으며, 또한 부하 커패시턴스값의 감소와 더불어 판독전류의 증가로 인해 판독참조시간(read access time) 또한 향상되었다. 프로그래밍 전압 및 판독전압은 각각 25V, 5V로서 외부인가 전원이다. 기록 및 소거시간, 그리고 판독참조시간은 각각 1msec, 100msec, 140nsec였으며, 소비전력은 210mW이었다. 기억유지는 10년,

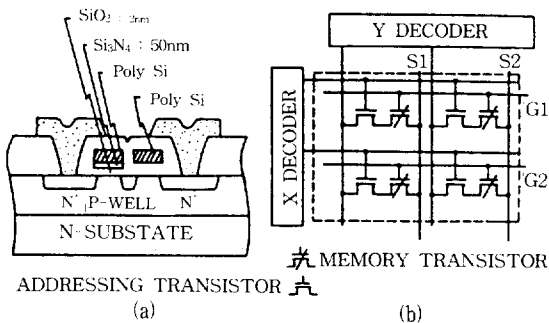


그림 6 16kbit SNOS EEPROM

(a) 셀의 단면도, (b) 메모리 어레이

기록/소거 반복은 10^5 회까지 보장되었다.

1983년은 5V-only SNOS EEPROM의 개발에 초점이 맞춰졌다. SNOS memory의 기록/소거를 위해서는 20V정도의 큰 프로그래밍 전압이 필요한데, 이전에는 이를 위해서 별도의 전원을 외부에서 인가하였다. 그러나 메모리 어레이 및 주변 MOS 회로와는 구분되지만 같은 칩상에서 프로그래밍을 위한 고전압발생 전원회로(on-chip pump)를 별도로 삽입하므로써 5V 외부전원만을 사용할 수 있는 EEPROM칩이 같은 해에 개발되었다. 이것은 Inmos¹¹⁾ 및 NCR¹²⁾에 의해 각각 개발되었다.

현재는 그림 7에서 보는 바와 같이 1985년 Hitachi¹³⁾에 의해 개발된 이중다결실리콘 제조공정을 이용한 비트당 2-트랜지스터의 64kbit 및 256kbit SNOS EEPROM이 주로 사용된다. 프로그래밍 전압은 16V이고 칩 자체에서 공급된다. 판독 참조시간은 150nsec, 소비전력은 55mW, 기록/소거 시간은 바이트당 1msec이며, 10^4 회의 기록/소거후에도 1%이하의 failure를 나타냈다. 최근에 나타나고 있는 SNOS EEPROM에 관한 개발동향중 특이할 만한 점은 data-polling 및 read-busy signal과 같은 특정용도의 EEPROM을 위해 필연적으로 요구되는 소비전력의 감소와 논리설계의 용이함을 위해서 CMOS형의 EEPROM개발에 주력하고 있다는 것이다.

그림 7과 같은 SNOS 메모리 셀의 프로그래밍 과정은 다음과 같다. n-channel SNOS 트랜지스터인 경우, 웰(well)은 접지하고 게이트에 커다란 음(-)의 전압을 인가하면(일반적으로 전압크기는 64kbit 및 256 kbit EEPROM에 대해 각각 12V 및 16V임), 실리콘 반도체 표면으로 부터 정공(hole)이 산화막을 터널링하여 질화막으로 주입되어 기억트랩에 트랩핑된다. 이렇게 축적된 양(+)의 전하들로 인해서 문턱전압(threshold voltage)값은 감소하며, 이상의 과정을 기록동작이라 한다. 반면에 게이트를 접지하고 well에 커다란 양(+)의 전압을 인가하면 질화막내의 트랩에 트랩된 정공은 다시 산화막을 통해 터널링하여 실리콘으로 주입되므로 문턱전압값은 증가하게 되며, 이러한 과정을 소거동작이라 한다. 선택 트랜지스터를 통해 어드레싱하고, SNOS 트랜지스터의 상태를 감지하므로써 셀의 기록상태를 판독한다. SNOS 트랜지스터의 프로그래밍을 위해서는 양극성(bipolarity)의 큰 전압이 필요하다. 따라서, 메모리 회로는 주변 MOS 회로와 분리되어야 한다. 이를 위한 가장 보편적인 접근법은 분리된 p-well을 이용하는 것이다.

앞에서 살펴본 바와 같이 256kbit의 메모리 실장용량과 12V의 프로그래밍 전압이 SNOS

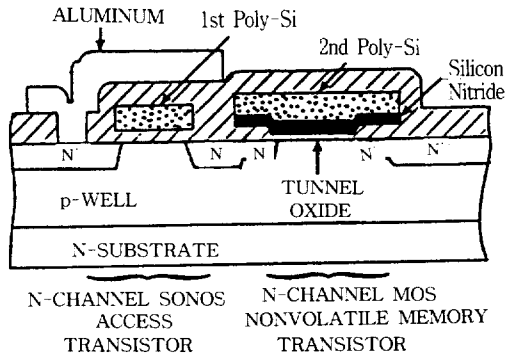


그림 7 256kbit SNOS EEPROM 셀의 단면도

EEPROM기술의 현황이다. 따라서, 고집적 및 프로그래밍전압의 감소를 위해서 scaling-down은 필연적이다. 그러나, SNOS메모리의 scaling에는 한계가 있다. 질화막은 200Å까지가 가능하며, 그 이하가 되면 전하의 게이트 주입 및 back-tunneling으로 인한 memory window크기의 감소, 기억유지시간의 감소등 소자의 성능저하가 야기된다. 또한 이 정도의 게이트 절연막 두께의 감소에도 불구하고 프로그래밍 전압은 여전히 10V 이상이다. 이러한 점에서 새로운 비휘발성 기억소자의 개발은 당연한 것이며, 바로 이런 요구를 충족시킨 것이 1983년 Suzuki등¹⁴⁾에 의해 제안되어 개발된 SONOS(polysilicon-oxide-nitride-oxide-semiconductor) 기억소자이다. 최근 SONOS 메모리는 Mbit의 집적도를 갖는 full featured EEPROM으로써 floating 게이트의 주역인 flash EEPROM과 더불어 학계 및 기업체등에서 상당한 연구가 진행되고 있으며, 실제 EEPROM으로의 응용은 Hitachi가 주도하고 있다.

한편, scaling-down의 제약에 따른 집적도 및 저전압화의 한계에도 불구하고 SNOS 메모리는 군사용 및 우주산업용 EEPROM으로 독보적인 자리를 차지하고 있는데 이는 방사선에 대한 내구력이 좋고, 상황에 따른 기억특성의 조정이 용이하다는 점때문이다.¹⁵⁾ 특히, 77K의 온도에서 조사량(dose)이 mega rad인 방사선에 대해서도 그 신뢰성이 보장된다는 점에서 앞으로도 계속 사용될 것으로 생각된다.

6. EEPROM의 현황과 전망

6-1 Flash EEPROM

1984년 Masuoka등¹⁶⁾에 의해 최초의 현대적 flash EEPROM이 제안되었다. 그 셀구조는 앞에서 언급된 TPGF로써 그림 8과 같다. Flash

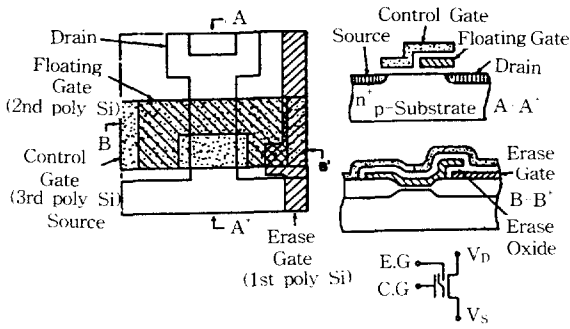


그림 8 TPGF형 flash EEPROM의 평면도 및 단면도

EEPROM의 제작은 삼중층 다결정 실리콘 기술(three-layer polysilicon technology)를 이용한다. 이때, 첫번째 다결정 실리콘은 소거용 게이트로서, 두번째 다결정실리콘은 floating 게이트로서, 그리고 세번째 polysilicon은 control 게이트로서 사용된다. 프로그래밍은 UV-EPROM과 마찬가지로 CHE주입을 이용하고, 소거는 floating 게이트로부터 소거 게이트로 전자를 추출(extracting)하여 수행한다. 이때 소거는 모든 바이트에 대해 동시에 행해진다. 따라서, 이와 같이 전 메모리 어레이가 매우 빨리 소거될 수 있다는 점에서 "flash"라는 이름이 붙여졌다. 최근에는 block 혹은 page라 부르는 전 셀 혹은 일부의 많은 셀이 동시에 소거되는 모든 EEPROM도 flash EEPROM이라 부른다.

Flash EEPROM은 UV-EPROM과 비교하여 몇 가지 장점들이 있다. UV-EPROM의 소거시간이 약 10분 정도로 긴 반면에 flash-EEPROM을 소거하는 데는 1초가 채 안걸린다. UV-EPROM은 UV transparent quartz window때문에 비싼 package를 사용해야 하고, 소거를 위해서 시스템으로부터 제거되어야 한다. 이러한 단점들 때문에 최근에 몇몇 기업들은 UV-EPROM의 개발을 중지하고 오히려 flash EEPROM의 개발에 치중하려는 경향이 있다. 한편, 전형적인 EEPROM과 비교하여 flash EEPROM은 큰 단점이 있다. 전형적인 EEPROM은 각 바이트의 선택적 소거를 달성할 수 있으나, flash EEPROM은 동시에 모든 바이트를 소거한다는 단점이 있다. 그러나, flash EEPROM은 셀크기가 EPROM 및 DRAM에 비견할 만큼 작기 때문에 비트당 단가가 저렴하고 고집적화가 용이하다는 장점이 있어 현재 flash EEPROM의 수요는 전형적인 EEPROM과 거의 같은 수준이며 빠른 시일내에 오히려 더 성장할 것으로 예측된다.

Flash EEPROM은 기존의 소거가능한 비휘발성 메모리의 주역인 EPROM 및 전통적인 EEPROM

표 3 Flash 메모리의 종류

1978	EAROM	D. C. Guterman <i>et al.</i>	TI
1984	Flash memory	F. Masuoka <i>et al.</i>	Toshiba
1985	Flash memory (256 kb)	F. Masuoka <i>et al.</i>	Toshiba
1985	Source-erase type Flash	S. Mukherjee <i>et al.</i>	EXCEL
1987	Drain-erase type Flash (128 kb)	G. Samachisa <i>et al.</i>	Seeq, UCB
1987	NAND structure EEPROM	F. Masuoka <i>et al.</i>	Toshiba
1987	Source-erase type Flash	H. Kume <i>et al.</i>	Hitachi
1988	ETOX-type Flash (256 kb)	V. N. Kynett <i>et al.</i>	INTEL
1988	NAND EEPROM	R. Shirota <i>et al.</i>	Toshiba
1988	ETOX-type Flash	S. Tam <i>et al.</i>	INTEL
1988	ETOX-type Flash, reliability	G. Verma <i>et al.</i>	INTEL
1988	NAND EEPROM	M. Momodomi <i>et al.</i>	Toshiba
1988	Poly-poly erase Flash	R. Kazerounian <i>et al.</i>	WSI
1988	Contactless Flash	M. Gill <i>et al.</i>	TI
1989	Contactless Flash (256 kb)	S. D'Arrigo <i>et al.</i>	TI
1989	Gate-negative erase	S. Haddad <i>et al.</i>	AMD
1989	NAND EEPROM (4 Mb)	M. Momodomi <i>et al.</i>	Toshiba
1989	ETOX-type Flash (1 Mb)	V. N. Kynett <i>et al.</i>	INTEL
1989	Sidewall Flash	K. Naruke <i>et al.</i>	Toshiba
1989	Contactless Flash	M. Gill <i>et al.</i>	TI
1989	Punchthrough erase	T. Endoh <i>et al.</i>	Toshiba
1990	Well-erase	S. Aritome <i>et al.</i>	Toshiba
1990	NAND EEPROM	Y. Iwata Flash	Toshiba
1990	Contactless Flash, ACEE	B. Riemenschneider <i>et al.</i>	TI
1990	NAND EEPROM, well erase	R. Kirisawa <i>et al.</i>	Toshiba
1990	FACE cell	B. J. Woo <i>et al.</i>	INTEL
1990	Gate-negative erase	N. Ajika <i>et al.</i>	Mitsubishi
1990	Contactless Flash	M. Gill <i>et al.</i>	TI
1990	Bipolarity Write/Erase	S. Aritome <i>et al.</i>	Toshiba
1991	PB-FACE cell	B. J. Woo <i>et al.</i>	INTEL
1991	Burst-pulse erase	N. Kodama <i>et al.</i>	NEC
1991	Sector-erase	H. Kume <i>et al.</i>	Hitachi
1991	Flash cell, scaling	K. Yoshikawa <i>et al.</i>	Toshiba
1991	Self-conversion erase	S. Yamada <i>et al.</i>	Toshiba

의 단점을 보완함으로써 시스템 BIOS(basic input output system), 시스템 configuration, 계측기기 calibration을 비롯한 향후 노트북(note book) PC, 휴대용(hand held) PC, 전자스틸 카메라등 휴대용기기의 교체기억장치(solid state disk memory)등과 같은 이들의 주 응용분야를 대체할 것으로 기대된다. 특히 휴대용 PC의 외부 기억장치는 기존의 자기 하드 디스크 메모리의 내충격성

및 동작속도등의 문제점을 보완하는 비휘발성 반도체 기억 소자를 필요로 하기 때문에 flash EEPROM의 주 시장이 될 것으로 예측된다. 또한, 기존의 하드 디스크 메모리와 비트당 단가가 좁혀지는 2000년대에는 DRAM이상의 수요를 창출할 것으로 기대되고 있다. 이러한 점에서 일찍이 세계 각 기업은 flash EEPROM에 대해 상당한 개발노력을 쏟아왔으며, 이는 표 3에서 보는 바와 같이, 년도별로 다양한 flash EEPROM이 개발되고 있다.¹⁷⁾ 최근에는 양극성 FN터널링 기록/소거 기술(bipolarity FN tunneling write/erase technology)를 이용한 NAND형 EEPROM이 개발되어 성능, 집적도, 비용등 뿐만 아니라 특히, 신뢰성 측면에서 유리하여 향후 flash EEPROM기술은 이것에 의해 주도될 것이라 생각된다.

6-3 SONOS EEPROM

MONOS(metal-oxide-nitride-oxide-semiconductor) 메모리는 MNOS 메모리가 제안된 후 얼마 지나지 않아서 Westinghouse의 Keshavan 등¹⁸⁾에 의해 최초로 보고 되었다. 10년 뒤인 1977년, NCR의 Chen¹⁹⁾에 의해 현대적인 표준 LSI 제조공정(standard fabrication LSI process)에 따라서 실리콘 게이트인 SONOS 메모리가 제안되었다. 그 후, SONOS메모리는 두가지 방법으로 연구가 진행되었다.

표 4 SNOS 메모리의 scaling지침

Item	16k (k=1)	64k (k=1.5)	256k (k=2.5)	SF
TECHNOLOGY(μm)	3	2	1.2	k^{-1}
CELL AREA(μm^2)	400	180	60	k^{-2}
MOS : $t_{ox}(\text{nm})$	75	50	30	k^{-1}
SNOS : $t_n(\text{nm})$	50	32	20	$k^{-1.1}$
: $t_{ox}(\text{nm})$	2.1	2.0	1.9	$k^{-0.1}$
Program Voltage(V)	25	16	10	$k^{-1.1}$

첫번째 방법은 Hitachi의 Yatsuda 등²⁰⁾이 제안한 방법이다. 표 4에서 보는 바와 같은 Yatsuda의 scaling 지침을 기본으로 $1.2\mu\text{m}$ 설계규칙에 따라서 제작한 프로그래밍 전압이 10V인 256kbit의 SNOS EEPROM은 질화막의 두께를 200Å까지 줄였다. 그러나, 질화막 두께의 감소에 따른 게이트 전극으로 부터의 전하주입 때문에 memory window크기가 극도로 작아졌다. 게이트 전하주입을 막기 위해서 습식산화법(steam oxidation)이나 퇴

적법(deposition)으로 질화막 위에 20~30Å의 얇은 산화막을 한 층 더 입힌 그림 9 (b)와 같은 SONOS구조를 이용하였다. 그러나, 상단 산화막(top oxide)을 도입해도 질화막의 두께가 200Å 이하가 되면 Westinghouse의 Hampton 등²¹⁾이 지적한 바와 같이 또다른 문제가 발생한다. 즉, 정공의 트랩핑 깊이는 150~200Å으로서 50~100Å인 전자의 트랩핑 길이보다 더 길기 때문에 소거상태시 정공은 게이트 전극 근처에 주로 트랩핑되고 사실상 이들중 대부분은 게이트 전극을 통해서 누설되므로 문턱전압값은 현저하게 감소한다.

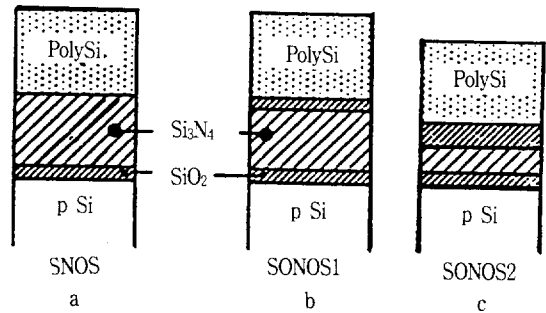


그림 9 SONOS 메모리의 scale-down

두번째 방법은 30Å이상의 비교적 두꺼운 상단 산화막을 도입하여 고집적, 낮은 프로그래밍 전압을 실현한 SONOS EEPROM이다.¹⁴⁾ 그림 9(c)에서 보는 바와 같이 상단 산화막을 30Å 이상으로 두껍게 하였다. 두꺼운 상단 산화막은 게이트 전하 주입뿐만 아니라 상단 산화막-질화막 계면에 주입된 전하의 누설을 막아 주기 때문에 질화막의 두께를 100Å이하로 줄일 수 있었다. 게이트 절연막의 scale-down은 낮은 프로그래밍 전압과 관계한다. 이 밖에도 이 방법은 몇 가지 중요한 잇점들이 있다. 질화막을 산화시켜 성장시킬때 상단 산화막-질화막계면에는 산소(oxygen)와 관련된 기억트랩이 대단히 많이 형성되어²²⁾ 질화막 두께의 감소에도 불구하고 커다란 memory window크기가 실현된다. 산소와 관련된 트랩은 활성화에너지가 크기 때문에 기억유지특성도 향상된다. 상단 산화막이 정공주입도 막아 주므로써 소자의 열화특성도 개선된다. Hitachi에서는 이미 20Å의 터널링 산화막, 30Å의 질화막, 55Å의 상단산화막을 갖는 SONOS메모리를 제작하여 5V의 프로그래밍전압을 실현하였으나 공정과 구조의 최적화를 위한 연구가 더욱 요구되고 있다. Scaled-down SONOS 메모리는 SNOS메모리와 마찬가지로 방사선에 대한 내구성이 큰 것으로 보고되고 있다. 최근에는

그림 10에서 보는바와 같이 선택 소자가 필요없는 비트당 1-트랜지스터 셀인 full featured SONOS EEPROM이 개발되어 많은 주목을 끌고 있다.

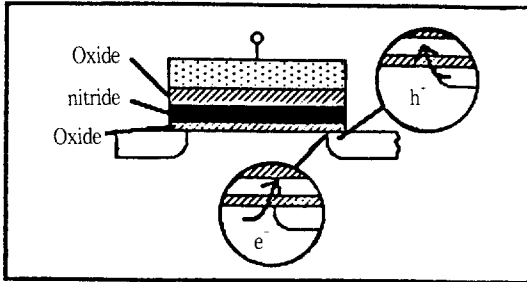


그림 10 1-트랜지스터 SONOS EEPROM셀의 단면도 및 프로그래밍 기구

한편, 더욱 효율적인 blocking효과를 얻기 위한 상단 산화막의 성장방법 개선 및 개발에 관한 연구도 활발하여 최근에는 Hitachi의 Minami등²³⁾이 LPCVD방법으로 상단 산화막을 성장시키므로써 10^7 회의 기록/소거 반복 후에도 10년 이상의 기억 유지 능력이 보장된다고 보고하였다. 앞에서 살펴본 바와 같이 SONOS EEPROM은 5V의 프로그래밍전압, 기억유지 및 기록/소거 반복횟수의 보장, 방사선에 대한 내구력, 간단한 구조, 이해가 용이한 동작원리, 작은 셀면적, 기존의 반도체공정을 그대로 적용할 수 있다는 점에서 향후 Mbit의 full featured EEPROM시장을 주도할 것으로 예상된다.

7. 결 론

EEPROM의 응용분야는 데이터 저장을 위한 고밀도 분야와 EPLD(electrically reprogrammable logic device) 및 ASIC을 위한 고속화가 보장된 저밀도 분야로 크게 분류될 것이다. 이에 따라 EEPROM기술도 지금까지와 마찬가지로 크게 MIOS 기술 및 floating게이트 기술의 두 부류가 그대로 계속 공존할 것이며, 단가, 집적도, 특별히 요구되는 성능, 그리고 기술적 호환성등에 따라 적구되는 성능, 그리고 기술적 호환성등에 따라 적절한 형태의 메모리가 이용될 것이다.

SNOS메모리는 저밀도 full featured EEPROM으로써 군사용 및 우주산업용으로 현재의 위치를 고수할 것이며, SONOS메모리는 고밀도 full featured EEPROM으로 차세대 반도체 산업의 주역으로서 앞으로 이에대한 연구 및 실제응용은 대단히 활발할 것으로 기대된다. 1990년대를 들어서면서 많은 관심을 모아온 flash EEPROM은 이미

집적도, 저전압화, 응용성등에서 상당한 진전을 보이고 있으며, 16Mbit 이상이 되면 자기 하드 디스크 메모리는 flash EEPROM에 의해 대체될 것으로 예상된다.

참 고 문 헌

- 1) H.A.R. Wegener, et al., Int. Electron Devices Meet. Tech. Digest, pp. 58(1967)
- 2) D. Kahng, et al., Bell Syst. Tech. J., Vol. 46, pp.1288(1967)
- 3) B. Prince, Semiconductor Memories (A Handbook of Design, Manufacture, and Application), 2nd edition, Chap. 3, England : John Wiley & Sons Ltd.(1991)
- 4) H.E. Maes, et al., Proc. ESSDERC, pp. 743 (1987)
- 5) D. Frohman-Bentchkowsky, IEEE J. Solid State Circuits, Vol. sc-6, pp. 301(1981)
- 6) D. Kahng, Silicon Integrated Circuits, Part A, Chap. 2, New York : Academic Press(1981)
- 7) P Balk, et al., J. Electrochem. Soc., Vol. 118, pp.1634(1971)
- 8) T. Matsuo, Jpn. J. Appl. Phys., Vol. 12, pp. 1862 (1973)
- 9) J.R. Circhi, et al., Int. Electron Devices Meet.Tech. Digest, pp. 126(1973)
- 10) T. Hagiwara, et al., IEEE J. Solid State Circuits, Vol. sc-15, pp. 346(1980)
- 11) A. Lancaster, et al., ISSCC Proceedings, Feb., pp. 164 (1983)
- 12) V.K. Dham, et al., ISSCC Proceedings, Feb., pp.166 (1983)
- 13) Y. Yatsuda, et al., IEEE J. Solid State Circuits, Vol. sc-20, No. 1, pp. 144(1985)
- 14) E. Suzuki, et al., IEEE Trans. Electron Devices, Vol. ED-30, No. 2, pp. 122 (1983)
- 15) R.V. Jones, et al., Proc. Symp. Silicon-Nitride Thin Insulating Films, Vol. 83-8, pp. 211 (1983)
- 16) F. Masuoka, et al., IEEE Tech. Dig. IEDM 1984, pp. 464 (1984)
- 17) S. Aritome, et al., Proc. IEEE, Vol. 18, No. 5, pp. 776 (1993)
- 18) B.V. Keshavan, et al., Int. Electron Devices Meet., pp. 140 (1968)
- 19) P.C.Y. Chen, IEEE Trans. Electron Devices, Vol. ED-24, No. 5, pp. 584 (1977)

- 20) Y. Yatsuda, et al., Jap. J. Appl. Phys., Vol. 21, Supplement 21-1, pp. 85 (1982)
- 21) F.L. Hampton, et al., Appl. Phys. Lett., 35, No.10, pp. 802 (1979)
- 22) E. Suzuki, et al., IEEE Trans. Electron Devices, Vol. ED-33, No. 2, pp. 214 (1986)
- 23) S. Minami, et al., IEEE Trans. Electron Devices, Vol. ED-40, No. 11, pp. 2011 (1993)
-

저자소개



이상배

1963년 3월 28일생. 1987년 광운대학 전자재료공학과 졸업. 1989년 동 대학원 전자재료공학과 졸업(석사). 1994년 현재 동 대학원 전자재료공학과 박사과정.



서광열

1939년 9월 27일생. 1961년 인하대학 원자력공학과 졸업. 1969년 연세대학 교육대학원 졸업. 1986년 경희대학 대학원 물리학과 졸업(이박). 1994년 현재 광운대학교 전자재료공학과 교수.