

## ECR-플라즈마 화학 증착법에 의해 제조된 $Ta_2O_5$ 박막의 유전 특성

조복원 · 안성덕 · 이원종

한국과학기술원 전자재료공학과

(1994년 5월 13일 접수)

### Dielectric Characteristics of $Ta_2O_5$ Thin Films Prepared by ECR-PECVD

Bok-Won Cho, Seong-Deok Ahn and Won-Jong Lee

Department of Electronic Materials Engineering, Korea Advanced

Institute of Science and Technology, Teajon, 305-701

(Received May 13, 1994)

#### 요 약

ECR-PECVD 방법으로 p-Si(100) 기판 위에 두께 15 nm의  $Ta_2O_5$ 를 증착한 후 산소 분위기에서 열처리하였다.  $Ta_2O_5$ 와 계면  $SiO_2$ 의 두께는 ellipsometer와 단면TEM으로 측정하였다. 열처리 결과  $Ta_2O_5$  박막의 화학양론비가 향상되고 불순물 탄소의 양은 감소하였으며, 열처리 온도가 750°C 이상에서는  $\delta$ - $Ta_2O_5$ 로 결정화되었다. 누설전류특성은 산소 분위기 700°C에서 열처리한 시편에서 가장 우수하였고, 유전상수는 750°C에서 열처리한 시편에서 가장 높은 값을 나타내었다. Al/ $Ta_2O_5$ / $SiO_2$ /p-Si MOS capacitor의 평탄대역전압(flat-band voltage)은 -0.6~-1.6 V 범위에 존재하였다. 또한  $Ta_2O_5$  박막의 전도기구, 열처리 온도에 따른 effective oxide charge의 변화, 그리고  $Ta_2O_5$ / $SiO_2$  이중 박막내의 전장 분포를 고찰하였다.

#### ABSTRACT

$Ta_2O_5$  films were deposited on the p-Si(100) substrates by ECR-PECVD and annealed in  $O_2$  atmosphere. The thicknesses of  $Ta_2O_5$ / $SiO_2$  layers were measured by an ellipsometer and a cross-sectional TEM. Annealing in  $O_2$  atmosphere enhanced the stoichiometry of the  $Ta_2O_5$  film and reduced the impurity carbon content.  $Ta_2O_5$  films were crystallized at the annealing temperatures above 750°C. The best leakage current characteristics and the maximum dielectric constant of  $Ta_2O_5$ / $SiO_2$  film capacitor were observed in the specimen annealed at 700°C and 750°C, respectively. The flat band voltage of the Al/ $Ta_2O_5$ / $SiO_2$ /p-Si MOS capacitor was varied in the range of -0.6~-1.6 V with the annealing temperature. The conduction mechanism in the  $Ta_2O_5$  film, the variation of the effective oxide charge density with the annealing temperature, and the effective electric field distribution in the  $Ta_2O_5$ / $SiO_2$  double layer were also discussed.

#### 1. 서 론

Dynamic random access memory(DRAM) 소자의 집적도가 증가됨에 따라 감소된 셀 면적에서도 소자의 안정적 구동과  $\alpha$ -입자에 의한 soft error<sup>1,2)</sup>의 방지를 위해서는 적절한 메모리 셀당 정전용량(>25 fF)을 확보하여야 한다. 이를 위해서는 전하 축적용 유전막의 두께를 감소시키거나, 전극 면적을 증가시키거나 또는 고 유전

상수를 갖는 유전막을 사용하여야 한다. 현재 사용되고 있는  $Si_3N_4$ / $SiO_2$  유전막은 그 유효산화막 두께( $SiO_2$  유전상수로 환산한 두께)가 4 nm 이하가 되면 direct tunneling current가 크게 증가하고 time dependent dielectric breakdown(TDDB) 특성이 급격히 저하되기 때문에 두께 감소에 의한 정전용량 증가는 이미 물리적 한계에 도달하였다<sup>3,4)</sup>. 전극 면적의 증가를 위해서 memory cell 구조의 3차원화, 즉 trench형, stack형, hemispherical

grain(HSG) 등의 축적 전극의 입체화가 연구되고 있다<sup>6-7)</sup>, 그러나 256Mb DRAM급 이상의 초고집적 소자의 경우 축적 전극이 어떠한 형태의 구조를 갖더라도 공정상의 어려움으로 인하여 유효산화막 두께가 4 nm인 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 복합 유전 박막으로 cell당 25 fF 이상의 정전용량을 확보하기가 매우 어렵다. 따라서 기존의 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>를 대체할 수 있는 고 유전상수를 갖는 유전체 개발 요구가 증가하고 있다. 그 중 Ta<sub>2</sub>O<sub>5</sub>는 유전상수(22~28)가 크고 절연파괴 및 누설전류특성이 양호하기 때문에 기존의 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>를 대체할 수 있는 물질로서 많은 관심을 받아왔다.

Ta<sub>2</sub>O<sub>5</sub> 박막 형성 방법에는 photo-CVD<sup>8)</sup>, low pressure thermal CVD(LPCVD)<sup>9-11)</sup> 그리고 plasma enhanced CVD(PECVD)<sup>12)</sup> 등 여러가지 방법들이 제안되고 있다. PECVD에 쓰일 수 있는 플라즈마중 electron cyclotron resonance(ECR) 플라즈마는 고진공에서 고밀도, 고효율이며, 이온 충돌에 의한 손상이 적으므로 이를 이용하면 저온에서도 불순물 함량이 적고 산소 결함이 적은 치밀한 박막을 형성할 수 있다.

본 연구에서는 ECR-PECVD방법에 의해 Ta<sub>2</sub>O<sub>5</sub> 박막을 증착한 후 산소 분위기에서 열처리한 시편의 전류-전압(I-V)특성과 정전용량-전압(C-V)특성을 고찰하였다. 또한 Ta<sub>2</sub>O<sub>5</sub>/Si 계면에 형성된 SiO<sub>2</sub>층이 전체 박막의 전기적 성질에 미치는 영향도 함께 고찰하였다.

## 2. 실험

Ta<sub>2</sub>O<sub>5</sub> 박막 증착에 쓰인 ECR-PECVD 장비 개략도를 Fig. 1에 나타내었다. Ar이 도입되는 챔버내에 magnetron 으로부터 2.45 GHz의 microwave와 magnetic coil로부터 875 Gauss의 자기장이 공급되면 ECR-플라즈마층이 형성된다. 발산 자계(divergent magnetic field)를 따라 내려온 ECR-플라즈마가 반응 기체인 tantalum ethoxide (Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>)와 O<sub>2</sub>를 효과적으로 활성화시켜 실리콘 기판위에 Ta<sub>2</sub>O<sub>5</sub> 박막이 증착된다. 탄탈륨 원료인 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>는 온도에 따라 평형 증기압이 민감하게 변화하여 증착속도에 큰 영향을 주게되므로 bubbler와 heater 사이에 열전도성이 좋은 MgO 분말을 넣어 bubbler 전체의 온도가 균일하게 유지되도록 하였다. Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub> bubbler의 온도는 140°C (평형 증기압 0.1 Torr)이었으며, Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>가 지나가는 개스관은 180°C 이상을 유지하였다. 모든 개스는 별도의 개스관을 통하여 반응로에 주입되었으며, 균일한 개스 분포를 위해 ring 형태의 개스관을 통해 분사되었다.

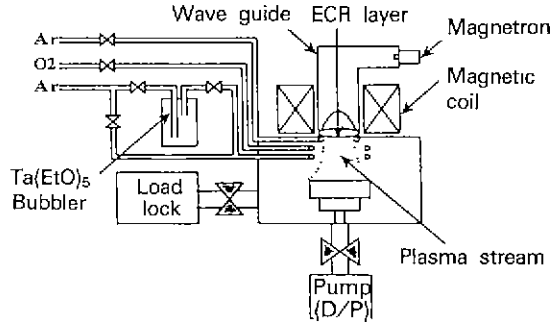


Fig. 1. Schematic diagram of the ECR-PECVD system for Ta<sub>2</sub>O<sub>5</sub> film.

실험에 사용된 기판은 5~10 Ω·cm의 비저항값을 갖는 p형 Si(100)이었다. Ta<sub>2</sub>O<sub>5</sub> 박막 증착전에 RCA 세정법으로 실리콘 기판 표면에 존재하는 오염 물질과 자연산화막을 제거하였다. Ta<sub>2</sub>O<sub>5</sub>는 기판 온도 95°C, 압력 0.72 mTorr, 전자파출력 300 W, 플라즈마 발생용 Ar 5 sccm, Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub> 수송용 Ar 10 sccm, O<sub>2</sub> 5 sccm의 조건에서 15 nm 두께로 증착하였다. 이때 고분해능의 단면TEM으로 분석한 결과 Ta<sub>2</sub>O<sub>5</sub> 박막과 실리콘 기판과의 사이에 3 nm 두께의 SiO<sub>2</sub>가 형성되었음을 알 수 있었다. Ta<sub>2</sub>O<sub>5</sub> 박막 증착후 온도 700~850°C, 압력 1기압의 산소 분위기에서 30분 동안 열처리하였다.

Ta<sub>2</sub>O<sub>5</sub> 박막 및 계면 SiO<sub>2</sub>의 두께는 ellipsometer와 고분해능의 단면TEM을 이용하여 측정하였고, Ta<sub>2</sub>O<sub>5</sub> 박막의 성분과 구조는 각각 Auger electron spectroscopy (AES)와 X-ray diffraction(XRD)을 이용하여 분석하였다.

전기적물성 측정을 위해서 Al/Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>/p-Si MOS capacitor를 제작하였다. Ta<sub>2</sub>O<sub>5</sub> 박막 위에 0.5 μm 두께의 알루미늄을 열 진공 증착법으로 증착후 사진식각 공정을 이용하여 직경 0.5 mm 원형(전류-전압 측정용) 및 37.5×25 μm<sup>2</sup> 직사각형(정전용량-전압 측정용)의 전극을 만들었고, 실리콘 기판 뒷면에도 0.5 μm 두께의 blanket 알루미늄을 증착하였다.

전류-전압과 정전용량-전압 측정은 각각 HP model 4140B pA meter/DC voltage source와 HP model 4275 multi-frequency LCR meter를 이용하였다. 전류-전압 측정시 p-Si 표면에 전하축적(accumulation) 영역이 형성되도록 음의 직류 전압을 인가하였으며, 직류 전압의 변화는 step voltage 0.1 V, hold time 1 sec 그리고 step delay time 2 sec였다. 정전용량-전압 측정시 gate 전압은 +2 V에서 -6 V까지 0.2 V/sec로 인가하였고, 측정 주파수는 1 MHz이었다.

MOS capacitor의 평탄대역전압(flat-band voltage,  $V_{FB}$ )과 그 안정성은  $Ta_2O_5$ 를 기억소자로의 적용을 위해 중요한 변수이다. MOS capacitor에서 인가 전압에 의한 박막의 내부 또는 계면에 존재하는 하전량의 변화는  $V_{FB}$ 의 이동을 초래한다. 실험적으로  $V_{FB}$ 의 측정은 평탄대역정전용량(flat-band capacitance,  $C_{FB}$ )를 먼저 얻은 다음 그에 해당하는  $V_{FB}$ 를 정전용량-전압 곡선으로부터 구하였다.  $C_{FB}$ 의 계산 관계식은 다음과 같다.

$$C_{FB} = \frac{C_{ox}\epsilon_s A / (1 \times 10^{-4})(\lambda)}{(1 \times 10^{-12})(C_{ox}) + \epsilon_s A / (1 \times 10^{-4})(\lambda)} \quad (1)$$

$$\lambda = (1 \times 10^{-4})(\epsilon_s kT / q^2 N_A)^{1/2}$$

여기서,  $C_{FB}$ =flat-band capacitance(pF),  $C_{ox}$ =oxide capacitance(pF),  $\epsilon_s$ =permittivity of Si(F/cm),  $A$ =gate area( $cm^2$ ),  $\lambda$ =extrinsic Debye length(cm),  $kT$ =thermal energy at room temperature( $4.046 \times 10^{-21}$  J),  $q$ =electron charge( $1.60219 \times 10^{-19}$  coul) 그리고  $N_A$ =dopant concentration in Si(atoms/ $cm^3$ )이다.

### 3. 결과 및 토론

#### 3.1. 누설 전류 특성

Fig. 2는 ECR-PECVD법으로 증착된  $Ta_2O_5$  박막의 구

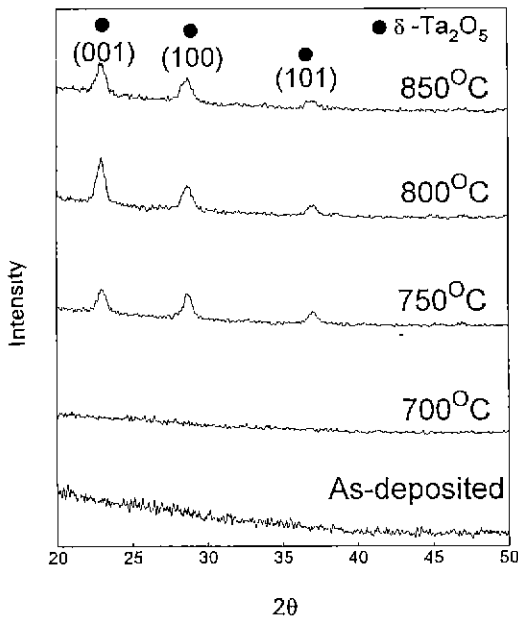


Fig. 2. XRD spectra for  $Ta_2O_5$  films deposited at  $95^\circ C$  and annealed at  $700 \sim 850^\circ C$  in an  $O_2$  atmosphere.

조와 이  $Ta_2O_5$  박막을 산소 분위기에서 후처리할 때 열처리 온도에 따른  $Ta_2O_5$  박막의 구조 변화를 알기 위해 측정된 XRD 결과이다. 증착 시편인  $Ta_2O_5$  박막과  $700^\circ C$ 에서 30분간 열처리된  $Ta_2O_5$  박막은 비정질이다. 그러나  $750^\circ C$  이상의 온도에서 30분간 열처리하면 비정질의  $Ta_2O_5$  박막이  $\delta$ - $Ta_2O_5$ 상으로 결정화됨을 알 수 있다.

Fig. 3은 증착된 시편을 산소 분위기에서 열처리하였을 때 열처리 온도에 따른 박막의 누설전류특성 곡선을 보여주고 있다. 열처리 온도가  $700^\circ C$  일 때 누설전류특성이 가장 우수하며 열처리 온도가 더 이상 증가할 경우 오히려 그 특성이 열화되고 있다.

AES 분석결과, 산소 분위기에서의 열처리는  $Ta_2O_5$  박막의 산소결핍을 보충해주어 박막의 화학양론비가 향상되고 불순물 탄소의 함량이 감소됨을 알았다. 따라서  $700^\circ C$ 에서 열처리한 박막은 증착 그대로의 시편에 비해 향상된 누설전류특성을 나타내는 것으로 생각된다. 그러나 열처리 온도가  $750^\circ C$  이상으로 증가하면  $Ta_2O_5$  박막이 결정화되고 결정결함이 증대하여서, 결정입계 및 결정결함을 통하여 쉽게 전기전도가 일어나므로 오히려 누설전류특성은 열화되는 것으로 판단할 수 있다. 고온 열처리에 의하여  $Ta_2O_5$  박막이 결정화되어 누설전류특성이 열화되는 현상은 다른 연구자들<sup>11-17)</sup>에 의해서도 보고되고 있다. 특히,  $850^\circ C$ 에서 열처리한 시편은 결정화가 과도하게 진행되어 거의 파괴된 것같은 누설전류

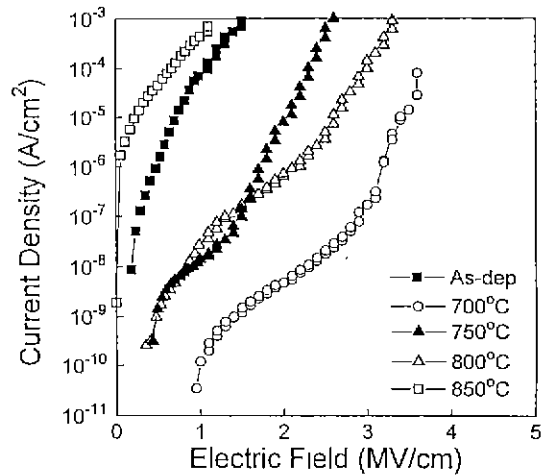


Fig. 3. J-E curves for  $Ta_2O_5/SiO_2$  films deposited at  $95^\circ C$  and annealed at  $700 \sim 850^\circ C$  in an  $O_2$  atmosphere (The thicknesses of  $Ta_2O_5$  and  $SiO_2$  layer are 15 nm and 3 nm respectively).

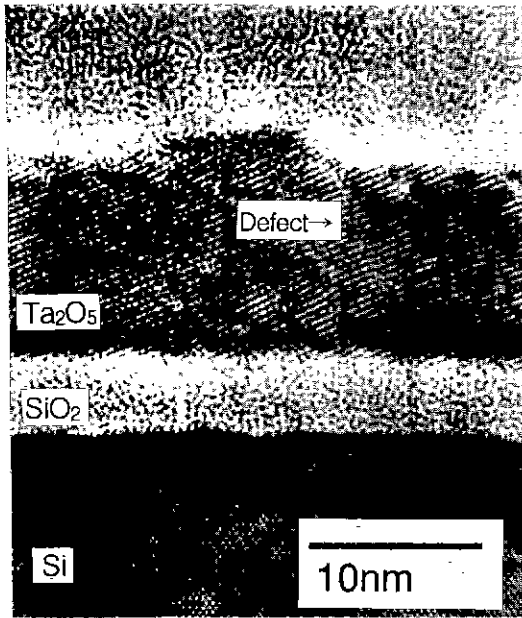


Fig. 4. TEM cross section micrograph of Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> film annealed at 850°C in O<sub>2</sub> atmosphere.

특성을 보이고 있다. 850°C 산소 분위기에서 열처리한 Ta<sub>2</sub>O<sub>5</sub> 박막의 단면 TEM 사진을 Fig. 4에 나타내었다. 850°C에서 열처리된 박막의 경우 박막의 표면 거칠기가 커져 있으며, 3 nm 간격으로 나타나있는 결정 결함을 볼 수 있다.

누설전류특성 측정은 전하축적영역에서 행하기 때문에 전도기구의 규명을 위해서는 이 상태에서의 band diagram과 실제적인 박막의 구조 및 성분, Ta<sub>2</sub>O<sub>5</sub> 및 SiO<sub>2</sub>층의 두께 그리고 박막 내부에 존재하는 전하 등을 함께 고려하여야 한다. 불순물 탄소와 산소 결핍등에 의해서 박막내에 많은 전하 trap이 존재하면 작은 전장에서도 trap site간의 tunneling 효과에 의해 전자의 이동이 일어난다. 증착 그대로의 시편에서 나쁜 누설전류특성은 이와같은 electronic hopping 기구에 의해서 전기전도가 일어나기 때문이라고 생각된다. 700°C와 750°C에서 열처리한 Ta<sub>2</sub>O<sub>5</sub> 박막의 경우 Poole-Frenkel plot(lnJ vs. E<sup>1/2</sup> plot)에서 높은 전장 영역에서 직선적인 관계를 보였다. 이를 Fig. 5에 나타내었다. Poole-Frenkel 전도는 불순물 준위에 있는 전자가 thermionic effect에 의해 유전체의 전도대로 이동하는 전도 현상을 말하며 Ta<sub>2</sub>O<sub>5</sub> 박막내에서의 전기전도가 Poole-Frenkel 전도기구에 의해서 일어남은 여러 연구자들<sup>18-21)</sup>에 의해서도 보고되고 있다.

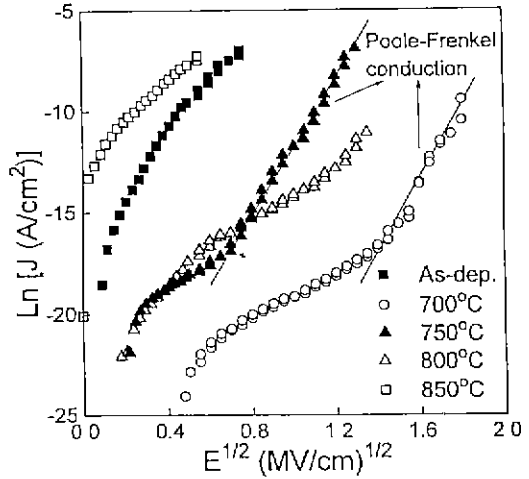


Fig. 5. Ln(J)-E<sup>1/2</sup> curves for Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> films deposited at 95°C and annealed at 700~850°C in an O<sub>2</sub> atmosphere.

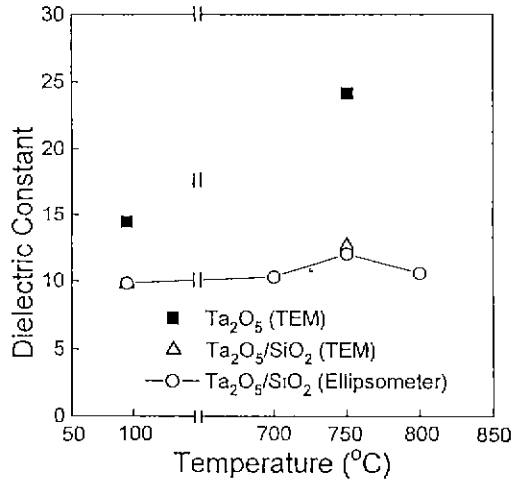


Fig. 6. Variation of dielectric constants of Ta<sub>2</sub>O<sub>5</sub> and Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> films with respect to the annealing temperature in an O<sub>2</sub> atmosphere (The thicknesses of the films were measured by using a cross-sectional TEM or an ellipsometer).

### 3.2. 유전 특성

Fig. 6은 95°C에서 증착된 Ta<sub>2</sub>O<sub>5</sub> 박막을 산소 분위기에서 열처리하였을 때 열처리 온도에 따른 박막의 유전상수의 변화를 보여주고 있다. Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> 전체 박막 및 Ta<sub>2</sub>O<sub>5</sub> 박막의 유전상수를 계산하기 위하여 필요한 각 박막의 두께는 단면TEM과 ellipsometer로 측정하였다. 750°C에서 열처리 하였을 경우 Ta<sub>2</sub>O<sub>5</sub> 박막의 유전상수가

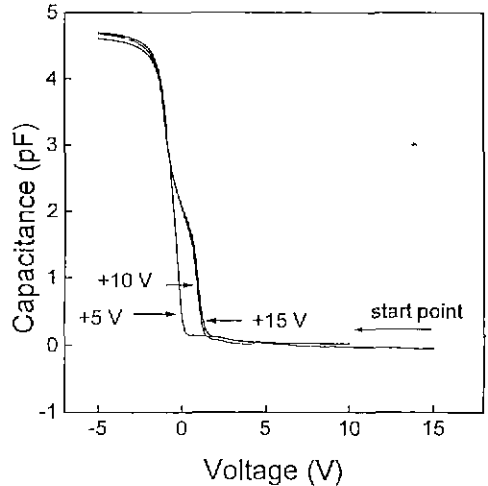
**Table 1.** C-V Characteristics of Al/Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>/p-Si MOS Capacitor.

Ta <sub>2</sub> O <sub>5</sub> preparation condition	$\epsilon_r$ (Ta <sub>2</sub> O <sub>5</sub> +SiO <sub>2</sub> )	C <sub>FB</sub> (pF)	V <sub>FB</sub> (V)	Q <sub>EFF</sub> (coul/cm <sup>2</sup> )
As-deposited at 95°C, 300 W	9.7	0.91	-1.2	+1.5×10 <sup>-7</sup>
at 700°C	10.2	0.97	-1.6	+3.3×10 <sup>-7</sup>
Annealed in O <sub>2</sub> at 750°C	11.9	0.95	-0.8	-6.1×10 <sup>-8</sup>
at 800°C	11.1	0.92	-0.6	-1.7×10 <sup>-7</sup>

15에서 24로 크게 증가하였으나, 전체 박막(Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>)의 유전상수는 9.7에서 11.9로 약간 증가하였다. 열처리 온도 증가에 따라 Ta<sub>2</sub>O<sub>5</sub> 박막의 유전상수도 증가하고, 계면 SiO<sub>2</sub>의 두께도 증가한다. 작은 유전상수를 가진 SiO<sub>2</sub>막( $\epsilon_r=3.9$ )의 두께 증가는 전체 박막의 유전상수 감소 효과를 가져온다. Ta<sub>2</sub>O<sub>5</sub>의 유전상수는 열처리에 의하여 증가하다 그 값이 거의 bulk Ta<sub>2</sub>O<sub>5</sub>값(25~28)으로 포화되지만, SiO<sub>2</sub>의 두께는 온도에 따라 계속 증가하므로 전체 박막의 유전상수는 열처리 온도 증가에 따라 최대가 되었다가 다시 감소한다. 850°C에서 열처리한 시편은 누설전류와 유전손실계수(dissipation factor)가 너무 커서 유전상수를 측정할 수 없었다.

Table 1은 열처리 온도에 따른 Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> 이중 구조 박막의 정전용량-전압 특성을 보여주고 있다. Q<sub>EFF</sub>는 Ta<sub>2</sub>O<sub>5</sub>와 SiO<sub>2</sub> 박막 및 계면에 존재하는 모든 전하들을 대표하여 표현한 유효전하밀도인데 V<sub>FB</sub>와 산화물의 정전용량으로부터 계산하였다. 이때 Al/Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>/p-Si MOS capacitor에서 Q<sub>EFF</sub>=0일 때의 V<sub>FB</sub>가 단순히 Al과 p-Si의 일함수 전위차( $\Phi_{MS} = -0.91$  V)라고 가정하였다. 증착 그대로의 시편에 비해 700°C에서 열처리한 시편에서의 유효전하가 약 2배 정도 더 많이 존재함을 알 수 있다. 현단계에서 그 원인을 정확히 알 수는 없으나, 열처리에 의해 Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> 이중 박막 구조에서 SiO<sub>2</sub>에 비하여 상대적으로 결합 밀도가 훨씬 높은 Ta<sub>2</sub>O<sub>5</sub>의 막질이 크게 개선되어 Ta<sub>2</sub>O<sub>5</sub> 박막 내부 또는 Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> 계면에 존재하는 음전하는 현저하게 감소하지만 SiO<sub>2</sub>에 존재하는 양전하는 큰 변화가 없어서 전체 유효전하가 증가하기 때문으로 생각된다. 반면 750°C 이상에서 열처리한 시편에서 Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> 이중 박막 구조 내부에 유효 음전하가 존재하였는데, 이는 정전용량-전압 측정시 음의 전압에 의해 주입된 전자가 Ta<sub>2</sub>O<sub>5</sub> 박막의 결정화로 인해 생성된 결정 입계와 Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> 계면에서 포획되어 나타난 결과로 생각된다.

Fig. 7는 95°C, 300 W의 조건에서 증착한 Ta<sub>2</sub>O<sub>5</sub> 박막을 시작점의 전압을 +5 V에서 +15 V로 변화시키면서 -5



**Fig. 7.** Instability in C-V plot of a Al/Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>/p-Si capacitor due to high positive voltage stress.

V까지 인가한 결과를 보여주고 있다. 상대적으로 큰 전압에서 stress를 받은 capacitor의 정전용량-전압 곡선이 양의 gate 전압쪽으로 이동하였으므로, 양의 전압 stress에 의해 capacitor에 음전하가 주입되었거나 생성되었음을 알 수 있다.

Fig. 8는 95°C, 300 W의 조건에서 증착한 Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> MOS capacitor의 전하측정 영역에서 측정 주파수에 따른 유전 손실 계수를 나타내고 있다. 박막의 정전용량은 주로 전자와 이온의 분극 기구에 의해 결정되기 때문에 측정된 정전용량은 10<sup>4</sup>~10<sup>6</sup> Hz 범위에서 4.78±0.1 pF로 거의 변화가 없었으며, 유전 손실 계수는 0.006~0.07 범위에 존재하였다. 10<sup>7</sup> Hz에서의 유전 손실 계수의 급격한 증가는 교류 누설저항의 감소에 기인한 누설전류의 증가와 배향 분극 손실 기구에 의한 유전 손실의 증가 때문인 것으로 생각된다.

**3.3. 절연 파괴 특성**

Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> 이중 박막에 걸리는 전장의 분포는 다음과

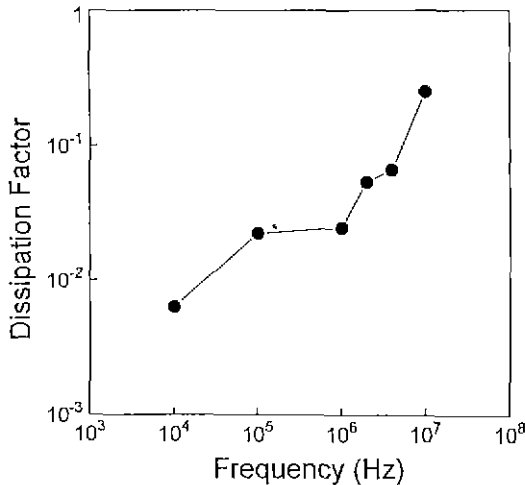


Fig. 8. Dissipation factor for a Al/Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>/p-Si capacitor as a function of measurement frequency.

같은 식에 의해 결정된다<sup>22)</sup>.

$$\epsilon_{r, total} E_{total} = \epsilon_{r, T} E_T + \epsilon_{r, S} E_S + Q/\epsilon_0 \quad (2)$$

여기서, E<sub>total</sub>, E<sub>T</sub>와 E<sub>S</sub>는 각각 전체 박막(Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>), Ta<sub>2</sub>O<sub>5</sub>와 SiO<sub>2</sub> 박막에 걸리는 전기장이고, ε<sub>r, total</sub>, ε<sub>r, T</sub>와 ε<sub>r, S</sub>는 각각 전체 박막, Ta<sub>2</sub>O<sub>5</sub>와 SiO<sub>2</sub>의 유전상수이며, Q는 유효 전하밀도이다. 본 연구에서는 Ta<sub>2</sub>O<sub>5</sub> 박막과 SiO<sub>2</sub> 층이 매우 얇아서 박막내의 bulk trap에 의해 포획된 전하밀도 또한 매우 적어서 Q/ε<sub>0</sub>값이 ε<sub>r</sub>E값에 비하여 매우 작으므로 Q/ε<sub>0</sub>항은 무시하였다.

Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> 이중 박막에 절연과피전장(J=10<sup>-6</sup> A/cm<sup>2</sup> 일 때의 전장으로 정의)이 걸렸을 때 각 박막에 걸리는 전장의 분포를 조사하였다. 여기에 사용된 Ta<sub>2</sub>O<sub>5</sub> 박막은 205°C, 300 W 전자과출력으로 제조하였다. 증착된 Ta<sub>2</sub>O<sub>5</sub> 박막의 두께는 20 nm이었으며 계면에 생성된 SiO<sub>2</sub>막의 두께는 단면TEM 분석결과 3.8 nm이었다. 계면 SiO<sub>2</sub>의 ε<sub>r</sub>를 3.9로 가정하여 각 박막의 두께와 전체박막의 유전상수로부터 계산한 Ta<sub>2</sub>O<sub>5</sub>의 ε<sub>r</sub>는 25였다.

전류-전압 및 정전용량-전압특성 조사결과 전체박막의 ε<sub>r</sub>과 절연과피전장은 12.1 및 4.3 MV/cm로 측정되었으므로, 이 때 Ta<sub>2</sub>O<sub>5</sub>와 계면 SiO<sub>2</sub>에 걸리는 전장 E<sub>T</sub>와 E<sub>S</sub>는 식 (2)로부터 계산한 결과 각각 2.1 MV/cm와 13.7 MV/cm이었다. 계면 SiO<sub>2</sub>막의 전기적특성을 조사하기 위해서 ECR 산소 플라즈마 분위기에서 여러 두께의 SiO<sub>2</sub>막을 형성시킨 후 전류-전압특성을 구하였다(Fig. 9 참조). SiO<sub>2</sub>막의 두께가 4, 6, 10.2 nm로 증가함에 따라 절연과피 전장이 1.2, 4.3, 11.8 MV/cm로 증가함을 볼 수 있다.

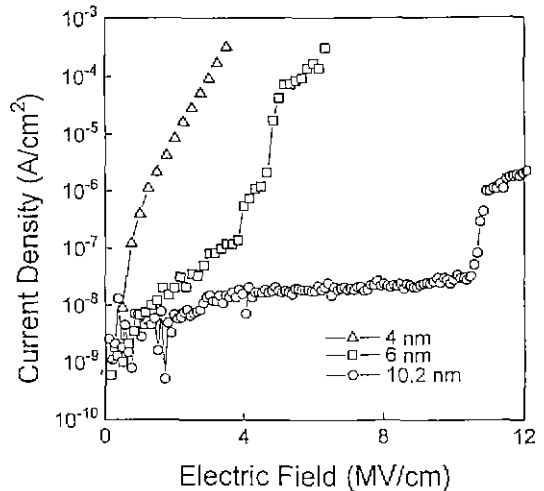


Fig. 9. J-E curves for the SiO<sub>2</sub> films formed in ECR oxygen plasma as a function of film thickness.

따라서 두께 20 nm의 Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> 이중박막의 절연과피시 두께 3.8 nm의 계면 SiO<sub>2</sub>층에 걸리는 전장 13.7 MV/cm는 Fig. 6에서 두께 4 nm SiO<sub>2</sub>의 절연과피전장인 1.2 MV/cm 뿐만 아니라 두께 6 nm 및 10.2 nm SiO<sub>2</sub>의 절연과피전장보다도 큰 값이므로, E<sub>S</sub>=13.7 MV/cm는 실제로 계면 SiO<sub>2</sub>층에 걸리는 전장이 아님을 알 수 있다. Al/Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>/p-Si MOS capacitor에 전압을 가할때 Ta<sub>2</sub>O<sub>5</sub> 내부에 포획되어 있다가 방출된 전자나 Si 기판의 정공이 SiO<sub>2</sub> 계면층에 주입되어 SiO<sub>2</sub> 계면층에 실제로 걸리는 전장을 크게 감소시키는 것으로 생각된다.

#### 4. 결 론

ECR 플라즈마 화학증착법으로 증착된 Ta<sub>2</sub>O<sub>5</sub> 산화막을 산소 열처리를 하였을 경우 Ta<sub>2</sub>O<sub>5</sub> 박막에 미치는 영향을 살펴보았다.

1) 700°C의 산소 분위기에서 열처리하였을 때 가장 우수한 누설전류특성을 나타내었다. 750°C 이상에서 열처리하면 Ta<sub>2</sub>O<sub>5</sub> 박막이 결정화되고 결정결합이 증대하여 누설전류특성이 열화되었다. 또한 700°C와 750°C에서 열처리한 시편은 높은 전장에서 Poole-Frenkel 전도 기구에 의해서 전기전도가 일어나는 것으로 판단된다.

2) 열처리 온도 증가에 따라 Ta<sub>2</sub>O<sub>5</sub>의 유전상수는 증가하다가 포화되지만, 계면에서 형성되는 SiO<sub>2</sub>의 두께는 계속 증가하므로 전체 박막(Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>)의 유전상수는 750°C에서 열처리한 시편에서 가장 높은 값을 나타내었으며 그 이상의 열처리 온도에서는 오히려 감소하였다.

3)  $5\sim 10\ \Omega\cdot\text{cm}$  p-Si(100) 기판에 대한  $V_{FB}$ 는 열처리 온도에 따라  $-0.6\sim -1.6\ \text{V}$  범위에 존재한다.

4) Al/Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub>/p-Si MOS capacitor에 전압을 가할 때 SiO<sub>2</sub> 계면층내로 전하가 주입되어 실제로 SiO<sub>2</sub>층에 걸리는 전장을 감소시킨다.

## 후 기

본 연구는 삼성전자의 연구비 지원으로 수행되었습니  
다.

## REFERENCES

1. T.C. May, "Alpha-Particle-Induced Soft Errors in Dynamic Memories," *IEEE Trans. on Electron Devices*, **ED-26**(1), 2-9 (1979).
2. T. Hori and K. Kurimoto, "A New Half-micron p-channel MOSFET with LATIPS," *IEDM Tech Dig.*, 394-397 (1988).
3. P.J. Wright and K.C. Saraswat, "Thickness Limitations of SiO<sub>2</sub> Gate Dielectrics for MOS ULSI," *IEEE Trans. on Electron Devices*, **37**(8), 1884-1892 (1990).
4. K.F. Schuegraf, C.C. King, C. Hu, "Ultra-Thin Silicon Dioxide Leakage Current and Scaling Limit," *1992 Symposium on VLSI Technology*, June 2-4, 18-19 (1992).
5. H. Sunami, T. Krue, N. Hashimoto, K. Itoh, T. Toyabe and S. Asai, "A Corrugated Capacitor Cell (CCC)," *IEEE Trans. on Electron Devices*, **ED-31**(6), 746-753 (1984).
6. S. Kimura, Y. Kawamoto, T. Kure, N. Hasegawa, J. Etoh, M. Akoi, E. Takeda, H. Sunami, and K. Itoh, "A New Stacked Capacitor DRAM Cell Characteristics by a Storage Capacitor on a Bit-Line Structure," *IEDM Tech. Dig.*, 596-599 (1988).
7. H. Watanabe, T. Tatsumi, S. Ohmishi, T. Hamada, I. Honma, and T. Kikkawa, "A New Cylindrical Capacitor Using Hemispherical Grained Si (HSG-Si) for 256 Mb DRAM," *IEDM Tech. Dig.*, 259-262 (1992).
8. S. Tanimoto, M. Matusui, K. KaMOSako, K. Kuroiwa, and Y. Tarui, "Investigation on Leakage Current Reduction of Photo-CVD Tantalum Oxide Films Accomplished by Active Oxygen Annealing," *J. Electrochem. Soc.*, **139**(1), 320-328 (1992).
9. H. Shinriki, M. Nakata, "UV-O<sub>2</sub> and Dry-O<sub>2</sub>: Two Step Annealed Chemical-Vapor-Deposited Ta<sub>2</sub>O<sub>5</sub> Films for Storage Dielectric of 64-Mb DRAM's," *IEEE Trans. on Electron Devices*, **38**(3), 455-462 (1991).
10. C. Isobe and M. Saitoh, "Effects of Ozone Annealing on the Dielectric Properties of Tantalum Oxide Thin Film Grown by Chemical Vapor Deposition," *Appl. Phys. Lett.*, **56**(10), 907-909 (1990).
11. S. Kamiyama, P. Y. Lesaichere, A. Ishitani, A. Sakai, A. Tanikawa and I. Nishiyama, "Characteristics of Ultra-thin Capacitor Fabricated Using RTN Treatment prior to CVD Ta<sub>2</sub>O<sub>5</sub> Film Formation," *Extended Abstracts of the 1992 International Conf. on Solid State Devices Materials*, Tsukuba, 521-523 (1992).
12. Y. Numasawa, S. Kamiyama, M. Zenke and M. Sakamoto, "Ta<sub>2</sub>O<sub>5</sub> Plasma CVD Technology for DRAM Stacked Capacitors," *IEDM Tech. Dig.*, 43-46 (1989).
13. G.S. Oehrlein, "Oxidation Temperature Dependence of the DC Electrical Conduction Characteristics and Dielectric Strength of Thin Ta<sub>2</sub>O<sub>5</sub> Films on Silicon," *J. Appl. Phys.*, **59**(5), 1587-1595 (1986).
14. S. Kimura, Y. Nishioka, A. Shintani, and K. Mukai, "Leakage-Current Increase Amorphous Ta<sub>2</sub>O<sub>5</sub> Films due to Pinhole Growth During Annealing below 600 °C," *J. Electrochem. Soc.*, **130**(12), 2414-2418 (1983).
15. S. Roberts, J. Ryan, and L. Nesbit, "Selective Studies of Crystalline Ta<sub>2</sub>O<sub>5</sub> Films," *J. Electrochem. Soc.*, **133**(7), 1405-1410 (1986).
16. L.A. Davis, N.C. MacDonald, P.W. Palmberg, G.E. Riach, and R.E. Weber, "Handbook of Auger Electron Spectroscopy," 2nd Ed., Perkin Elmer Corp., Phys. Electr. Div., Eden Prairie, (1978).
17. Y. Nishioka, N. Homma, H. Shinriki, K. Mukai, K. Yamaguchi, A. Uchida, K. Higeta, and K. Ogiue, "Ultra-thin Ta<sub>2</sub>O<sub>5</sub> Dielectric Film for High-speed Bipolar Memories," *IEEE Trans. on Electron Devices*, **ED-34**(9), 1957-1987 (1987).
18. P.L. Young, "DC Electrical Conduction in Thin Ta<sub>2</sub>O<sub>5</sub> Films. No. Bulk-Limited Conduction," *J. Appl. Phys.*, **47**(1), 235-241 (1976).
19. G.D. O'Clock, "Current Transport, Effective Dielectric Constant, and Temperature of Ta<sub>2</sub>O<sub>5</sub> Thin Films," *Appl. Phys. Lett.*, **19**(10), 403-405 (1971).
20. R.L. Angle and H.E. Talley, "Electrical and Charge Storage Characteristics of the Tantalum Oxide-Silicon Dioxide Device," *IEEE Trans. on Electron Devices*, **ED-25**(11), 1277-1283 (1978).
21. S. Zaima, T. Furuta, Y. Koide, and Y. Yasuda, "Conduction Mechanism of Leakage Current in Ta<sub>2</sub>O<sub>5</sub> Films on Si Prepared by LPCVD," *J. Electrochem. Soc.*, **137**(9), 2876-2879 (1990).
22. Y. Nishioka, H. Shinriki, and K. Mukai, "Time Dependence, Dielectric, Breakdown Characteristics of Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>2</sub> Double Layer," *J. Electrochem. Soc.*, **136**(3), 872-873 (1989).