

결정 배향에 따른 Si의 열산화 거동 및 전기적 특성

우현정 · 최두진 · 양두영*

연세대학교 세라믹공학과

*(주)금성 일렉트론 반도체연구소

(1994년 3월 21일 접수)

Thermal Oxidation Behavior and Electrical Characteristics of Silicon depending on the Crystal Orientation

Hyun-Jung Woo, Doo-Jin Choi and Doo-Young Yang*

Department of Ceramic Engineering, Yonsei University

*Semiconductor Research Lab., Goldstar Electron Co., LTD.

(Received March 21, 1994)

요 약

(100) Si와 4° off (100) Si를 dry O₂ 분위기에서 산화시킴으로써 결정배향이 서로 4° 다른 두 시편들간의 산화 거동 및 전기적 특성의 차이를 알아보았다. 두 시편을 1000~1200°C 에서 산화시키고 ellipsometer로 두께를 측정함 결과 4° off (100) Si이 (100) Si보다 산화 속도가 빨랐으며, 그 차이는 산화 온도가 높아질수록 줄어들었다. 각 속도 상수에 대한 활성화에너지는 포물 성장 속도 상수의 경우 (100)/4° off (100) Si가 각각 25.8, 28.6 kcal/mol이었고, 선형 성장 속도 상수는 56.8, 54.9 kcal/mol이었다. 온도에 따른 C-V 특성으로부터, 산화 온도가 증가함에 따라 flat band voltage가 양의 방향으로 이동하고 계면 전하 밀도가 감소하였으며, 4° off (100) Si의 경우 (100) Si보다 계면 전하 밀도가 낮게 나타남을 알 수 있었다. 또한, 두 시편에 대해 산화막을 선택 식각하고 광학현미경으로 관찰하여, 4° off (100) Si의 경우가 산화에 의한 적층 결함 밀도가 훨씬 낮음을 확인하였다.

ABSTRACT

(100) Si and 4° off (100) Si were oxidized in dry oxygen, and the differences in thermal oxidation behavior and electrical characteristics between two specimens were investigated. Ellipsometer measurements of the oxide thickness produced by oxidation in dry oxygen from 1000 to 1200°C showed that the oxidation rates of the 4° off (100) Si were more rapid than those of the (100) Si and the differences between them decreased as the oxidation temperature increased. The activation energies based on the parabolic rate constant, B for (100) and 4° off (100) Si were 25.8, 28.6 kcal/mol and those on the linear rate constant, B/A were 56.8, 54.9 kcal/mol, respectively. Variation of C-V characteristics with the oxidation temperature showed that the flat band voltages were shifted positively and surface state charge densities decreased as the oxidation temperature increased, and the surface state charge density of the 4° off (100) Si was lower than that of the (100) Si. Also, considerable decrease in the density of oxidation induced stacking faults (OSF) for the 4° off (100) Si was observed through optical microscopy after preferentially etching off the oxide layer.

1. 서 론

Si의 산화 공정은 반도체 전 공정에 있어서 매우 중요한 위치를 차지하고 있으며 이러한 산화에 의해 생성된 SiO₂층은 열역학적으로 매우 안정하며 불순물의 확산 방지막, 소자 보호막, 유전 및 절연 분리막 등 여러가지로

응용되고 있어 Si의 산화 기구 및 방법, 특성 등에 관해 많은 연구가 행해져 왔다.

Si의 산화법에는 양극 산화법, sputtering, CVD, 열 산화법 등이 있으나 공정이 간편하고 치밀한 박막의 생성 및 계면의 전하 밀도를 낮출 수 있는 열산화법이 널리 쓰이고 있으며, Si의 산화 기구는 Deal & Grove에 의해

확립되었는데, 이에 따르면 Si의 산화는 다음의 3단계를 거쳐 이루어진다¹²⁾. 즉, 1) 우선 산화종이 기체상으로부터 Si 기판 쪽으로 운반되어 흡착된 후 2) 이미 형성된 산화막을 통해 Si 표면으로 확산되어 3) Si/SiO₂ 계면에서 Si와 반응하여 새로운 SiO₂층을 형성한다. 이러한 산화막 형성은 시간에 대한 함수로서 $x^2 + Ax = B(t + \tau)$ 식을 따르며 산화 시간에 따라 두 가지 극한 형태로 나타난다. 즉, 산화 초기 단계 ($(t + \tau) \ll A^2/4B$)에는 $x = B/A(t + \tau)$ 로 표현되는 선형적 관계를 보이며, 오랜 시간이 지난 후 ($t \gg \tau, t \gg A^2/4B$)에는 $x^2 = Bt$ 로 포물선적 관계를 보인다. 이때, x는 산화막 두께, t는 산화 시간, B는 포물 성장 속도 상수, B/A는 선형 성장 속도 상수, τ 는 초기에 이미 존재하는 산화막 x₀를 형성하는데 필요한 시간을 나타낸다. 산화 초기의 선형 영역은 주로 Si/SiO₂ 계면에서의 반응에 의해 산화 속도가 지배되며, 포물선적 영역에서는 산화막을 통한 확산에 의해 속도가 지배된다.

Si의 산화시에는 Si-Si와 Si-O-Si의 격자간 거리의 차이에 의해 과잉의 Si 원자가 Si/SiO₂ 계면 부근의 격자 틈새에 존재하게 되며 이 중 일부의 Si 원자가 Si 내의 산소 침전물(oxygen precipitates) 등과 결합하여 적층 결함(oxidation induced stacking faults)을 발생시킨다³⁴⁾. 이러한 적층 결함은 Si/SiO₂ 계면에서 전하를 형성하여 MOS 소자에 있어서 접합 특성 열화 등 전기적 특성을 저하시키는 요인이 되므로 산화에 의한 적층 결함의 발생을 억제하기 위한 여러 방책이 연구되어 왔으며 Ar과 같은 비산화 분위기에서 고온 열처리를 하거나 Chlorine 분위기에서 산화를 행하는 방법 등이 보고되고 있다⁵⁶⁾. 특히 Sugita 등은 (100) 면에 대해 [011] 또는 [010] 축으로 3~10° 기울어진 방향을 갖는 Si wafer의 경우 적층 결함이 나타나지 않는다고 보고하였다⁷⁾.

또한, 산화 속도에 영향을 미치는 요인은 산화 온도, 분위기, 산소 분압, 결정 방향, 불순물 농도 등 여러가지가 있는데, 이 중 다른 모든 공정 조건을 동일하게 하고 결정 방향이 다른 시편을 동시에 산화시키면 결정 방향에 따라 Si 표면에 존재하는 산화 반응에 참여 가능한 Si dangling bond의 수(또는, Si의 면밀도)가 달라지므로 Si/SiO₂ 계면 반응의 지배를 받는 선형 영역에서의 산화 속도에 차이가 생기게 된다⁶⁾.

따라서, 본 연구에서는 (100) Si과 최근 반도체 공업에 일부 도입되고 있는 4° off (100) Si의 두 가지 시편에 대해 온도에 따른 열산화 거동 및 전기적 특성을 알아 보았으며, Schimmel etch법⁹⁾에 의해 결정 방향에 따른 적층 결함의 차이를 확인하였다.

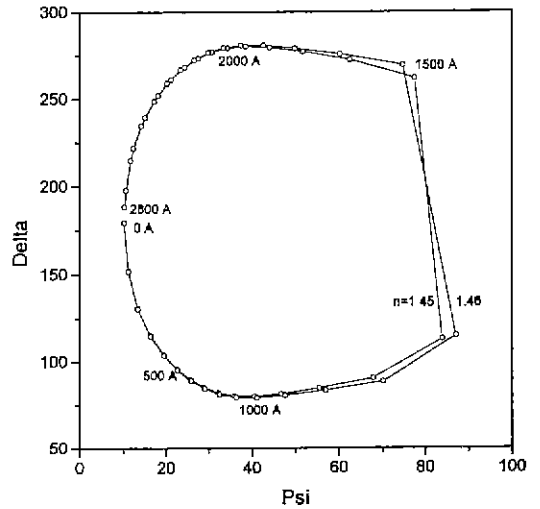


Fig. 1. Ellipsometric curves for an oxide layer on Si with refractive indices, $n=1.45 \sim 1.46$. Angle of incidence and wavelength are 70° and 6328 \AA , respectively.

2. 실험방법

비저항 $5 \sim 8 \Omega \cdot \text{cm}$ 의 p-type (100) Si wafer와 $11 \Omega \cdot \text{cm}$ p-type의 4° off (100) Si wafer를 $1 \text{ cm} \times 1 \text{ cm}$ 크기로 절단하여 반도체 공업에서 상용되는 세척법에 준하여 1, 1,2,2-Tetrachloroethylene, Acetone, Methyl Alcohol로 유기 물질을 제거한 후, HF로 표면의 자연 산화막을 식각하고 D.I. water로 세척하여 시편을 준비하였고, 두 시편을 동시에 Quartz tube furnace에 넣어 $1000 \sim 1200^\circ \text{C}$ 범위에서 산화 온도를 $\pm 3^\circ \text{C}$ 내로 유지하고 dry O₂를 Rotameter(Matheson, 602)로 조절하여 유속 50 sccm으로 흘러 산화시켰으며, 두 가지 wafer간의 산화 시간에 따른 두께 변화 및 전기적 특성을 비교하고 적층 결함을 관찰하였다.

산화 온도 및 시간에 따른 산화막 두께는 Ellipsometric curve를 통해 오차 범위를 피하여 Ellipsometer(Gaertner, L117)로 측정하고 Scanning Electron Microscopy로 보정하였다. Fig. 1은 Si 기판 위에 성장시킨 SiO₂ 막의 두께를 굴절률 $n=1.45 \sim 1.46$ 범위, 입사각 70° , 파장 6328 \AA 에서 계산한 Ellipsometric curve의 일례이다.

전기적 특성을 관찰하기 위해서는 $900^\circ \text{C} \sim 1200^\circ \text{C}$ 범위에서 산화막 두께를 $560 \text{ \AA} (\pm 6\%)$ 로 일정하게 산화시킨 후, Thermal evaporating법으로 Al 전극을 증착시켜 C-V plotter(Hewlett Packard, 4280A)로 1 MHz, $\pm 9 \text{ V}$ 범위

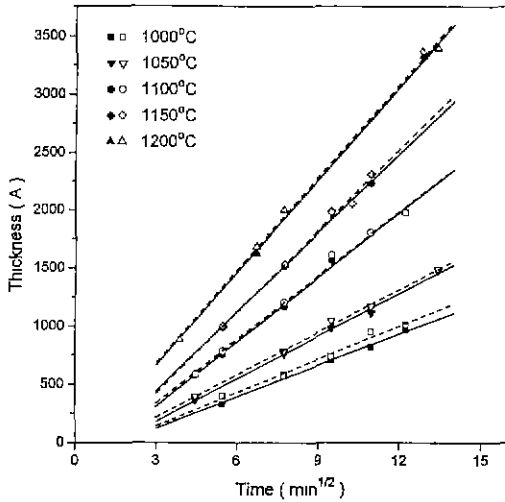


Fig. 2. Comparison of oxidation results for (100) and 4° off (100) Si in dry O₂; solid line-(100) Si, dashed line-4° off (100) Si.

내에서 C-V 특성을 측정하고 Si/SiO₂ 계면에 존재하는 계면 전하 밀도(surface state charge density, Q_{ss}/q)를 구하였다.

각 wafer를 1200°C에서 200분 동안 산화시킨 후 산화막을 선택 식각하고, 광학현미경을 이용하여 산화에 의한 적층 결함을 관찰하였다. 식각액은 Schimmel법에 의해 0.75 M의 Chromic acid solution(CrO₃)과 HF를 1 : 2의 비율로 혼합하여 제조하였고⁹⁾, 2분간 저어주면서 식각하였다.

3. 결과 및 고찰

3.1. 산화 온도 및 시간에 따른 열산화 거동

Fig. 2는 (100) Si와 4° off (100) Si에 대해, 1000~1200 °C 범위에서 각 온도에 있어서의 시간에 따른 산화막 두께를 비교한 것이다. 두 시편 모두 온도가 높아짐에 따라 산화 속도가 빨라지며, 산화 시간에 대해 포물선적 특성을 나타낼 수 있다. 4° off (100) Si의 경우 (100) Si보다 산화 속도가 빨랐는데 이는 4° off (100) Si이 Si/SiO₂ 계면에 존재하는 Si dangling bond의 수가 더 많으므로 계면 반응에 의해 산화 속도가 지배되는 선형 영역에서 산화 반응이 빠르게 일어났기 때문인 것으로 생각되어진다. 이러한 사실은 온도가 높아질수록 두 시편 간의 산화 속도 차이가 줄어들는 것으로 확인할 수 있다. 즉, 온도가 높아지면 Si/SiO₂ 계면 반응의 지배를 받는 선형 영역이 줄어들고 산화막을 통한 산화종의 확산에 의해 속도가 지배되는 포물 영역이 주가 되므로 두 시편의 산화 속도가 비슷해진다고 사료된다. 이것은 그림의 t^{1/2}에 대한 산화막 두께의 그래프에서 저온으로 갈수록 선형 영역이 상당 시간 지속되므로 직선 부분을 연장 하여도 원점을 지나지 않는 것을 보아도 알 수 있다¹⁰⁾. 또한, (100) Si wafer는 비저항 5~8 Ω·cm(불순물 농도 1.6~2.6×10¹⁵ atoms/cm³), 4° off (100) Si wafer는 11 Ω·cm(7×10¹⁴ atoms/cm³)로 (100) Si의 경우가 불순물의 농도가 더 높으므로 산화 속도가 더 빨라야함에도 불구하고¹¹⁾ 4° off (100) Si의 산화 속도가 더 빠른 것으로 보아 결정 방향에 따른 속도 차이가 완전히 나타남을 알 수 있다.

Table 1은 Deal & Grove의 실험치¹⁰⁾를 근거로 하여 $\tau = (x_0^2 + Ax_0)/B$ 식에 본 실험결과를 대입, iteration법에 의해 τ , B, B/A를 구한 것으로 Deal & Grove에 의한 결과와 비슷한 경향을 보임을 알 수 있다. 포물 성장 속도 상수 B의 경우 두 시편이 그다지 차이를 보이지 않으나, 선형 성장 속도 상수 B/A의 경우에는 각 온도에 대해

Table 1. Rate Constants and Activation Energies for Oxidation of Silicon in Dry Oxygen. $x_0 + Ax = B(t + \tau)$

	Oxid. Temp.	A (μm)	B (μm ² /hr)	B/A (μm/hr)	τ (hr)	E _B (kcal/mol)	E _{B/A} (kcal/mol)
Ref. (Deal & Grove)	1000°C	0.165	0.0117	0.071	0.37	28.5	46.0
	1100°C	0.090	0.027	0.30	0.076		
	1200°C	0.040	0.045	1.12	0.027		
(100) Si	1000°C	0.2356	0.011	0.047	0.541	25.8	56.8
	1100°C	0.1075	0.0245	0.228	0.123		
	1200°C	0.0438	0.044	1.005	0.035		
4° off (100) Si	1000°C	0.1630	0.0095	0.058	0.45	28.6	54.9
	1100°C	0.0914	0.0233	0.255	0.113		
	1200°C	0.0393	0.0442	0.125	0.032		

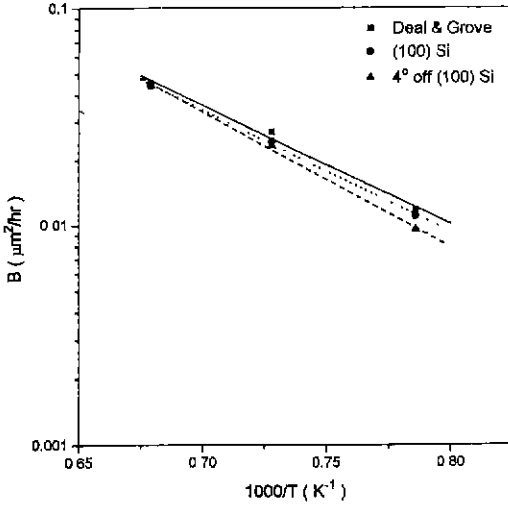


Fig. 3. The effect of temperature on the parabolic rate constant, B.

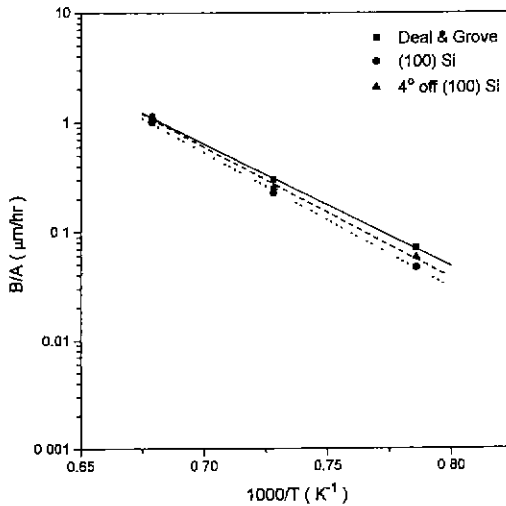


Fig. 4. The effect of temperature on the linear rate constant, B/A.

전체적으로 4° off (100) Si이 (100) Si보다 큰 값을 갖는 것을 볼 수 있다. 이는 4° off (100) Si가 계면에 더 많은 Si dangling bond를 갖는다는 사실과 잘 일치한다.

각 속도 상수와 온도와의 관계를 Fig. 3, 4에 나타내었으며, 이로부터 각 속도 상수에 대한 활성화에너지 E를 구하였다. 식 $B = B_0 \exp(-E/RT)$ 에 의해 구한 활성화 에너지는 (100) Si의 경우 25.8 kcal/mol, 4° off (100) Si는 28.6 kcal/mol로서 Deal & Grove의 실험치(28.5 kcal/mol) 및 비정질 SiO₂ 막을 통한 산소의 확산에 대한

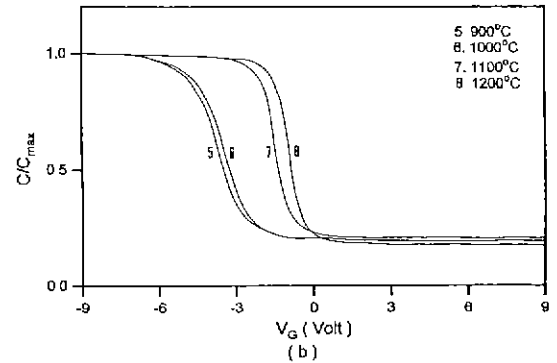
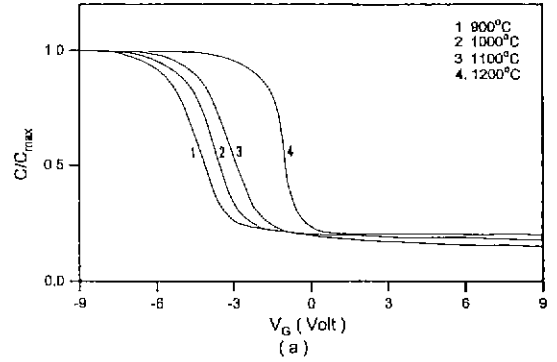


Fig. 5. Measured C-V characteristics after dry O₂ oxidation at various temperature. (a) (100) Si, (b) 4° off (100) Si

활성화에너지(27 kcal/mol)¹²⁾에 가까운 값을 나타내었으며, 이로써 B는 산화막을 통한 산화종의 확산에 의해 지배를 받음을 확인하였다. 또, B/A에 대한 활성화에너지는 (100)/4° off (100) Si 각각 56.8 kcal/mol, 54.9 kcal/mol로서 Deal & Grove의 46 kcal/mol과 Si-Si 결합을 끊는데 필요한 에너지 42.2 kcal/mol¹³⁾과는 약간의 차이를 보였다.

3.2. 산화막의 전기적 특성

Fig. 5는 900~1200°C에서 산화시킨 (100)/4° off (100) Si 두 가지 wafer에 대해 온도에 따른 산화막의 C-V 특성을 비교한 것으로 산화막 두께를 560 Å로 일정하게 하여 1 MHz로 +9/-9 V 범위에서 측정한 결과이다. 그 결과 두 시편 모두 산화 온도가 증가함에 따라 flat band voltage(V_{FB})가 양의 방향으로 이동하였으며 정량적인 분석 결과는 Table 2와 같았다. 이는 산화 온도가 높아질수록 공급되는 산소의 양이 많아지므로 산화 과정에서 생기는 과잉의 Si 원자로 인해 Si/SiO₂ 계면의 산화막

Table 2. Calculated Results for the C-V Curves

	Oxid. Temp.	Q_{SS}/q ($10^{10}/\text{cm}^2$)	V_{FB} (V)	V_{TH} (V)	k
(100)	900°C	124.9	-4.22	-3.32	3.59
	1000°C	71.3	-4.22	-2.7	2.35
	1100°C	65.5	-3.12	-2.08	2.84
	1200°C	30.6	-2.66	-0.99	4.9
4° off (100)	900°C	66.2	-3.6	-2.56	2.29
	1000°C	57.8	-3.77	-2.62	2.14
	1100°C	36.1	-2.42	-1.42	3.74
	1200°C	25.4	-2.37	-1.33	5.0

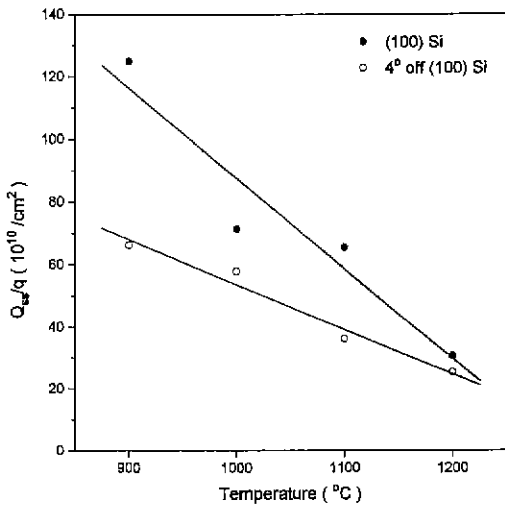


Fig. 6. Surface state charge density after dry O₂ oxidation of (100) and 4° off (100) Si.

내에 존재하는 계면 전하 Q_{SS} 가 감소하기 때문인 것으로 생각된다. 한편, 이러한 계면 전하는 산화 온도 뿐 아니라 Si 기판의 결정 방향의 영향을 받으며 (100)과 (111) Si의 경우를 보면 1 : 3 정도의 계면 전하 밀도 차이를 보인다¹⁰. 그런데 본 실험에서의 C-V로부터 구한 Q_{SS} 값을 보면 4° off (100) Si의 경우가 Si/SiO₂ 계면의 dangling bond수가 더 많음에도 불구하고 (100) Si보다 Q_{SS} 값이 작은 것을 알 수 있는데 이러한 상반된 결과는 4° off 시편의 경우 계면에서의 적층 결함이 현저히 줄어들다는 Sugita의 보고⁷⁾와 관련지어, 계면 적층 결함의 감소가 Q_{SS} 를 낮추는 결과를 가져온 것으로 생각되며, 적층 결함 정도의 차이는 3.3절에 후술된 바와 같다. C-V 특성으로부터 구한 Q_{SS} 및 각 결과들을 Fig. 6과 Table 2에 나타내었으며, QSS는 온도 증가에 따라 감소되는 경향을

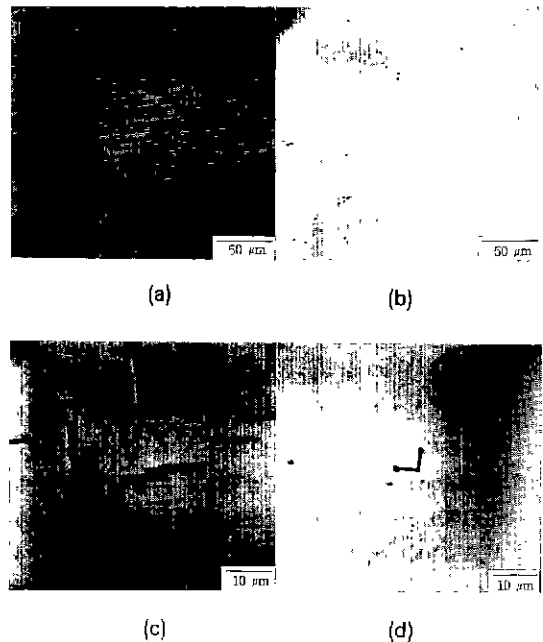


Fig. 7. Optical micrographes showing oxidation induced stacking faults revealed by Schimmel etching of (a, c) (100) and (b, d) 4° off (100) surfaces.

보여주었다.

3.3. 산화에 의한 적층 결함

위와 같은 실험결과에 따라, 산화시킨 시편의 산화막을 선택 식각하여 산화에 의한 적층 결함을 확인하였다. 1200°C에서 200분간 산화시킨 각 시편을 선택 식각하여 광학현미경으로 관찰한 결과 Fig. 7에서 보는 바와 같이 (100) Si은 적층 결함 밀도가 높으나 4° off (100) Si의 경우 적층 결함을 거의 찾아 보기 힘들 정도로

밀도가 매우 낮았으며, 결합 간의 각도 및 길이도 (100) Si의 경우와 다르게 나타났다. 이것은 (111) 면을 따라 발생하는 적층 결합이 서로 다른 결정 방향을 갖는 결정면과는 만나는 각도가 다르기 때문인 것으로 생각되어지며, 이에 대한 정량적 연구 결과는 추후 보고하고자 한다.

4. 결 론

(100)/4° off (100) Si의 두 가지 wafer를 1000~1200 °C에서 건식 산화시킨 결과, 4° off (100) Si의 산화 속도가 더 빨랐으며 온도가 높아질수록 두 시편 간의 차이가 줄어들었다. 이는 낮은 온도에서는 Si/SiO₂ 계면 반응의 지배를 받는 전형 영역이 상당 시간 유지되므로 계면의 Si dangling bond수가 많은 4° off 시편의 산화 속도가 빠르지만, 고온으로 갈수록 선형 영역은 짧아지고 산화막을 통한 산화종의 확산에 의한 포물 영역이 지배적이므로 두 시편의 산화 속도가 비슷해지는 것으로 여겨지며, 이러한 결과는 각 속도 상수(B, B/A)를 구하여 확인할 수 있었다. 또, 각 속도 상수에 대한 활성화에너지를 포물 성장 속도 상수의 경우 (100)/4° off (100) Si가 각각 25.8 kcal/mol, 28.6 kcal/mol이었고, 선형 성장 속도 상수의 경우 56.8 kcal/mol, 54.9 kcal/mol이었다.

산화막의 전기적 특성을 알아보기 위해 C-V 특성을 조사하였는데 두 시편 모두 산화 온도가 높아짐에 따라 flat band voltage V_{FB} 가 양의 방향으로 이동하였다. 또한, 4° off (100) Si이 계면의 Si dangling bond가 많음에도 불구하고 (100) Si보다 낮은 계면 전하 밀도 Q_{SS} 값을 보였는데, 이것은 4° off 시편의 경우 산화에 의한 적층 결합이 줄었기 때문인 것으로 여겨지며, 따라서 4° off 시편을 사용하여 부수적인 공정없이도 산화에 의한 적층 결합을 줄임으로써 전기적 특성을 향상시킬 수 있을 것으로 생각되어진다. 이와 같은 적층 결합 밀도의 차이는 1200°C에서 200분간 산화시킨 시편의 산화막을 선택 식각하여 광학현미경으로 관찰하여 확인되었다.

감사의 글

본 연구는 금성 일렉트론(주)의 차세대 반도체 개발 사업 위탁 연구의 연구비 지원(1차년도 : 1993~1994)의

일환으로 수행되었기에 이에 감사드립니다.

REFERENCES

1. B.E. Deal and A.S. Grove, "General Relationship for the Thermal Oxidation of Silicon," *J. Appl. Phys.*, **36**, 3770 (1965).
2. B.E. Deal, "Oxidation of Silicon in Dry Oxygen, Wet Oxygen, and Steam," *J. Electrochem. Soc.*, **110**, 527 (1963).
3. S.K. Ghandhi, VLSI Technology, 2nd Ed., p. 98, John Wiley & Sons, Inc., New York, 1988.
4. S.M. Hu, "Formation of Stacking Faults and Enhanced Diffusion in the Oxidation of Silicon," *J. Appl. Phys.*, **45**, 1567 (1974).
5. T. Hattori and T. Suzuki, "Elimination of Stacking Fault Formation in Silicon by Preoxidation Annealing in N₂/HCl/O₂ Mixture," *Appl. Phys. Lett.*, **33**, 347 (1978).
6. T. Hattori, "Elimination of Stacking Faults in Silicon by Trichloroethylene Oxidation," *J. Electrochem. Soc.*, **123**, 945 (1976).
7. Y. Sugita, T. Gato and M. Tamura, "Effect of Crystal Orientation on the Stacking Fault Formation in Thermally Oxidized Silicon," *J. Appl. Phys.*, **42**, 5847 (1971).
8. J.R. Ligenza, "Effect of Crystal Orientation on Oxidation Rates of Silicon in High Pressure Steam," *J. Phys. Chem.*, **65**, 2011 (1961).
9. D.G. Schimmel, "Defect Etch for <100> Silicon Evaluation," *J. Electrochem. Soc.*, **126**, 479 (1979).
10. E.L. Williams, "Diffusion of Oxygen in Fused Silica," *J. Am. Cer. Soc.*, **48**, 190 (1965).
11. R.C. Jaeger, Modular Series on Solid State Devices-Volume V Introduction to Microelectronic Fabrication, Ed. by G.W. Neudeck and R.F. Pierret, pp. 29-46, Addison-Wesley Publishing Company, Massachusetts, 1990.
12. F.J. Norton, "Permeation of Gaseous Oxygen Through Vitreous Silica," *Nature*, **191**, 701 (1961).
13. S.M. Sze, VLSI Technology, 2nd Ed., Ed. by S.W. Director, p. 98, McGraw-Hill Book Company, New York, 1988.
14. R.F. Pierret, Modular Series on Solid State Devices-Volume IV Field Effect Devices, 2nd Ed., Ed. by R.F. Pierret and G.W. Neudeck, p. 91, Addison-Wesley Publishing Company, Massachusetts, 1990.