

실리콘의 이중증착에 의한 산화막 신뢰성 향상

박진성 · 양권승

조선대학교 재료공학과
(1993년 8월 13일 접수)

Reliability Improvement of Thin Oxide by Double Deposition of Silicon

Jin Seong Park and Gwon Seung Yang

Department of Materials Engineering, Chosun University

(Received August 13, 1993)

요 약

다결정 실리콘의 게이트 전극에 확산시킨 인 성분에 의한 산화막 열화 정도와 그의 개선에 대해서 실험했다. 세이트 산화막은 다결정 실리콘에 확산시킨 인 성분에 의해 열화되며 인 농도 증가와 증착 실리콘의 두께가 얇을수록 불량률이 증가했다. 다결정 실리콘에 비해서 비정질 실리콘 경우의 산화막 불량률이 더 크다. 인 성분에 의한 산화막 열화는 비정질 실리콘을 540°C에서 30 nm, 그리고 다결정 실리콘을 625°C에서 220 nm를 연속 증착시켜 감소시킬 수 있었다. 연속 이중 증착에 의한 산화막 불량 감소는 다결정 실리콘과 비정질 실리콘의 증착온도와 두께 차이에 의한 입계 부정합 구조를 형성시켜 실리콘의 입계를 통한 인 확산이 억제되어 산화막 열화가 방지된 결과이다.

ABSTRACT

Degradation of thin oxide by doped poly-Si and its improvement were studied. The gate oxide can be degraded by phosphorous in poly-Si doped POCl_3 . The degradation is increased with the decrement of sheet resistance and poly-Si thickness. Oxide failures of amorphous-Si are higher than those of poly-Si. In-situ double deposition of amorphous-Si, 540°C/30 nm, and poly-Si, 625°C/220 nm, forms the mismatch structure of grain boundary between amorphous-Si and poly-Si, and suppresses the excess phosphorous on oxide surface by the mismatch structure. The control of phosphorous through grain boundary improves the oxide reliability.

1. 서 론

VLSI의 EPROM, EEPROM, 그리고 MOSFET과 같은 제품의 고집적화에 따라 극박막화된 SiO_2 막이 요구되고 있다¹⁾. 세이트 절연 물질은 누설전류가 작고, 유전특성이 우수하면서 충분한 신뢰성을 가져야 하는 것이 필수적이다. 반도체 기억소자의 급속한 집적도 증가에 따라 게이트 절연물인 SiO_2 의 두께도 계속 감소하여 극박막 고전계 인가에 따른 절연파괴 가능성과 함께 장기 신뢰성 저하가 문제시 되고 있다. 산화막 신뢰성을 저하시키는 요인으로서서는 불순물 입자(particle), 불순물 오염, 웨이퍼 특성 등의 전형적인 열화 요소와 함께, 산화막의 박막화에 따른 계면 혹은 표면 평탄도, 전하축적, 그리고 극부적인 응력차이 등이 문제시 되고 있다²⁾.

Ushiyama³⁾ 등은 인(Phosphorus) 확산시킨 다결정 실리콘과 산화막 계면에서 산화막 융기(ridge)를 관찰했고, 특히 이러한 융기가 다결정 실리콘의 입계를 따라 주로 존재해 입계를 통해 확산된 인이 산화막과 반응해서 생성된 것이라 보고했다. 이러한 융기 현상은 다결정 실리콘과 산화막 계면의 과잉 인이 SixPy 나 PxOy 의 인화합물을 만들고, 이때 부피 팽창이 수반되어 야기된 것으로 추정했다. 그리고 융기현상 억제는 인 농도 및 후속 열처리 온도를 낮추면 가능하다고 제시한 바 있다.

그러나 인 농도 저하나 후속 열처리 감소등은 현 CMOS의 전체 집적공정을 고려할 때 획기적인 새로운 기술개발이 수반될 때 가능하다. 따라서 인농도나 후속 열처리를 크게 변화시키지 않는 기술 개발이 요구된다.

본 논문은 인 농도 및 후속 열처리 공정을 변화시키지

않고 다결정 실리콘 증착 방법을 변경하여 인에 의한 산화막 열화를 감소시킨 실험에 관한 것이다.

2. 실험방법

비저항이 10 Ω·cm인 P-type (100) 실리콘 웨이퍼를 사용하였다.

시편은 소자간 분리 기술을 LOCOS(local oxidation of silicon) 공정으로 진행한 다음 16 nm 게이트 산화막을 성장시키고, 다결정 실리콘만을 증착시키거나 혹은 비정질 실리콘 위에 다결정 실리콘을 연속 증착하는 실리콘 이중 증착 실시 후 POCl₃을 침적시켜 폴리게이트 구조로 시편을 제조했다. 인에 의한 산화막 열화를 관찰키 위해 150~250 nm의 다결정 실리콘을 증착시키고 면저항이 8~12 ohm/sq가 되도록 POCl₃ 침적 공정을 진행시켰다. 또 다결정 실리콘 입계를 통한 인 확산을 방지하기 위해서 먼저 비정질(amorphous) 실리콘을 30 nm 증착 후 다결정 실리콘을 220 nm 증착하는 이중 증착 방법을 실시한 후 12 ohm/sq가 되도록 역시 POCl₃ 침적 공정을 진행시켰다.

제작된 시편의 전기적 성질을 I-V 측정으로부터 관찰하였고, 측정조건은 0.2 volt씩 전압을 증가시키고 각 구간에서의 유지시간을 0.5초로 하여 불량 판정은 각 구간에서의 누설전류가 10 μA 이상 흐를 때로 정의하여

누적절연파괴율(B.C.F. : breakdown cumulative failure)로 산화막 불량을 계산했다. 이중 구조에 따른 산화막 두께를 C-V로 측정하여 게이트 전극내의 인 확산 정도를 추정하였다.

폴리 게이트 구조에서 게이트 전극에 확산시킨 인의 분포는 SIMS(secondary ion mass spectroscopy)와 ASR(auto spreading resistance)로 측정하였다.

3. 실험결과 및 고찰

게이트 산화막 16 nm, 다결정 실리콘 250 nm, 그리고 POCl₃ 침적시의 면저항을 각각 8 ohm/sq와 12 ohm/sq로 한 시편에 대한 SIMS의 인 성분 깊이 분석을 Fig. 1에 도시했다. 12 ohm/sq인 경우보다 8 ohm/sq 경우가 다결정 실리콘 막내 및 poly-Si/SiO₂ 계면의 인농도가 높고, 두 시편 모두 계면에서 인이 축적되는 양상을 보여주고 있다. 계면에서 인의 크기가 크게 증가하는 것은 SIMS 분석시의 계면에서의 분석이온의 농도가 급격히 달라져서 나타나는 일종의 물질간의 상호간섭에 의한 메질효과(matrix effect)⁶⁾로 볼 수도 있으나 산화막과 인의 분리상수(segregation coefficient)가 약 10으로 계면에 인이 축적된 것이 나타난 것으로 볼 수 있다.

250 nm 두께의 다결정 실리콘에 면저항이 각각 8 ohm/sq와 12 ohm/sq가 되도록 제조하여 산화막 누적 불량률(B.C.F.)을 Fig. 2에 도시했고, 다결정 실리콘 두께를 150 nm와 250 nm로 증착한 후 면저항은 12 ohm/sq로 일정하게 유지시킨 시편에 대한 산화막 불량률 Fig. 3에 나타냈다. 산화막 불량률은 면저항 감소와 다결정 실리콘

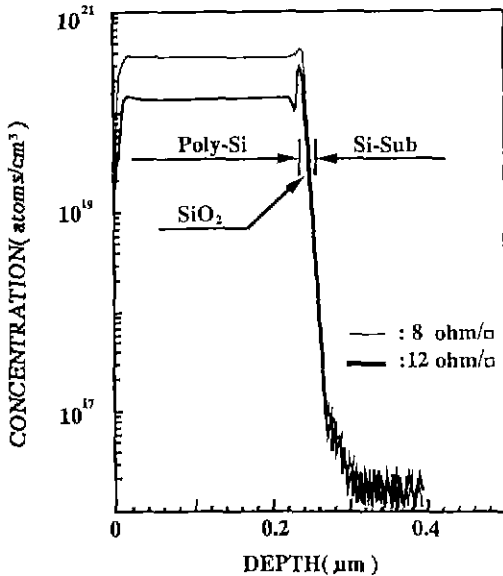


Fig. 1. SIMS depth profile for phosphorous with sheet resistance of polysilicon.

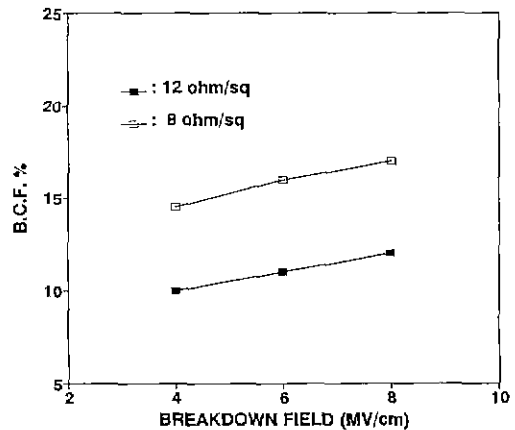


Fig. 2. Cumulative failure of oxide with sheet resistance of polysilicon.

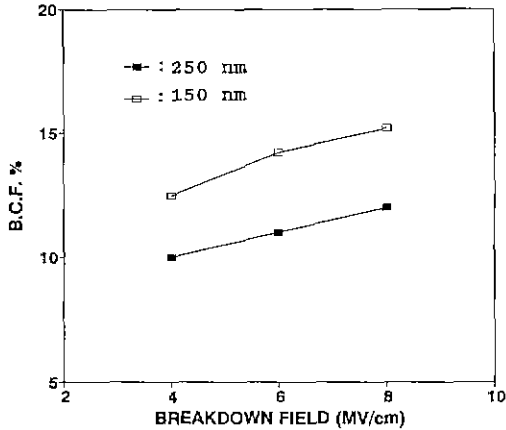


Fig. 3. Cumulative failure of oxide with poly-Si thickness at 12 ohm/sq

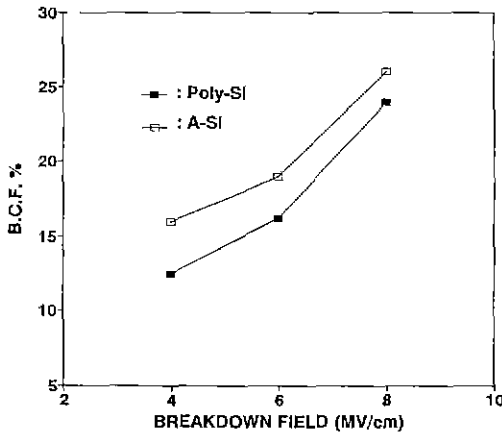


Fig. 4. Cumulative failure of oxide with silicon deposition temperature (Poly-Si: 625°C, A-Si: 540°C).

두께 감소로 증가함을 알 수 있다. Fig. 1의 SIMS 분석 결과 면저항 낮은 8 ohm/sq 경우가 계면 및 다결정 실리콘내에 인 농도가 높아 산화막 열화 정도가 크고 역시 두께 낮은 경우가 인 과잉 침적되어 산화막을 열화시킨 것으로 추정할 수 있다. Katayama¹⁰⁾ 등은 인 농도에 의해서 산화막 불량에 생김을 보고한 바 있다.

실리콘 증착 온도를 540°C 와 625°C로 하여 각각 비정질실리콘과 다결정 실리콘을 250 nm 증착시킨 후 12 ohm/sq이 되도록 인을 확산시켜 제조한 폴리게이트 시편의 산화막 불량을 Fig. 4에 비교했다. 4 MV/cm 이하 및 전체적인 산화막 불량에 게이트 전극으로 비정질 실리콘을 사용한 경우가 크다. 비정질 실리콘의 증착 온도가 상대적으로 저온이므로 입자성장의 핵 크기도

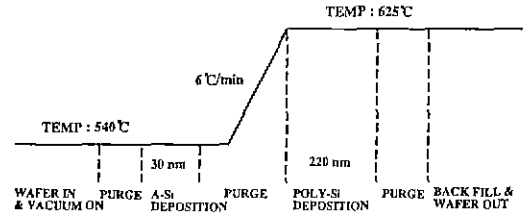


Fig. 5. Recipe for in-situ double deposition of amorphous-silicon and polysilicon.

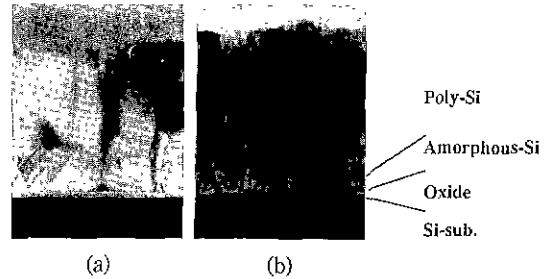


Fig. 6. TEM images of poly-Si electrode structure after POCl₃ process. (a) single deposition, (b) double deposition.

작아 다음의 POCl₃ 침적온도인 900°C의 열처리 중의 입자 성장 구동력이 다결정 실리콘보다 커서 최종적인 입자가 더 크게 성장할 수 있다. 즉 초기 증착온도 차에 기인한 막특성 변화와 관련된 산화막 특성 변화로 추정된다¹¹⁾.

이상의 실험 결과는 인이 증착 실리콘 막과 산화막의 계면에 축적되어 산화막을 열화시켜 면저항이 낮은 경우, 증착 실리콘 두께가 얇은 경우, 그리고 비정질 실리콘인 경우에 산화막 열화를 가속시키는 것을 알 수 있다.

이러한 인 성분에 의한 산화막 열화를 방지하기 위해 16 nm의 게이트 산화막 성장 후 540°C에서 30 nm의 비정질 실리콘을 증착시키고 온도를 625°C로 승온시켜 연속으로 220 nm의 다결정 실리콘을 증착시키는 실리콘의 연속 2중 증착 공정을 Fig. 5에 도시했다.

게이트 전극 물질을 각각 단일 증착시킨 시편과 연속 이중 증착시킨 시편을 900°C에서 12 ohm/sq로 POCl₃ 침적시킨 후 단면 구조를 TEM으로 관찰한 것을 Fig. 6(a)와 (b)에 각각 도시했다. 단일 증착시킨 (a)는 입계가 산화막까지 직접 연결되는 깨끗한 원주 기둥 형태를 보여주지만 연속 이중 증착시킨 시편은 먼저 증착시킨 비정질 실리콘과 나중에 증착시킨 다결정 실리콘 사이에 경계가 존재하는 것을 확인할 수 있다. 즉 윗쪽에 존재하는 다결정 실리콘의 입계가 산화막까지 직접적으로

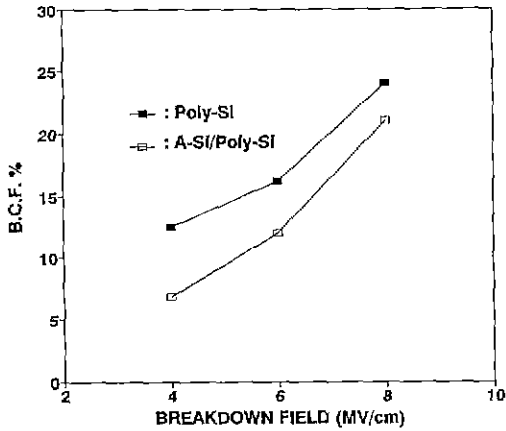


Fig. 7. Cumulative failure of oxide with silicon deposition structure for poly-gate structure.

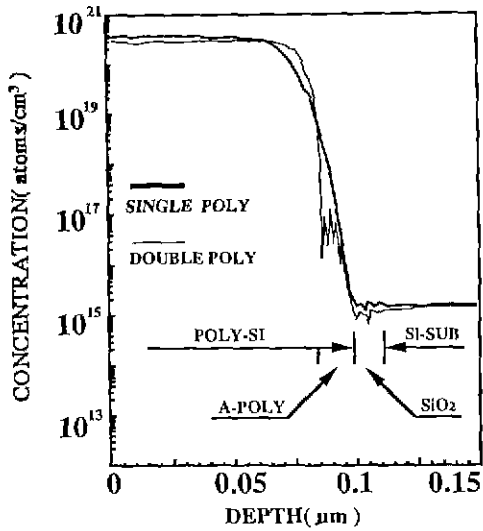


Fig. 8. ASR profile for phosphorous with deposition method of silicon

연결되지 않고 먼저 증착시킨 비정질 실리콘에 의해 차단 혹은 굴절됨을 알 수 있다.

일반적으로 결정핵의 수와 크기는 온도에 의존해서 온도 저하로 핵의 수는 증가하나 크기는 감소하는 것으로 알려져 있다. 그리고 입자 성장은 결정립과 결정립이 만나서 정지하게 되고, 최종성장 입자의 크기는 결정성장 핵의 크기가 작을수록 입자 성장의 구동력인 표면에너지가 커서 초기 성장핵의 크기가 큰 것보다 최종적인 입자 크기가 크게 된다. 산화막 성장 후 실리콘의 연속 이중 증착 방법에서 비정질 실리콘 경우는 증착 온도가

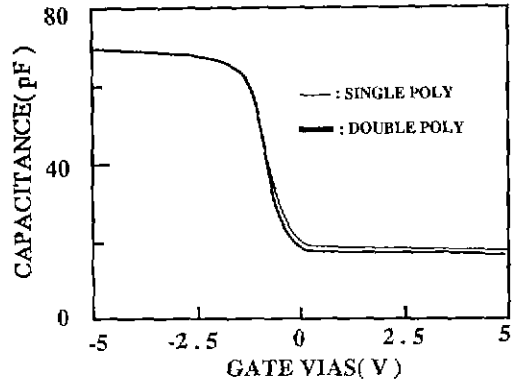


Fig. 9. C-V characteristics of single- and double-deposition structure for MOS capacitor.

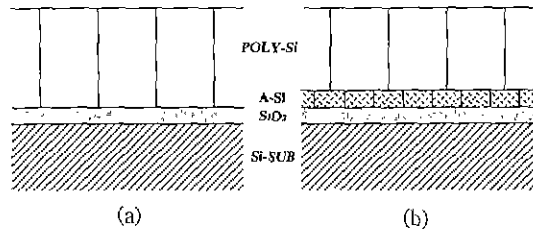


Fig. 10. Schematic diagram to prevent phosphorous segregation on oxide by the insertion of amorphous-Si between poly-Si and oxide.

낮아 성장핵의 수는 많으나 두께가 얇아 후속 열처리 (POCl₃ 침적)시 입자 성장이 곧 멈추게 되지만, 다결정 실리콘의 경우는 결정핵의 수는 적지만 두께가 두꺼우므로 후속 열처리시 비정질 실리콘에 비해서 충분히 입자가 성장할 수 있어서 두 증착 층간에 입계가 엇갈리게 된다. 즉 연속 이중 증착은 증착 온도와 두께를 달리하여 입자 성장핵의 크기와 수를 변화시켜 후속 열처리시 입자 성장 과정을 변화시켜 입계의 부정합을 야기시키는 것이다.

Fig.7은 Fig.5의 연속 이중 증착 공정으로 제조한 시편과 단일 층의 다결정 실리콘 만을 증착시켜 제조한 시편의 전제에 따른 산화막 불량을 나타낸 것이다. 연속 이중 증착 시편의 특성이 단일 증착 시편보다 불량률이 적어 산화막 열화를 감소시킨다.

단일 증착과 연속 이중증착 실리콘 막내의 인 분포에 대한 ASR(auto spreading resistance) 측정 결과를 Fig.8에 비교했다. 단일 증착 경우는 인 분포가 게이트 산화막에 도달할 때까지 변화가 없으나 연속 이중 증착시킨 경우는 인이 다결정 실리콘과 비정질 실리콘 계면부터

급격히 감소해서 비정질 실리콘 내에 인 성분이 다결정 실리콘만을 증착한 것보다 적음을 알 수 있다. Fig. 9는 10 KHz의 고주파수에서 측정한 C-V값을 단일 증착 시편과 이중 증착 시편을 상호 비교한 것이다. 두 시편간의 C_{max} 값이 일치해서 이중 증착 시편의 비정질 실리콘 내에 인이 충분히 확산되지 않고, 따라서 저항성분이 커져 산화막 두께증가 효과를 야기하지 않음을 알 수 있다.

단일 및 이중 증착에 의한 게이트 전극 구조를 Fig. 10에 모델화하였다. (a)는 단일 증착시의 다결정 실리콘의 입계 형태를 나타낸 것으로 입계를 통한 인의 입계 확산이 급격히 일어나서 입계와 만나는 산화막 표면에 인성분이 과잉 축적되므로써 Si-P나 P-O와 같은 인성분 화합물이 생성되어 산화막이 열화된다. (b)는 이중 연속 증착에 의해 형성된 다결정 실리콘과 비정질 실리콘의 입계 및 계면을 도식화 한것이다. 즉 입계 부정합에 의해 다결정 실리콘 계면을 통한 인 확산이 비정질 실리콘부터 체적(lattice)확산으로 바뀌어 산화막 표면에서의 인 과잉 축적이 억제되어 Fig. 7과 같이 산화막 불량률이 감소한다.

4. 결 론

$POCl_3$ 침적에 의한 산화막 열화와 증착 실리콘의 증착방법에 의한 산화막 신뢰성 변화에 대한 실험 결과는 다음과 같다.

게이트 산화막은 다결정 실리콘에 확산시킨 인 성분에 의해 열화되며 인 농도 증가와 증착 실리콘 두께가 얇을수록 불량률이 증가했다. 다결정 실리콘에 비해서 비정질 실리콘 경우의 산화막 불량률이 더 크다.

이러한 인 성분에 의한 산화막 열화를 비정질 실리콘을 540°C에서 30nm 그리고 다결정 실리콘을 625°C에서 220nm를 연속 증착시켜 감소시킬 수 있었다. 연속 이중 증착에 의한 산화막 불량 감소는 다결정 실리콘과 비정질

실리콘의 증착온도와 두께 차이에 의한 입계 부정합 구조를 형성시켜 실리콘의 입계를 통한 인 확산을 억제하므로써 인에 의한 산화막 열화가 방지된 결과이다.

감사의 글

본 실험에 많은 도움을 주신 삼성전자(주) 이예승 및 이우성 연구원에게 깊은 감사를 드립니다.

REFERENCES

1. K. Naruke, S. Taguchi, and M. Wada, "Stress Induced Leakage Current Limiting to Scale Down EEPROM Tunnel Oxide Thickness," *IEDM Tech Dig.*, 424-427 (1988).
2. N. Ajika, M. Chi, H. Arima, T. Matsukawa, and N. Tsubouchi, "A 5 volt only 16M Bit Flash EEPROM Cell with a Simple Stacked Gate Structure," *IEDM Tech Dig.*, 115-118 (1990).
3. K. Yamabe, "Thin Oxide Reliability in ULSI's," *Proceeding of 10th Workshop on ULSI Ultra Clean Tech.*, 79-89 (1991).
4. M. Ushiyama, Y. Ohji, T. Nishimoto, K. Komori, H. Murakoshi, H. Kume, and S. Tachi, "Two Dimensional Inhomogeneous Structure at Gate-Electrode/Gate-Insulator Interface causing Fowler-Nordheim Current Deviation in Nonvolatile Memory," *Inter. Reli. Phys. 29th Annul Proc.*, 331-336 (1991).
5. J.C. Vickerman et al., *Secondary Ion Mass Spectrometry Principles and Applications*, Clarendon Press, Oxford. 10 (1989)
6. T. Katayama, Y. Mashiko, J. Mitsuhashi, T. Koyama, K. Tsukamoto, S. Ikeda, A. Nakayama, H. Koyama, and T. Tsubouchi. "A New Failure Mechanism Related to Grain Growth in DRAMs." *Reli. Phys. 29th Ann. Proc.*, 183-187 (1991)