

## (100) 실리콘 웨이퍼에 대한 열탄성모사

최두진, 우현정

연세대학교 세라믹공학과, 서울, 120-749

### A thermoelastic simulation on the (100) Si-wafer

Doo Jin Choi and Hyun Jung Woo

Department of Ceramic Engineering, Yonsei University, Seoul 120-749, Korea

요 약 본 연구에서는 (100) 배향된 단결정 실리콘 웨이퍼의 열탄성응력지수, 열응력과 임계 소성변형 온도와의 관계를 모사하였다. 열탄성응력지수는  $\langle 110 \rangle$  방향에서 최대값을,  $\langle 100 \rangle$  방향에서 최소값을 보여주었다. 그리고, 열탄성응력지수로부터 유도된 열응력과 임계 소성변형 온도의 모사로부터, 실리콘 웨이퍼가 1000 K 이상에서 소성변형될 수 있음을 예측할 수 있었다.

**Abstract** In this study, a thermoelastic stress index of (100) oriented single crystalline silicon wafer and a relationship between thermal stress and critical plastic deformation temperature were simulated. The simulated results for the thermoelastic stress index indicated a maximum value on  $\langle 110 \rangle$  direction and a minimum on  $\langle 100 \rangle$ . Then, it could be predicted that silicon wafer is plastically deformable over 1000 K, based on the relationship between the thermal stress derived from the thermoelastic stress index and the critical plastic deformation temperature.

#### 1. 서 론

단결정 실리콘 웨이퍼는 최근 반도체 공업에 있어 필수적인 소재이다. 실리콘은 결정 구조상 다이아몬드-입방정의 구조를 가지고 있으며 전기적으로 반도체성을 갖는다.

상온에서 실리콘은 탄성적 특성을 가지며, 일정 한계 이상의 기계적 응력이 가해지면  $\{111\}$ 면을 따라 쪼개지는 취성을 갖는 재료이다. 그러나 공정온도가 대략 1000 K 이상으

로 높아지게 되면 실리콘 웨이퍼는 탄성 및 소성의 변형 특성을 갖게 된다. 즉, 일정한 임계 응력 이상이 가해지기 전까지는 탄성 변형을 하다가, 그 이상의 응력이 가해지면 소성 변형이 발생되는데, 이는 산소 침전물의 농도 (concentration of oxygen precipitates)와 함수 관계를 갖고 있다[1].

최근 반도체 공업의 발달에 따라, 웨이퍼의 크기는 1 인치로부터 3, 4, 5 인치를 거쳐 6 인치 웨이퍼를 이용하는 것이 일반이며, 8 인

치도 조만간 응용될 전망이며, 향후 5년 뒤에는 12인치의 대형 실리콘 웨이퍼가 등장할 것으로 전망되고 있다. 그러나, 웨이퍼의 직경이 커지면 커질수록 고온 반도체 제조 공정시 웨이퍼의 소성 변형은 더욱 커질 것으로 전망하고 있으며, 조만간 응용될 8인치 웨이퍼의 경우 그 정도가 심각한 것으로 보고되고 있다 [2].

반도체 집적 회로 제작 공정에 있어, 고온 공정은 필수적이며, 산화, CVD 등 고온 공정시 웨이퍼는 고온에 입력 및 출력될 때 부위별로 약간씩 서로 다른 온도로 가열 및 냉각되는 것으로 알려지고 있다. 이러한 웨이퍼 부위별 온도차이는 웨이퍼의 열응력을 발생시키며, 입계 응력 이상이 되면 전위의 생성 및 이동에 의해 소성 변형을 초래하는 것으로 알려지고 있다 [2,3].

반도체 제조에 있어, 소성변형은 소자 공정시 연속적인 사진 식각 공정에 오차를 초래할 뿐만아니라, 소자의 성능과 전기 및 물성에 큰 영향을 준다. 또한, 소성 변형에 필요한 전위의 생성은 DRAM에 있어 불순물의 확산 통로 역할을 하며, P/N 접합의 파괴, capacitor에 저장된 전하가 전위를 통한 누설 전류 발생에 의해 저장이 곤란해지는 등의 막대한 영향을 주는 것으로 알려지고 있다.

본 연구에서는 (100) 실리콘 웨이퍼의 열탄

성응력지수를 모사하고, 이로부터 유도되는 열응력과 소성 변형에 필요한 전단 응력과의 관계를 모사하여 보았다.

## 2. 모사방법

서론에 언급한 바와 같이 실리콘은 입방정에 해당하며, 입방정의 3차원적 탄성계수( $E_{<hkl>}$ )는 식(1)로 주어지며[4],

$$\frac{1}{E_{<hkl>}} = S_{11} - 2\left\{ (S_{11} - S_{12}) - \frac{1}{2}S_{44} \right\} \{l^2m^2 + m^2n^2 + n^2l^2\} \quad (1)$$

여기서,  $S_{ij}$ 는 compliance,  $l, m, n$ 은 direction cosine에 해당한다. 위의 식(1)로부터 Zener Ratio (A)라고 하는 관계식이 유도되며[5], A는 다음의 식(2)와 같다.

$$A = \frac{2(S_{11} - S_{12})}{S_{44}} \quad (2)$$

본 Zener Ratio는 입방정의 3차원적 탄성 계수 분포를 Fig. 1과 같이, 그 비가 1일 때와 1보다 크고, 작을 때의 세 가지 유형으로 분류하는 기준이 된다.

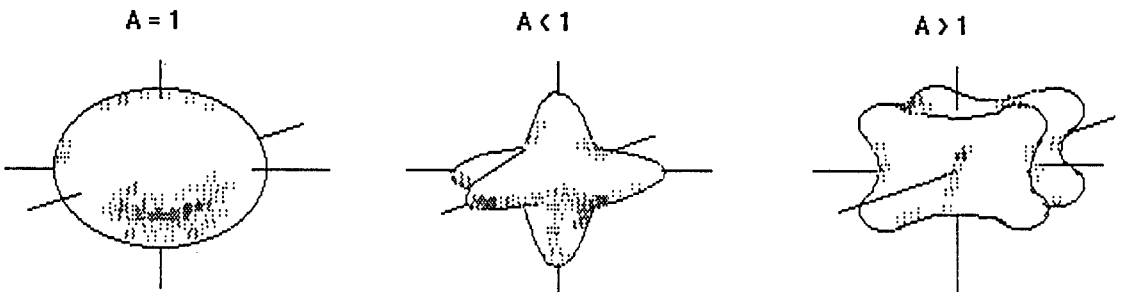


Fig. 1. Three types of three dimensionally distributed elastic coefficient in cubic crystal.

Table 1  
The compliance coefficients of Si

$S_{11}$	$S_{12}$ ( $\text{cm}^2/10^{12} \text{ dyn}$ )	$S_{44}$
0.768	-0.214	1.26

Mason[6]에 의해 보고된 실리콘의  $S_{ij}$ 는 Table 1과 같으며, 이를 식(2)에 대입하여 계산해 보면  $A=1.564$ 로 1 보다 크기 때문에 Fig. 1에서  $A > 1$ 의 경우에 해당된다. 이를 토대로 실리콘 (100) 면에 대한 탄성계수의 이차원적 분포도는 Fig. 2 와 같이 극좌표로 나타난다[5]. 단, 여기서는 각 상한의 값이 동일한 분포를 보여주므로 1/4 상한에 해당하는 분포도만 보여주고 있다.

본 모사에서는 이상에서 언급한 실리콘의 탄성도(Fig. 2)를 실리콘의 열팽창과 관련하여 열응력지수를 구하고, 이를 토대로 열응력지수와 소성 변형 관계를 모사하였다.

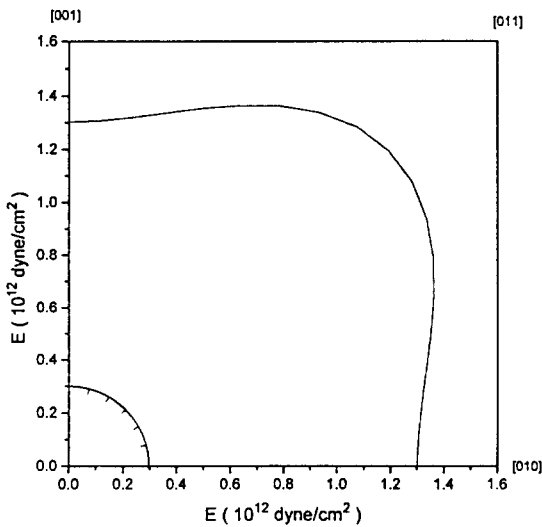


Fig. 2. Elastic coefficient as a function of direction in the (100) plane.

### 3. 결과 및 고찰

실리콘 웨이퍼가 고온에서 공정된 후 출력될 때는 두 종류의 응력이 가능한데, 첫째로, Fig. 3에서 보여 주는 바와 같이 웨이퍼 중심부와 테두리의 온도 차이에 의한 열응력 발생과, 둘째로, 전/후면의 온도 차이에 의한 thin slab case를 생각할 수 있으나, 6인치 웨이퍼와 같이 직경과 두께비가 대략 245:1인 경우 이를 간단히 plane stress condition을 가정하여 전자의 경우로 보는 것이 일반적이다 [3].

일반적으로, 웨이퍼를 출력할 때의 온도차이는 중심부는 뜨겁고, 테두리는 차가운 것으로 알려지고 있다. 그 결과로 야기되는 열응력 ( $\sigma$ )은 다음의 식(3)으로 주어진다. 여기서,  $\alpha$ 는 열팽창계수에 해당하며,  $\Delta T$ 는 Fig. 3에 표기된 바와 같다.

$$\sigma = \alpha \cdot E \cdot \Delta T \tag{3}$$

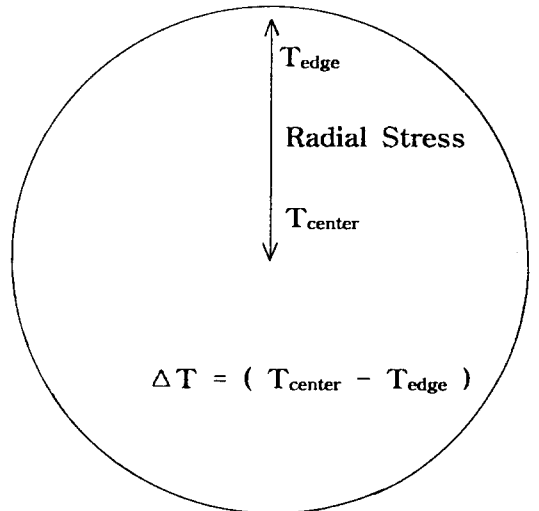


Fig. 3. Radial temperature difference in wafer during unloading.

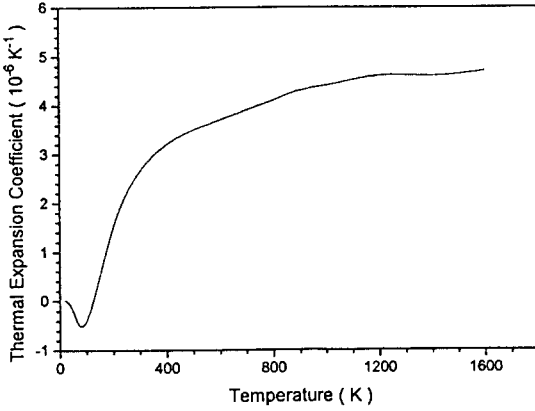


Fig. 4. Thermal Expansion Coefficients of Silicon.

본 식 (3)에서  $\alpha \cdot E$ 는 열탄성응력지수 (Thermoelastic stress index)라고 일컬으며[7], 고체의 온도 차이에 따른 열응력의 지표가 된다. 우선, 열탄성응력지수를 구하기 위해서는 실리콘의 열팽창계수를 알아야 하는데, 이는 Fig. 4와 같다[8].

실리콘은 입방정이므로 배향에 영향을 받지 않고 일정한 것으로 알려져 있으며[7], 탄성계수는 온도의 함수이기는 하나 그 변화폭이 미약하기 때문에 일정한 것으로 가정하여 온도에 따른 열탄성응력지수를 구해보면, Fig. 5와 같이 극좌표로 도시된다. 본 경우는 Fig. 2의 탄성계수의 경우와 같이 1/4 상한에 해당하는 값만을 도시하였는데, 그 이유는 나머지 상한들은 본 도면과 대칭적 관계를 나타내기 때문에 1/4 상한으로 한정하였다. Fig. 5의 결과로부터 (100) 실리콘 웨이퍼의 열탄성응력지수는 <100> 방향에서 제일 작은 값을 갖고, <110> 방향에서 최대임을 알 수 있으며, <100> 방향에서 <110> 방향으로 극좌표에 의해 이동함에 따라 실리콘의 열탄성응력지수는 커지며, <100> 방향과 45° 각도를 이루는 <110> 방향을 기준으로 대칭성을 보여준다.

Leroy와 Plougoven[1]에 의하면, 실리콘 웨

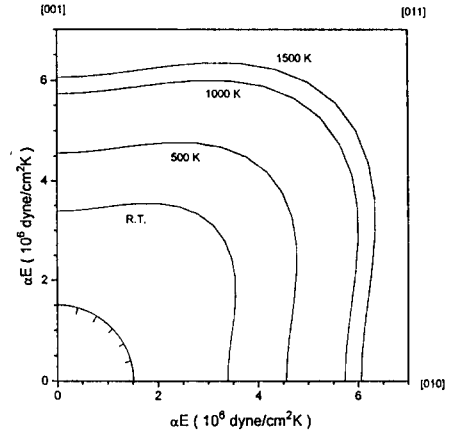


Fig. 5. Thermoelastic stress index of (100) oriented Si-wafer.

이퍼의 임계전단응력(항복강도)은 실리콘 웨이퍼 내에 포함된 산소 농도가 높을수록 낮아지는 것으로 보고하고 있다. Leroy와 Plougoven의 결과와 본 모사에서 얻은 열탄성응력지수 중 지수가 최대인 [110] 방향의 값과 온도차이( $\Delta T$ )를 5, 10°C로 하여 그 결과를 도시하면 Fig. 6과 같은 결과를 얻을 수 있다. 여기서, 열응력은 온도 증가에 따라 점진적으로 증가하나, 소성 변형에 필요한 임계전단응력은 온도 증가에 따라, 대수함수적으로 감소하는 경향을 보여주기 때문에, 서론에 언급한 바와 같이, 실리콘 웨이퍼는 상온에서 임계하중이 걸렸을 때 취성 및 탄성 변형의 특성을 가지나, 1000°K 이상의 고온에서는 임계하중에 의해 소성변형이 발생할 수 있음을 인지해 주고 있다. 단, 여기서 임계하중이란  $\Delta T$ 에 의한 열응력을 말하며, 산소 침전물의 농도에 따라 임계 소성변형 온도는 달라질 수 있다. 즉  $\Delta T$ 가 5°C인 경우 실리콘 웨이퍼 내에 포함된 산소 침전물의 농도가  $10 \times 10^{17}$  atoms/cm<sup>3</sup>에서  $1 \times 10^{17}$  atoms/cm<sup>3</sup>로 감소되면, 임계소성변형온도는 1080 K에서 1250 K로 증가되는 것을 예측할 수 있다. 그러므로, 실리콘 웨이퍼의 임계소성변형온도를 높이려면 웨이퍼 내의 산소침전물의 농도

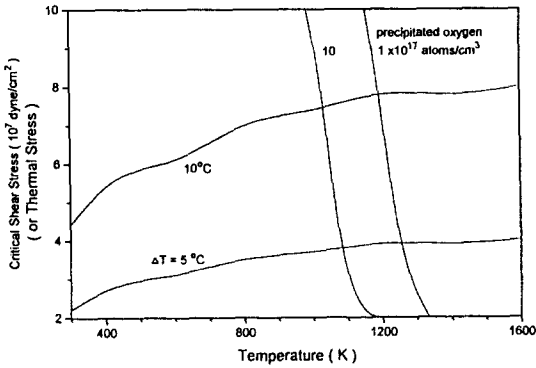


Fig. 6. Thermal stresses of (100) Si due to temperature differences are compared with critical shear stresses of silicon.

를 최소한으로 하는 것이 바람직한 것으로 예측된다.

끝으로, 웨이퍼의 크기가 커지면 소성 변형이 커진다고 보고있는데 이는 중심부와 테두리 간의 온도 차이와 웨이퍼가 커짐에 따라 자체 하중의 증가의 두 가지의 요인이 모두 작용할 수 있는데, 본 논문에서는 가정을 간소화하기 위해 전자의 경우만을 한정하여 모사하였음을 밝혀둔다.

#### 4. 결 론

1. (100) 실리콘 웨이퍼의 열탄성응력지수는 온도에 따라 점진적으로 증가하였으며, <110> 방향에서 최대값을 보여주었다. 또한, <110> 방향을 중심으로 극좌표상에서 대칭성을 보여주었다.

2. 실리콘 웨이퍼는 상온에서 임계하중이 걸렸을 때 취성 및 탄성 변형의 특성을 가지나, 1000 K 이상의 고온에서는 임계하중에 의해 소성 변형이 발생할 수 있음을 Fig. 6으로부터 예측할 수 있었다.

3. 실리콘 웨이퍼 내에 포함된 산소침전물의 농도가 증가되면 임계소성변형온도는 감소될 수 있음을 모사할 수 있었다.

#### 감사의 글

본 연구는 1993년도 한국과학재단 특정기초 연구비 (과제번호 : 92-23-00-11) 지원의 일환으로 수행되었으며 이에 감사의 뜻을 표합니다.

#### 참고문헌

- [ 1 ] B. Leroy and C. Plougoven, J. Electrochem. Soc. 127 (1980) 961.
- [ 2 ] A.E. Stephens, Proceeding of The Second Symposium on Defects in Silicon - Defects in Silicon II, 91-9 (The Electrochem. Soc., 1991).
- [ 3 ] S.M. Sze, VLSI Technology, (McGraw-Hill, 1988) p. 47.
- [ 4 ] J.F. Nye, Physical Properties of Crystals, (Oxford, 1957) p. 145.
- [ 5 ] D.H. Chung and W.R. Buessem, J. Appl. Phys. 38 (1967) 2010.
- [ 6 ] W.P. Mason, Physical Acoustics and The Properties of Solids (I), (Van Nostrand Co., 1958).
- [ 7 ] Z. Li and R.C. Bradt, Ceramic Transaction-Silicon Carbide '87, 2 (The Am. Cer. Soc. 1987) 313.
- [ 8 ] Y.S. Touloukian, R.K. Kitby, R.E. Taylor and T.Y.R. Lee, Thermophysical properties of Matter, 13 (IFI/Plenum) p. 154.