특 집

디지탈 保護繼電器의 하드웨어와 소프트웨어

박 종 근*, 강 상 희**
(*서울대 공대 전기공학과 교수,
**기초전력공학공동연구소 연구원)

1. 서 론

전력계통의 사고에 따른 과도 전압, 전류는 고조파 성분과 지수함수적으로 감소하는 직류성분에 의하여 심하게 왜곡된다. 고조파 성분은 전압 최대 및 최소에서의 사고일 때, 직류성분은 전압 영에서의 사고일 때 각각 가장 현저하게 나타난다. 계전신호에 포함되는 이 과도 성분들은 보호 계전기의 동작속도를 느리게 하는 요소로 작용한다. 그러나, 현대의 계전기는 이 왜곡된 계전신호에도 불구하고 사고를 신속, 정확하게 감지하여야 한다. 이러한 관점에서 디지탈 계전기의 출현은 왜곡된 계전신호에서 필요한 성분만을 추출하는 신호처리 기법의 이용을 가능하게 하여 계전기의 획기적인 성능향상을 달성할 수 있게 하였다.

디지탈 계전기는 첫째, 기계식 계전기가 10년동안에 가격이 두배가 되는 반면, 동일한 기능을 할 수 있는 마이크로프로세서의 가격은 같은 기간에 약 1/10로 떨어지므로 경제성에서 앞서고, 둘째, 기억 기능 및 디지탈 신호처리로 계전성능이 향상되고 세째, 기계식 계전기가 주기 점검시에만 상태가 점검되는 것에 반하여 자기진단 기능에 의하여 항시 상태가 점검되어 신뢰도가 향상되며 네째, 프로그램만의 수정으로 새로운 요구에 대처할 수 있어 신축성이 뛰어나고 다섯째, 통신 네트웍을 통하여 기타의 전력설비 제어, 감시 시스템과의 접속이 용이한 장점을 가진다[1].

이와 같은 장점으로 인하여, 1970년대 초부터 연구되기 시작한 디지탈 계전기는 1980년대 초부터 선진 각국에서 실용화되고 있다. 일본 동경전력의 경우(1990년 현재), 디지탈 계전기 적용률이 275[kV]급 이상 변전소에서는 70[%], 154[kV]급 이하 변전소에서는 30[%]에 달한다. 국내에서는 1992년에 154[kV] 및 345[kV]급 변전소의 전력설비 보호용 디지탈 계전기가 개발 되었다[2].

한편 계전기 성능을 좌우하는 요소로는 계전신호의 최소 변화분으로 사고를 감지할 수 있는 민감도, 사고가 담당 구간 내부인지 아닌지를 구분하는 판별력, 최단시간에 사고를 감지하여 사고 구간을 분리시킬 수 있는 속도를 들 수 있다[3]. 그러나, 민감도나 판별력을 높이기 위해서는 보다 많은 양의 데이타와, 정밀한 연산이 필요하여 계전기의 동작속도를 느리게 하고, 반대로 속도를 빠르게 하려면 민감도나 판별력을 떨어뜨리게 된다[4]. 따라서, 디지탈 계전기에서의 가장 큰 과제는 동작속도의 단축과 동시에 민감도 및 판별력을 향상시키는 것이다.

2. 디지탈 계전기의 하드웨어

디지탈 계전기의 일반적인 구조는 그림 1과 같다. 계전기는 계통의 CT, PT에서의 신호를 입력으로 하고, 차단기 트립을 개시시키는 신호를 출력으로 한다. 피보호물 양단의 정보를 필요로하는 경우

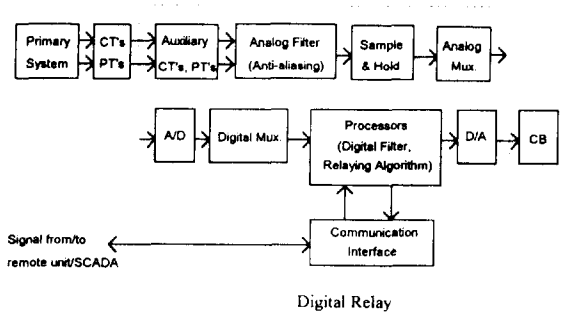


그림 1. 디지탈 계전기의 구조

에는 타단의 신호를 입력으로 받고 자기단의 신호를 타단으로 보내기 위한 통신장비가 첨가된다. 디지탈 계전기는 고유의 보호기능 이외에 전력계통의 제어 또는 감시 설비와 자신이 취득한 전기적 정보 및 제어 명령을 통신을 통하여 주고 받을 수 있다.

디지탈 계전기는 다음과 같이 기능면에서 크게 두 부분으로 나눌 수 있다[5].

1) 아날로그/디지탈 변환부

2) 디지탈 부분

2.1 아날로그/디지탈 변환부

계통의 CT와 PT의 아날로그 값으로 부터 보호기능 수행을 위한 양자화된 디지탈 값을 얻는 역할을 하며, 일정시간마다 변환을 한다.

1) 입력변환부

계통에 접속된 PT, CT로 부터의 전압, 전류입력을 전자회로에서 처리가능한 ±5 ~ ±10[V]정도의 전압값으로 변환한다.

2) 아날로그 필터

아날로그 신호를 디지탈 신호로 변환하는 과정에서 발생하는 중첩(aliasing) 에러를 방지하기 위해 디지탈 계전기 입력측에 저역통과 필터가 필수적으로 사용되어야 한다. 또한, 이 필터의 부수적인 효과로 계전신호에 포함된 높은 주파수 대역의 성분을 제거할 수 있다.

디지탈 계전기의 필수 요소인 아날로그 중첩방지 저역통과 필터(analog anti-aliasing low-pass filter)는 과도한 시지연 없이 정지대역(stop-band)의 고조파 성분을 제거하고 전이대역(transition-band)의 고조파 성분 또한 어느 정도까지는 억제할 수 있다. 필터의 차수가 높아지면 전이대역이 좁아져

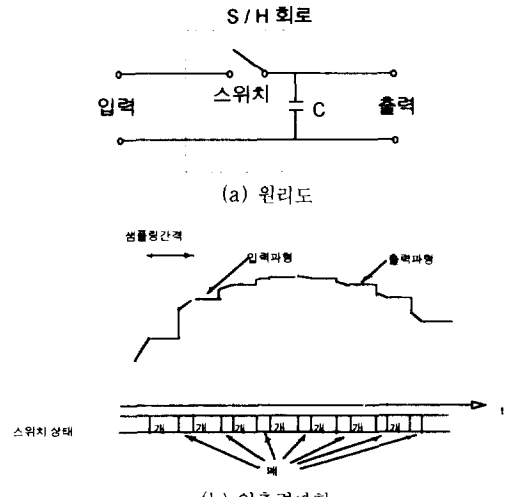


그림 2. Sample/Hold 회로의 원리와 출력파형

이상적인 저역통과 필터에 가까와지나 시지연이 많이 생긴다. 직교 변환(orthogonal transformation)을 이용하는 경우에는 이 변환이 고조파 성분을 효과적으로 제거할 수 있기 때문에 시지연이 적은 저차의 저역통과 필터가 사용될 수 있다. 저역통과 필터는 주 계전 알고리즘의 특성에 따라 효과적인 것이 선택되어야한다.

3) Sample/Hold회로

아날로그 필터로 부터 출력되는 신호값을 일정시간 간격으로 샘플링 하고, A/D 변환이 완료될 때까지 샘플된 값을 보전한다. 그림 2에 그 원리와 출력파형을 도시하였다.

원리도에서 알 수 있듯이 스위치가 닫힌 상태에서는 C에 충전이 이루어지고 스위치가 열리면 C의 전압이 그대로 유지된다.

4) MUX(Multiplexe)

S/H 회로의 출력을 A/D 회로의 입력으로 바꾸어 주는 아날로그 MUX, 또는 A/D 변환이 이루어진 값을 프로세서에 입력하는 디지탈 MUX를 사용할 수 있다.

5) A/D 변환기

전압, 전류의 순시치를 마이크로컴퓨터에서 연산가능한 디지탈값으로 바꾸어 주는 부분이다.

2.2 디지탈부

디지탈값으로 변환된 전압, 전류의 정보로 부터

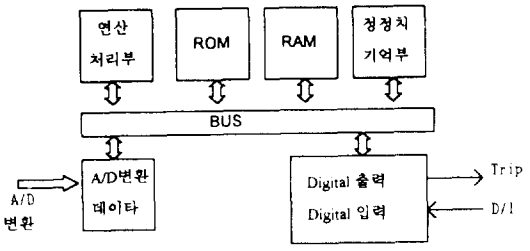


그림 3. 디지탈부의 주요 구성

보호 연산을 수행하는 디지탈 보호계전기 부분을 말하며 그림 3에 나타난 것처럼 연산처리부, RAM, ROM, 정정치 기억부, 디지탈 입출력 등으로 구성되어 있다.

1) 연산처리부

ROM에 저장되어 있는 보호 계전 프로그램을 수행하는 부분으로 보통 MPU(Micro Processor Unit)를 지칭한다. 연산처리부의 구성은 아래의 그림 4와 같다.

⊙ 제어회로

ROM에 저장되어 있는 연산수순을 처리하기 위하여 연산회로 등에 제어를 수행한다.

⊙ 명령해독회로

레지스터를 통해받은 프로그램을 해독하여 실제로 연산회로를 제어한다.

⊙ 레지스터

버스를 통해 수행해야 할 프로그램을 받거나 연산도중의 결과를 잠깐동안 기억한다.

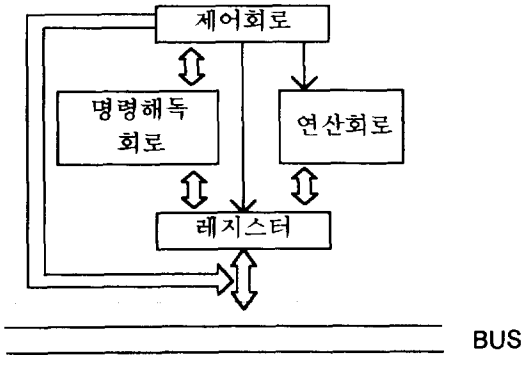


그림 4. 연산처리부

⊙ 연산회로

수치 연산과 AND, OR 등의 논리 연산을 수행한다.

디지탈 보호계전기에서는 샘플간격에 해당하는 짧은 시간안에 많은 연산이 수행되어야하므로 고속연산이 가능한 MPU가 필요하다. MPU의 연산능력은 한번에 연산할 수 있는 bit의 길이와 연산에 소요되는 시간으로 나타낼 수 있다.

디지탈 보호계전기에는 범용의 MPU외에 신호처리전용 MPU(DSP chip)를 사용하는 경우도 있다. DSP는 FFT와 같은 신호처리를 목적으로 개발되었으나 고속의 연산능력을 가지고 있어 일반 MPU로서는 한정된 시간안에 처리할 수 없는 연산을 수행할 수 있다.

2) ROM(Read Only Memory)

MPU에서 수행해야 하는 보호계전 프로그램의 코드를 저장하는 부분이며 한번 저장하면 반영구적으로 보존할 수 있다.

3) RAM(Random Access Memory)

읽고 쓰는 것이 자유롭게 되기 때문에 A/D 변환기에 의한 전압, 전류 데이타 및 보호 기능 수행에 필요한 변수값을 임시적으로 저장하는 데 사용된다.

4) 정정치 기억부

계전기 동작에 필요한 정정치를 기억하는 부분으로 전원이 공급되지 않아도 그 내용을 보존할 수 있는 EEPROM(Electrically Erasable Programmable Read Only Memory)이 사용된다.

5) A/D 변환 데이타 메모리

A/D 변환부의 출력 데이타를 연산부에서의 사용을 위해 저장한다. 데이타 기억부와 같은 RAM

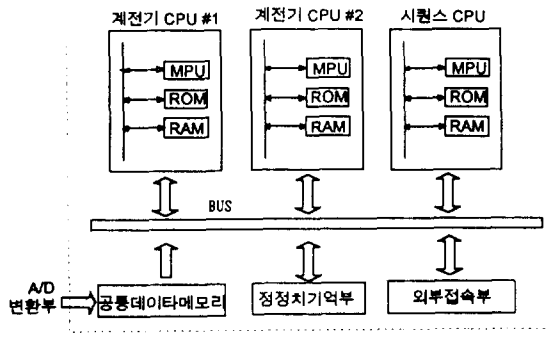


그림 5. 다중 CPU 방식의 구성

이 사용된다.

6) 다중 CPU 방식

디지탈계전기의 내부에는 여러개의 연산처리부와 RAM, ROM을 사용하여 연산처리를 분담시키는 다중 CPU 방식을 사용한 것도 있다. 이 방식은 소규모 시스템에서 대규모 시스템까지의 확장이 용이하다. 실제 CPU #1과 CPU #2는 각각 독자적인 연산을 수행하고, 그 결과를 공통메모리에 저장한다. 그러면 시퀀스 CPU가 그 결과를 받아 적당한 조치를 취한다. 또, 시퀀스 CPU는 디지탈 입력과 차단 명령등의 디지탈 출력을 수행한다.

7) 외부접속부

디지탈계전기의 판정결과를 출력하고 외부접점정보를 읽어들이는 일을 수행한다.

3. 디지탈 계전기의 소프트웨어

3.1 계전기의 분류

계전기는 이용 정보의 취득 위치에 따라 첫째, 자기단의 정보만 이용하는 것과 둘째, 자기단과 상대단의 정보를 함께 이용하는 것으로 대별된다. 전류차동 계전기[6~8] 및 방향비교 계전기[9,10] 등이 상대단 정보까지를 이용하는 계전기류에 속하며, 이는 사고구간 판별력에서는 우수하나, 별도의 통신 수단을 구비해야 하므로, 이에 따른 계전 시스템의 복잡화 및 필연적인 시지연이 수반되고, 부가설비 자체의 사고로 보호기능이 상실될 소지가 있다.

디지탈 계전기는 전압, 전류 변환기로 부터의 신호 중 어떤 주파수 대역을 사용하느냐에 따라서 ① 전력 주파수 성분만 사용하는 것, ② 특정 주파수 대역을 사용하는 것, ③ 입력 신호를 그대로 사용하는 것으로 구분지울 수 있다. ①과 ②는 계통의 사고 정보를 전력 주파수 성분의 신호에서 얻는다는 점이 같다. ③의 경우는 진행파를 이용하는 것으로 속도의 측면에서는 유리하지만, 근접사고 등과 같은 몇몇 특정한 사고에서는 그 신뢰성이 아직 검증되지 않고 있으며, 전압, 전류 변환기가 1차 계통의 신호를 2차측 계전신호로 선형변환시키지 못하는 관계로 실계통 적용상 다소 문제점이 있다[11~14].

3.2 디지탈 계전 알고리즘

초기의 디지탈 계전기[15~17]는 왜곡 성분을 무시할 수 있다는 가정하에서 미분 등을 이용한 단순한 알고리즘을 사용하여, 판별력이나 동작시간의 측면에서 문제점을 갖고 있었다. 그러나 그후, 대부분의 디지탈 계전 알고리즘이 왜곡된 계전신호에서 전력 주파수 성분을 주출하여 계통의 사고 정보를 얻게 됨으로서, 디지탈 계전기의 속도와 신뢰성은 왜곡된 계전 신호에서 전력 주파수 성분을 얼마나 빠르고 정확하게 추출하느냐에 달려 있게 되었다. 전력 주파수 성분의 추출에 기초한 디지탈 계전기에 사용되는 알고리즘은 미분방정식을 이용하는 것[18~20], 최소자승법을 이용하는 것[21~23]과 직교변환을 이용하는 것[24~30]으로 대별할 수 있다. 이 방법들은 거리계전에 공히 응용되며, 전압, 전류의 페이서 값을 구하는 방법인 최소자승법 및 직교변환법은 계전신호의 페이서에 의존하여 동작하는 모든 계전기에 응용된다.

3.2.1 미분방정식법

미분방정식법은 다음 식(1)과 같이 선로를 저항과 리액턴스로 모델링하는 것으로 고조파가 민감한 에러 요인이 된다[28]. 따라서, 고조파에 강인한 알고리즘을 찾는 방향으로 연구가 진행되어 왔으나, 처리할 수 있는 고조파의 차수가 늘어남에 따라 사용 데이타 폭(datawindow)이 커지므로 사고 감지 속도가 떨어지게 된다.

$$V = Ri + L\frac{di}{dt} \tag{1}$$

참고문헌[20]에서 제시된 수정 미분 방정식 법은 식(1)의 해를 다음과 같이 얻는다.

$$L = \frac{I_m V_{m-1} - I_{m-1} V_m}{I_m J_{m-1} - I_{m-1} J_m}$$
$$R = \frac{V_m J_{m-1} - V_{m-1} J_m}{I_m J_{m-1} - I_{m-1} J_m} \tag{2}$$

여기서 $I_m = i_m + i_{m-1}$, $V_m = v_m + v_{m-1}$,

$J_m = (\frac{di}{dt})_m + (\frac{di}{dt})_{m-1}$

m : 샘플링 시간,

$(\frac{di}{dt})_m$: m에서의 전류 미분치

미분방정식법에서 가장 중요한 문제는 미분을 어떻게 처리하는냐이다. 수정미분방정식법에서는 미

분을 다음과 같이 근사한다.

$$(\frac{di}{dt})_m+(\frac{di}{dt})_{m-1}=\sum_{k=1}^{z}K_k(i_{m-1+k}-i_{m-k}) \quad (3)$$

식(3)을 1차로 근사하면, 상수 K_k는 식(4)로 주어진다.

$$K_1=\omega\cot(\frac{\omega T}{2}) \quad (4)$$

여기서 ω: 미분에러 0인 주파수, T: 샘플링 간격

3.2.2 최소자승법

최소자승법은 계전신호에 포함된 옵셋을 포함한 각 고조파 신호의 계수를 추정하는 알고리즘을 사용한다. 지수감소하는 옵셋을 테일러 급수의 1차항까지 근사하고, 계전신호에 포함된 고조파에 2차까지라면 계전신호는 다음으로 표시된다.

$$v(t)=k_1(1-\frac{t_1}{\tau})+\sum_{n=1}^{2}k_{2n}\sin(n\omega_0 t+\theta_n) \quad (5)$$

여기서 k_1, k_{2n}: 상수, τ: 옵셋의 시정수, n: 고조파 차수, ω_0: 전력주파수의 각속도, θ_n: n차 고조파의 위상각

$t=t_1$에서 식(5)는 다음의 식(6)으로 된다.

$$\begin{aligned}v(t_1)&=k_1(1-\frac{t_1}{\tau})+k_{21}\cos\theta_1\sin\omega_0 t_1\\&+k_{21}\sin\theta_1\cos\omega_0 t_1+k_{22}\cos\theta_2\sin2\omega_2 t_1\\&+k_{22}\sin\theta_2\cos2\omega_2 t_1 \quad (6)\end{aligned}$$

위의 식(6)은 식(7)로 표현할 수 있다.

$$\begin{aligned}v(t_1)&=a_{11}x_1+a_{12}x_2+a_{13}x_3+a_{14}x_4\\&+a_{15}x_5+a_{16}x_6 \quad (7)\end{aligned}$$

여기서 $a_{11}=1$, $a_{12}=t_1$, $a_{13}=\sin\theta_0 t_1$,
$a_{14}=\cos\omega_0 t_1$, $a_{15}=\sin2\omega_0 t_1$, $a_{16}=\cos2\omega_0 t_1$
$x_1=k_1$, $x_2=-\frac{k_1}{\tau}$, $x_3=k_{21}\cos\theta_1$,
$x_4=k_{21}\sin\theta_1$, $x_5=k_{22}\cos\theta_2$, $x_6=k_{22}\sin\theta_2$

한편 $t=t_2(t_2=t_1+\triangle t)$에서는 다음의 식이 만족된다.

$$\begin{aligned}v(t_2)&=a_{21}x_1+a_{22}x_2+a_{23}x_3+a_{24}x_4\\&+a_{25}x_5+a_{26}x_6 \quad (8)\end{aligned}$$

여기서 $a_{21}=1$, $a_{22}=t_2$, $a_{23}=\sin\omega_0 t_2$,
$a_{24}=\cos\omega_0 t_2$, $a_{25}=\sin2\omega_0 t_2$, $a_{26}=\cos2\omega_0 t_2$

순차적으로 6개 이상의 식을 얻으면, 이는 다음과 같은 행렬로 표시된다.

$$[A][X]=[V] \quad (9)$$

이때 행렬 [A]의 요소들은 기준시간 t_1과 샘플간격 $\triangle t$에 따라 결정되는 상수이고, 행렬 [V]의 요소들은 샘플된 신호값이다. 따라서 각 고조파의 계수를 나타내는 행렬 [X]는 행렬 [A]의 의사역행렬(pseudo inverse)을 이용하여 얻는다.

$$[X]=[[A]^T[A]]^{-1}[A]^T[V] \quad (10)$$

최소자승법에 기초한 방법 역시 계전신호에 포함된 고조파의 차수를 정확히 예상하지 못한 경우에는 고조파가 에러요인이 되며, 옵셋을 테일러급수로 근사하여 처리할 때 시정수가 작을수록 옵셋에 의한 에러도 커진다.

3.2.3 직교변환법

디지탈 계전 알고리즘으로 사용되고 있는 직교변환으로는 푸리에, Walsh 및 Haar 변환 등이있다. 직교변환법은 본질적으로 고조파에 강인하여 직류 옵셋(dc-offst)의 시정수가 충분히 큰 경우(직류성분이 구형파일 때)에는 다른 주파수 성분에 영향을 받지 않은 전력 주파수 성분을 얻을 수 있으나, 시정수가 작은 경우에는 그렇지 못하다. 직교변환을 이용한 기존의 연구들[24~26, 28]에서는 옵셋의 시정수가 충분히 큰 것으로 간주하여 옵셋에 대한 별다른 대책을 세우지 않아 옵셋이 에러 요인으로 작용하였다. 직교변환은 일정한 데이타 폭을 필요로 하며 그 폭을 줄일 때는 직류 옵셋이 큰 에러 요인으로 작용한다. 따라서, 직교변화를 사용할 때는 옵셋에 대한 대책이 필요하며 특히, 변환시 데이타 폭을 축소할 때는 그 필요성이 더욱 증대한다.

다음 식(11)은 이산 푸리에 변환을 이용하여 신호의 페이저 값을 얻는 것을 나타내고 있다.

$$X_n=\frac{\sqrt{2}}{N}\sum_{k=1}^{N}x_k e^{-j\frac{2\pi nk}{n}}=X_{n(real)}+jX_{n(imag)} \quad (11)$$

여기서 N: 주기당 샘플수, n: 고조파 차수, x_k: 샘플링 값

3.3 직류 옵셋

과도 계전신호에 포함된 옵셋 성분은 일정한 상

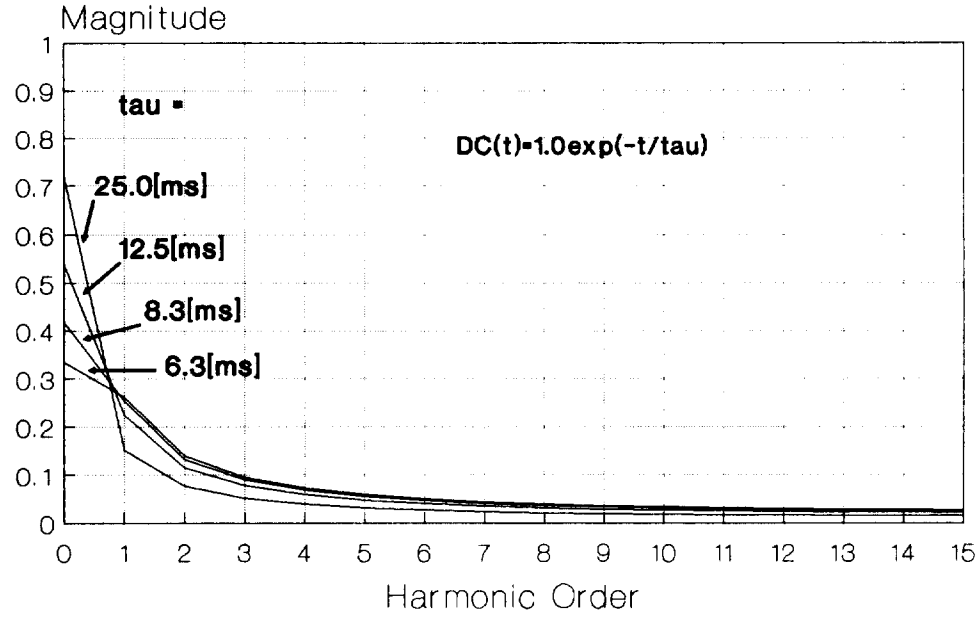


그림 6. 초기값 1.0일 때 옵셋성분의 시정수에 따른 스텍트럼

수값이 아닌 지수함수적으로 감소하는 특성을 가지므로, 주파수 0인 성분을 제거하는 필터를 사용하여도 완전히 제거되지 않는다. 그림 6은 일정한 초기값에서 시정수가 변할 때 옵셋이 어떤 주파수 성분으로 얼마만큼 인식되는지를 나타낸다. 옵셋의 초기치는 최악의 경우 기본파의 최대값과 같을 수 있고, 이 때 시정수가 25[ms]인 경우 기본파에 15% 정도의 에러를 유발시킬 수 있다. 따라서, 정확한 전력 주파수 성분의 추출과 계전기 동작시간의 단축을 위하여 지수 감소하는 옵셋을 최소의 데이타 폭으로 효과적으로 제거하는 디지탈 필터가 필요하다.

옵셋 제거를 위한 디지탈 필터의 데이타 폭을 줄이기 위한 연구로는 옵셋을 선형함수로 취급한 것[23]과 구간별 선형함수로 취급한 것[27], 그리고 지수함수에 근거한 것[29,30]이 있다.

4. 디지탈 계전기의 미래

현재까지의 대다수 디지탈 계전기는 종래의 아날로그 계전기의 기능을 디지탈화하여 구현하는 것이었다. 서론에서 언급하였던 디지탈 계전기의 장점으로 인하여 종래의 아날로그 계전기가 수행할 수 없었던 것들에 대한 연구가 진행되고 있고, 이러한 것들은 앞으로도 계속 늘어날 것으로 보이며, 이에 대한 몇가지 분야는 다음과 같다.

4.1 적응 계전(adaptive relaying)

적응계전이란 계전기가 보호기능을 수행하기 위하여 계전기 스스로 정정치를 변경하는 계전방식을 말한다. 기존의 계전기는 사전에 설정된 정정치로 보호기능을 수행하게 된다. 계통의 구성이 변화하면, 각 계전기의 정정치가 달라진 계통 구조에 맞도록 변해야 하는데 현재는 이의 변경을 수작업으로 행하고 있다. 그러나 디지탈 계전기에서는 계통의 구조가 변하더라도 스스로 정정치를 변경할 수 있는 기능을 프로그램화할 수 있어 적응계전을 가능하게 한다.

적응계전의 또 하나의 예는 계전기 오동작이 계통에 미치는 영향을 최소화할 수 있는 것이다. 즉 계전기가 계통의 전압, 전류로 부터 계통의 상태가 정상인지 아닌지를 스스로 판단하고, 계전기가 오동작했을 경우에 계통에 미치는 영향을 추정하여, 최종적으로 차단신호를 낼것인지 아닌지를 결정한다. 이때 계통이 약화되어 있는 경우에는, 계통에 연결되어 있는 다른 여러 계전기의 정보를 검토한

후 최종적인 차단결정을 할 수 있는 기능을 프로그램화할 수 있다.

4.2 인공지능 기술의 응용

인공지능 기술을 계전기에 이용하는 대표적인 예로는 Fuzzy 추론을 이용하여 사고 판정을 하는 것을 들 수 있다. 또한 뉴로컴퓨터(neurocomputer)를 디지탈 계전에 응용하는 연구가 진행중이다.

4.3 무인화 및 자동화

현재 계전기의 정정치를 정정할 경우에는 운전원이 직접 가서 정정해야 한다. 그러나, 디지탈 계전기를 이용하면 원격으로 제어 및 정정을 할 수 있다. 또한 LAN을 이용하여 여러 장소에 있는 계전기의 상태를 수시로 점검할 수 있으므로 무인화 및 자동화를 가능하게 한다.

5 결 론

디지탈 계전기에 사용되는 보호알고리즘은 각기 나름대로의 장단점을 가지고 있다. 따라서, 보호하고자 하는 피보호물의 특성을 충분히 파악한 후 그에 적절한 알고리즘을 선정하여야 한다. 특히, 계전신호의 과도 특성을 결정하는 고조파와 옵셋 성분에 대한 검토가 필요하다.

디지탈 계전기의 하드웨어와 소프트웨어는 상호간에 깊은 연관성을 가지고 있으므로 가장 효과적인 조합이 선정되도록 하여야 한다. 알고리즘의 연산 부담을 고려하여 프로세서의 종류와 하드웨어의 구조를 결정해야 한다. 또한, 피호물과 사용되는 보호 알고리즘의 특성에 따라 효과적인 아날로그 필터가 결정될 수 있다.

한편, 디지탈 계전기는 연산과 기억이라는 본질적인 장점을 가지고 있으므로 계통의 변화에 능동적으로 대처할 수 있는 적응계전기법이 적용될 수 있고, 고저항 지락사고 등과 같은 계통의 미묘한 변화를 감지하기 위하여 인공지능 기법이 적용될 수 있다.

디지탈 계전기는 경제성, 성능, 신뢰도, 신축성 등의 이점으로 그 사용이 앞으로 크게 늘어날 전망이며, 또한 시대적인 추세인 전력 시스템의 무인화 및 자동화의 달성에 중요한 역할을 하므로 디지탈 계전기에 대한 연구는 더욱 활발히 진행되리라 보여진다.

참 고 문 헌

[1] IEEE Power Engineerig Society, IEEE Tutorial Course, Computer Relaying, 79 EH0148-7-PWR, 1979.

[2] 한국전력공사 기술연구원, "변전소의 보호제어를 위한 디지탈 시스템 개발", 최종보고서, KRC-89S-J04, 1992.9

[3] Mustahsan Mir, "Microcomputer-based Protection of Power System:New Methods and Performance Analysis", University Microfilms international, pp.1-36, 1983.

[4] J.S.Thorp, A.G.Phadke, S.H.Horowitz, J.E.Beehler, "Limits to Impedance relaying", IEEE Trans. on PAS, Vol. PAS-98, No.1, pp. 246-260, Jan/Feb 1979.

[5] 三谷 泉 편저, "디지탈 릴레이 실무독본", Ohm, 1991

[6] S.S.Kim, S.H.Kang, J.K.Park, "Differential Relay for Transmission Line Protection Using Correlation Method", IFAC, Power Systems and Power Plant Control 1989, Symposia Series, No.8, pp.321-326, 1990

[7] R.K.Aggarwal, A.T.Johns, "Digital Differential Relaying Scheme for Teed Circuits Based on Voltage and Current Signal Comparison", IEE proc., Vol. 137, Pt C, No.6, pp. 414-423, Nov. 1990

[8] R.K.Aggarwal, A.H.Husseini, M.A.Redfern, "Design and Testing of a New Microprocessor-based Current Differential Relay for EHV Teed Feeders", IEEE Trans. on Power Delivery, Vol.6, No.3, pp. 991-999, July 1991

[9] M.Vitins, "A Fundamental Concept for High Speed Relaying", IEEE Trans. on

PAS, Vol.100, No.1, pp.163-173, Jan. 1981

[10] A.T.Johns, E.P.Walker, "Co-operative Research into the Engineering and Design of a New Digital Directional Comparison Scheme", IEE Proceedings, Vol. 135, Pt. C, No.4, July 1988

[11] E.H.Shehab-Eldin, P.G.McLaren, "Travelling Wave Distance Protection-Problem Areas and Solutions", IEEE Trans. on Power Delivery, Vol.3, No.3, pp. 894-902, July 1988

[12] 강상희, 박종근, "진행파 기법을 이용한 새로운 초고속 거리계전 방식", 전기학회논문지, 제40권 제12호, pp.1203-1210, 1991년 12월

[13] C.Christopoulos, D.W.P.Thomas, A.Wright, "Signal Processing and Discriminating Techniques Incorporated in a Protective Scheme Based on Travelling Waves", Proceedings of IEE, Vol.136, Pt. C, No.5, pp.279-288, Sep. 1989.

[14] P.K.Dutta, P.B.Dutta Gupta, "Microprocessor-Based UHS Relaying for Distance Protection Usig Advanced Generation Signal Processing", IEEE Trans, on Power Delivery, Vol.3, No.3, pp. 1121-1128, July 1992

[15] G.B.Gilchrist, G.D.Rockefeller, E.A.Udren, "High-Speed Distance Relaying using a Digital Computer, Part I", IEEE Trans. on PAS, Vol.91, No.3, pp. 1235-1243, May/June 1972

[16] G.D.Rockefeller, E.A.Udren, "High-Speed Distance Relaying Using a Digital Computer, Part II", IEEE Trans. on PAS, Vol.91, No.3, pp.1244-1258, May/June 1972

[17] J.G.Gilbert, R.J.Shovlin, "High Speed Transmission Line Fault Impedance Calculation Using a Dedicated Minicomputer", IEEE Trans, on PAS, Vol.94, No.3, pp.872-883, May/June 1975

[18] B.Jeyasury, W.J.Smolinski, "Design and Testing of a Microcopmputer-Based Distance Relay", IEEE Trans. on PAS, Vol. 103, No.5, pp.1104-1110, May 1984.

[19] H.kudo, H.Sasaki, K.Seo, M.Takahashi, K.Yoshida, T.Maeda, "Implementation of Digital Distance Relay Using an Interpolated Integral Solution of a Differential Equation", IEEE Trans. on Power Delivery, Vol.3, No.4, pp.1475-1483, October 1988

[20] Y.Ohura, et al, "Digital Distance Relay with Improved Characteristics Against Distorted Transient Waveforms", IEEE Trans. on Power Delivery, Vol.4, No.4, pp.2025-2031, October 1989

[21] M.S.Sachdev. M.A.Baribeau, "A New Algorithm for Digital Impedance Relays", IEEE Trans. on PAS, Vol.98, No.6, pp. 2232-2240, Nov/Dec. 1979.

[22] M.S.Sachdev, M.Nagpal, "A Recursive Least Error Squares Algorithm for Power System Relaying and Measurement Applications", IEEE Trans. on Power Delivery, Vol.6, No.3, pp.1008-1015, July 1991

[23] A.Isaksson, "Digital Protective Relaying Through Recurvsive Least-Squares Identification", Proceedings of IEE. Vol. 135. Pt,C. No.5, pp.441-449, Sep.1988

[24] D.B.Fakruddin, K.Parthasarathy, "Simplified Algorigthms Based on Haar Transforms for Signal Recognition in Protective Relays", Proceeding of the IEEE, Vol.73, No.5, pp.940-942, May.1985

[25] 김일동, "A Study on the Fast Computation for Digital Impedance Relaying", 석사학위논문, 서울대학교, 1988

[26] D.D'Amore, A.Ferrero, "A Simplfied Algorithm for Digital Distance Protection Based on Fourier Techniques", IEEE Trans. on Power Delivery, Vol.4, No.1, pp. 157-164, January 1989

[27] Sanghee kang, Raj K.Aggarwal, Allan T. Johns, "Digital Distance Relaying Based on Fast Harr Transformation Techniques", 27th Universities Power Engineering Conference, Bath, England, UK, September 1992

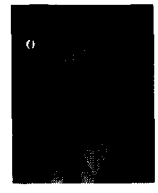
[28] A.Wiszniewski, "New Algorithm of Calculating Current and Voltage Phasors for Fast Protection", Proceedings of IEE. Vol.134, Pt,C, No.1, pp.81-82, Jan.1987

[29] 강상희, 박종근, "Offset이 제거된 반주기 데이타를 사용하는 고속 Haar 변환에 기초한 디지탈 거리계전 알고리즘", 전기학회논문지, 제41권 제9호, pp.973-983. 1992년 9월

[30] 강상희, 김일동, 박종근, "Block Pulse Function을 이용한 디지탈 거리계전 알고리즘", 전기학회논문지, 제42권 1호, pp.1-11, 1993년 1월

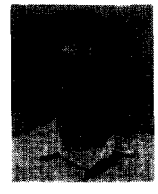
[31] A.T.Johns, M.A.Martin, "Fundamental Digital Approach to the Distance Protection of E.H.V. Transmission Lines", Proceedings of IEE. Vol.125, No.5, pp. 377-384, May, 1978

[32] A.G.Phadke, T.Hlibka, M.G.Adamiak, M.Ibrahin, J.S.Thorp, "A Microcomputer Based Ultra-High-Speed Distance Relay : Field Tests", IEEE Trans. on PAS, Vol.PAS-100, No.4, pp.2026-2036, April 1981



박종근(朴鍾根)

1052년 10월 21일생. 1973년 서울대 공대 전기공학과 졸업. 1979년 일본 동경대 대학원 전기공학과 졸업(석사). 1982년 일본 동 대학원 전기공학과 졸업(공박). 현재 서울대 공대 전기공학과 교수, 당학회 평의원



강상희(姜相熙)

1962년 8월 15일생. 1985년 서울대 공대 전기공학과 졸업. 1987년 동 대학원 전기공학과 졸업(석사). 1993년 동 대학원 전기공학과 졸업(공박). 현재 기초전력공학공동연구소 연구원.