

Design and Analysis for Parallel Operation of Power MOSFETs Using SPICE

金倫鎬* ·尹炳導* ·康榮錄**

(Yoon-Ho Kim · Byung-Do Yoon · Young-Rok Kang)

Abstract—To apply the Power MOSFET to the high powerd circuits, the parallel operation of the Power MOSFET must be considered because of their low power rating. This means, in practical applications, design methods for the parallel operations are required. However, it is very difficult to investigate the problem of parallel operations by directly changing the internal parameters of the MOSFET. Thus, in this paper, the effects of internal parameters for the parallel operation are investigated using SPICE program which is often used and known that the program is very reliable. The investigation results show that while the gate resistance and gate capacitances are the parameters which affect to the dynamic switching operations, the drain and source resistances are the parameters which affect to the steady-state current unbalances. Through this investigation, the design methods for the parallel operation of the MOSFET are suggested, which, in turn, contributes to the practical use of Power MOSFETs.

Key Words : Power MOSFET, Parallel Operation, SPICE

1. 서 론

현재는 전력용MOSFET의 전력용량은 전력용 바이폴라 트랜지스터와 비교하여 낮지만 주파수 특성이 뛰어나 고주파수의 동작이 필요한 저전력 분야에서 전력용 바이폴라 트랜지스터를 대체하고 있다. 전력용MOSFET의 전력용량의 증대에 많은 연구가 이루어지고 있고, 제품가격의 경쟁력도 갖추게 됨에 따라 장래의 전력전자 시스템의 여러 분야에서 그 이용이 증가될 전망이다.

전력용 바이폴라 트랜지스터와 전력용MOSFET를 비교하여 보면 전력용 바이폴라 트랜지스터는 높은 전류용량에도 불구하고 그 동작 특성에서 상대적인 단점을 지니고 있다. 전력용 바이폴라 트랜지스터는 전류제어 소자이므로 트랜지스터를 도통상태로 유지하기 위하여 큰 베이스 전류를 필요로 한다. 그러나 전력용MOSFET는 근본적으로 도통, 비도통 상태에서 게이트에 인가되는 전압만으로 조절되는 전압제어

소자이므로 전력용 바이폴라 트랜지스터보다 구동회로가 비교적 간단하고 제어가 용이하다.

전력용MOSFET는 근본적으로 도통상태에서는 저항소자이므로 도통시 도통손실에 의한 전력손실이 증가하게된다. 그러나 이 저항의 정온도계수는 마이너스이므로 이는 전력용 바이폴라 트랜지스터에서의 경우보다는 전류 집중이 낮아 국부적인 온도상승을 막아주며 2차 항복(Secondary breakdown)현상이 일어나지 않아서 매우 강인한 스위칭 동작을 가능하게 하여준다.

위와같은 장점에도 불구하고 전력용MOSFET는 전력용 바이폴라 트랜지스터나 싸이리스터에 비해 전력용량 면에서 한계가 있기 때문에 저용량, 고주파수의 용도로 많이 이용되고 있다. 전력용MOSFET의 전류용량의 한계를 극복하고 수백 A의 용도에까지 이용하기 위하여, 여러 개의 전력용MOSFET를 병렬로 연결하여 사용하는데 많은 연구가 행해져 왔다. [1][2]

전력용MOSFET의 마이너스 온도계수 특성은 병렬연결된 소자들 사이에 비교적 전류를 고르게 분배하여 전력용 바이폴라 트랜지스터와 비교하여 불평형 병렬운전에 많은 장점을 지니고 있다. 그러나 병렬연

*正 會 員 : 中央大 工大 電氣工學科 教授 · 1.博

**正 會 員 : (주)대우 기획조정실 테크팀

接受日次 : 1993年 4月 28日

1次修正 : 1993年 11月 22日

결된 전력용MOSFET의 내부 파라미터들이 모두 일치하는 것은 아니므로, 이로인해 과도상태의 전력손실 불평형, 소자들 사이의 전류 불평형, 고주파 영역에서의 기생발진(parasitic oscillation) 등의 문제점이 제기된다.

이상에서 언급한 바와 같이 현재 전력용MOSFET의 사용이 확대되고 있으나 대부분의 경우 병렬운전을 필요로 함으로 산업계에서의 실제 사용에 있어 병렬운전에 따르는 설계방식이 필요하다. 그러나 실제의 경우에 있어서 내부 파라미터를 직접 변화시켜 이를 고찰하는 것은 큰 어려움이 수반되며 이에 대한 연구보고도 알려져 있지않다.

따라서 본 논문에서는 실제의 경우와 잘 일치되는 것으로 알려진 SPICE프로그램을 이용하여 파라미터들이 미치는 영향을 고찰하고 이를 바탕으로 전력용MOSFET의 병렬운전시에 대한 설계방식을 제안함으로써 실제 설계에 도움이 될 수 있도록 하고자 한다.

2. 이론적 고찰

2.1 MOSFET의 모델링.

전력전자 회로의 시뮬레이션에 있어 가장 중요한 점은 소자들의 정적, 동적인 동작을 넓은 범위에서 정확히 나타낼 수 있는 전기적 모델의 개발이다. 전력용MOSFET를 시뮬레이션 하기위한 많은 전기적 모델이 설정되었다. 그림 1은 본 논문에서 SPICE 시뮬레이션을 하기 위한 전력용MOSFET의 전기적 모델을 보여준다.

2.2 MOSFET의 병렬 운전.

전력용MOSFET의 전류용량의 한계를 극복하고 수백 A의 용도에 이용하기 위하여 여러개의 전력용MOSFET를 병렬로 연결하여 사용하는데 많은 연구가 있었다.

전력용MOSFET를 병렬운전하는 경우 나타나는 가장 큰 문제점은 파라미터의 불일치에 의한 전류 불

평형과 기생발진이다. 이상적인 경우 동일한 정격의 전력용MOSFET의 내부 파라미터들은 모두 일치해야 되지만 여러가지 원인에 의해 실제로는 모든 파라미터들이 정확히 일치하지는 않는다. 파라미터의 불일치에 의한 전류 불평형이나 기생발진은 심한 경우 최대전류가 소자의 정격을 초과하여 소자를 파괴하는 경우도 있으므로 이에 대한 특별한 주의가 요구된다.

2.3 MOSFET 운전을 위한 스너버.

전력용 반도체의 적용기술의 신뢰도는 스트레스 경감을 위한 회로 기술에 달려있다. 회로 설계기술에 있어서 이용될 수 있는 방법은 스너버, 전압 클램프, 스트레스 경감 회로 등이 있다. 전력용 반도체에 적용되는 스너버 기능을 요약 하면 스위칭 손실 전달, 과전압 억제, 전압 전류 상승률 제어, 노이즈와 전기 자기적 간섭 회피, 2차 항복등을 포함한다. 또한 스너버 회로의 설계가 트랜지스터의 동작부하곡선 및 동작점을 변화시키고 스위칭 손실의 일부를 분담함으로써 해서 전체 손실에도 영향을 미치기 때문에 본 논문에서는 스너버 회로를 포함한 전력용MOSFET 회로의 병렬운전에 관하여 고찰하고자 한다.

2.4 스위칭 동작의 분석.

저 주파수의 운전 영역에서는 전력용MOSFET의 높은 스위칭 속도 때문에 도통시간에 비하여 과도상태 시간은 매우 작다. 그러므로 스위칭 손실이나 시간의 영향은 무시될 수 있다. 그러나 고 주파수의 영역에서, 최대동작 주파수는 스위칭 주기에 의해 제한되고, 전력 손실은 스위칭에 직접적인 관계가 있으므로 스위칭 시간은 매우 중요하다. 고주파수 운전에서 상승, 하강시간과 전력손실 등은 중요한 요소로 되며, 전력용MOSFET의 스위칭 동작에는 도통손실, 비도통손실, 스위칭손실 등 세가지로 나눌 수 있다. DC 또는 저 주파수 동작에서는 도통손실과 비도통손실만이 유효하지만, 주파수 증가에 따라 스위칭 손실을 고려 해야한다. 그림 2로부터 스위칭 손실은 시간과 전류, 전압의 함수로서 결정 될 수 있음을 알 수 있다.

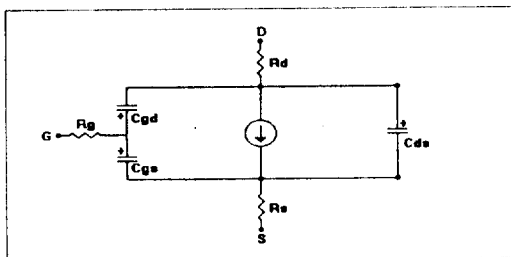


그림 1 N-채널 MOSFET의 전기적 모델
Fig.1 N-channel MOSFET electrical model

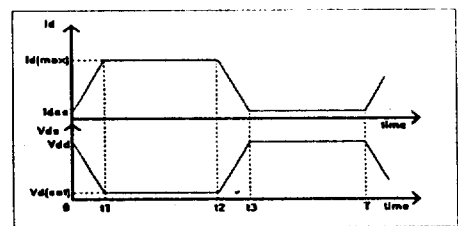


그림 2 전력용MOSFET의 스위칭 파형
Fig.2 Switching waveforms of a power MOSFET

2.5 SPICE 시뮬레이션 회로도.

본 논문에서 사용한 시뮬레이션 회로도를 그림 3에서 표시하였다. 그림 3에서 L_s 는 Common source 인덕턴스를 나타내고 L_D 는 회로 인덕턴스이며 권선에 존재하는 기생 인덕턴스를 삽입하여 시뮬레이션의 정확도를 기하였다.

표 1은 전력용MOSFET로 사용된 IRF150의 규격서이다. 이 규격서와 관련수식들을 기준으로 하여 시뮬레이션을 위해 사용한 전력용MOSFET의 내부파라메타들을 다음과 같이 설정하였다.

게이트-소오스 중첩 커패시턴스 : $C_{GSO}=1,380pF$

게이트-드레인 중첩 커패시턴스 : $C_{GDO}=130pF$

벌크-드레인 접합 커패시턴스 : $C_{BD}=4,000pF$

기생 소오스 인덕턴스 : $L_s=12.5NH$

표류회로 인덕턴스 : $L_D=5NH$

게이트 저항 : $R_G=4.9\Omega$

드레인 저항 : $R_D=0.01\Omega$

소오스 저항 : $R_S=0.3\Omega$

Threshold 전압 : $V_{TH}=3.25V$

표 1 I2RF 150의 간략화한 규격서

Table 1 Abbreviated data sheet for the IRF 150

1. STATIC CHARACTERISTIC(Tc=25°C)			
PARAMETER	Min.	Max.	Typ.
BV_{DSS} Breakdown Voltage	100(V)		
$V_{GS(th)}$ Threshold voltage	2.0(V)	4.0(V)	
I_{DSS} Zero Gate Vlotage Current		0.25(mA)	0.1(mA)
$I_D(on)$ On-State Drain Current	40(A)		
$V_{DS(on)}$ On-Source On-State Voltage		1.1(V)	0.9(V)
$R_{DS(on)}$ Drain-Source On-State Resistance		0.055(Ω)	0.045(Ω)
2. DYNAMIC CHARACTERISTIC (FREQUENCY=1HZ)			
PARAMETER	VALUE		
C_{iss} (Input Capacitance)	2700(PF)		
C_{oss} (Output capacitance)	1300(PF)		
C_{rss} (Reverse Transfer Capacitance)	470(PF)		

3. 시뮬레이션 결과분석

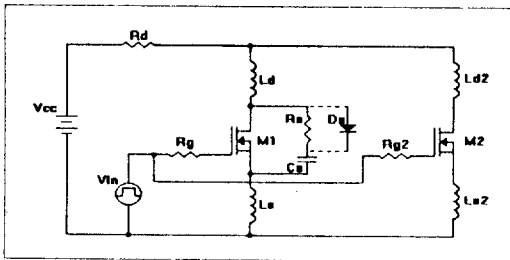
본 논문은 그림 3의 회로도에서 두개의 전력용 MOSFET를 병렬운전할 경우 M1의 파라메타를 고정시키고 M2의 파라메타를 각각 변화시켜서, 각 파라메타들이 병렬운전에 미치는 영향에 대하여 고찰하였다. 스위칭 동작을 결정하는 식들은 매우 비선형적이므로 실제의 경우와 잘 부합되는 것으로 알려진 SPICE 프로그램을 이용하였다. 또한 RC 스너버와 RCD스너버를 사용하는 경우에 대해서도 동시에 고찰하였다.

3.1 병렬운전시의 시뮬레이션 결과 분석

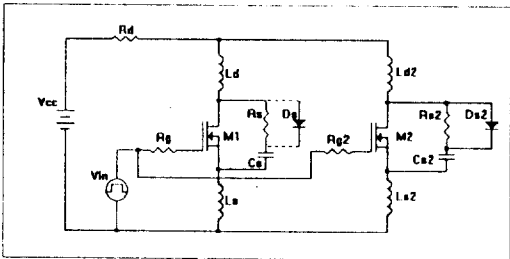
3.1.1 R_G 변화와 영향

게이트 입력회로는 게이트 저항 R_G 와 입력 커패시턴스 C_{ISS} 의 직렬회로로 표현되므로 게이트 저항 R_G 는 과도상태의 스위칭 동작에 영향을 미치는 파라메타임을 알 수 있다. 병렬운전시에는 R_G 가 작은 소자 M1이 먼저 턴-온 되고 순간적으로 R_G 가 작은 소자 고 전류가 흐름을 그림 4-a에서 볼 수 있다.

여기에서 RC 스너버 추가하는 스너버가 없는 경우에 비하면 턴-온시 커패시턴스의 방전 전류로 인하여 전류 피크치가 커짐을 볼 수 있고 턴-오프시 전류 하강시간이 빨라진다. 또한 턴-오프시 dv/dt가 제어됨을 볼 수 있다. RCD 스너버를 추가한 경우는 턴-온시는 RC 스너버 추가시와 동일한 효과를 가



(a)



(b)

그림 3 시뮬레이션 회로도

- (a) single R-C(R-C-D) 스너버를 포함한 병렬운전
- (b) double R-C(R-C-D) 스너버를 포함한 병렬운전

Fig.3 Simulation circuits

- (a)parallel operation with single R-C(R-C-D) snubbers
- (b)parallel operation with double R-C(R-C-D) snubbers

지나 턴-오프시 전류 파형의 하강시간이 더욱 짧아짐을 볼 수 있고 턴-오프 시간이 짧아지며, 또한 턴-오프시 dv/dt 가 더욱 제어됨을 볼 수 있다.

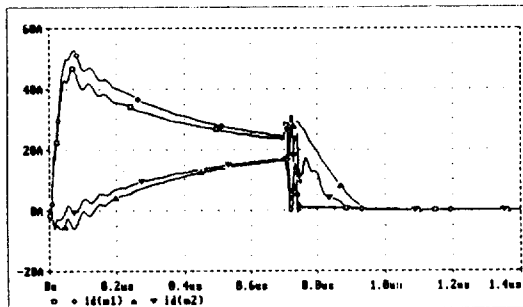
그림 4에서는 R_G 의 불평형에 따르는 과도상태시의 드레인 전류의 불평형을 보여준다. 여기에서 알 수 있는 것은 R_G 의 불균형은 정상상태보다는 과도상태의 전류의 불평형에 큰 영향을 미침을 알 수 있다. 또한 그림 4-b에서는 스너버가 없는 경우가 스너버가 있는 경우에 비하여 전류 불평형이 더 크게 나타남을 알 수 있으며 R_G 값이 100% 변화시 전류 불평형이 거의 90%까지 나타날 수 있음을 보여준다.

3.1.2 R_G 변화와 영향

소오스 저항은 드레인 저항의 경우와 함께 과도 상태보다 정상상태의 전류 불평형에 영향을 미치는 파라미터이다. 그림 5-a는 R_S 변화에 따른 최대 전류

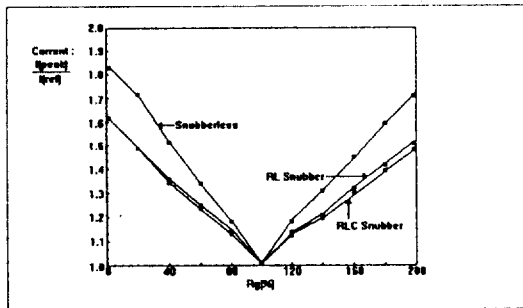
의 변화를 보여준다. RC 스너버 추가시는 스너버가 없는 경우에 비하여 턴-온시 커패시턴스의 방전 전류로 인하여 전류 피크치가 커짐을 볼 수 있고 턴-오프시 전류하강시간이 빨라진다. 또한 턴-오프시 dv/dt 가 제어됨을 볼 수 있다. RCD 스너버를 추가한 경우는 턴-온시는 RC 스너버 추가시의 동일한 효과를 가지나 턴-오프시 전류 파형의 하강시간이 더욱 짧아짐을 볼 수 있고 턴-오프 시간이 짧아지며, 또한 턴-오프시 dv/dt 가 더욱 제어됨을 볼 수 있다.

그림 5-b는 ON, OFF 시의 최대 전력 손실을 나타낸다. 소오스 저항이 전류의 불평형에 미치는 영향은 부하의 크기에 따라 상대적으로 부하가 작을 경우는 소오스 저항이 미치는 영향은 부하가 클 경우는 상대적으로 미치는 영향이 큼을 알 수 있다.



□, ◇ : 0.0001Ω △, ▽ : 4.9Ω

(a)



(b)

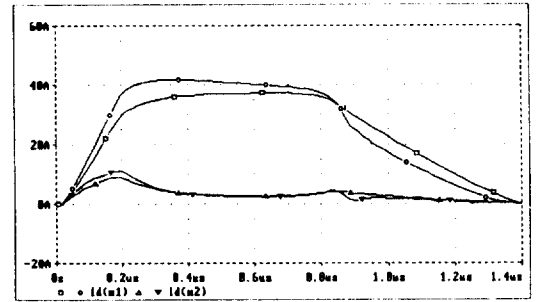
그림 4 게이트 저항 변화시의 전류영향

(a) 드레인 전류 (b) 전류 불평형도

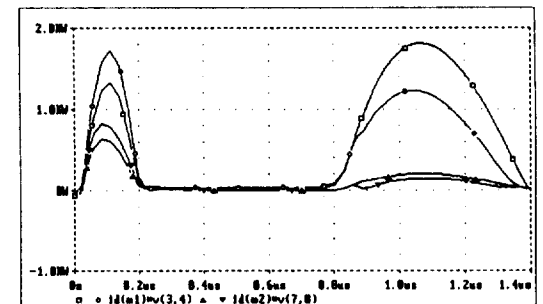
Fig.4 Effects to current waveforms when R_G varies

(a) Drain current waveforms

(b) the rate of Current unbalance



(a)



(b)

그림 5 소오스 저항 변화시의 전류의 영향

(a) 드레인 전류 (b) 전력손실파형

Fig.5 Effects to current waveforms when R_S varies

(a) Drain current waveforms

(b) Power loss waveforms

3.1.3 C_{GD} 변화와 영향

특정전압에서 C_{GD} 는 규격서로부터 다음과 같이 구해진다.

$$C_{GD} = C_{RSS}$$

그러나 다른 전압에서 게이트-드레인 커패시턴스 C_{GD} 는 여러가지 파라미터의 함수이다. SPICE 프로그램에서 C_{GD} 는 다음과 같이 주어진다.

$$\text{포화영역} : C_{GD} = C_{GDO}$$

$$\text{선형영역} : C_{GD} = C_{OX} \left[1 - \left[\frac{V_{GS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}} \right]^2 \right] + C_{GDO} \cdot W$$

(a) (b) (c)

여기서 V_{TH} =Threshold 전압, W =채널 폭

그림 6-a에서 볼 수 있는바와 같이 게이트 커패시턴스가 적은 전력용MOSFET에 턴-온시 더 많은 전류가 흐르며 턴-오프시 더 적은 전류가 흐른다. 스위칭 손실은 스위칭 구간내에서 최대 드레인 전류에 비례한다. 그림 6-b는 M2의 C_{GD} 를 증가시켰을 때 M1, M2의 전력손실의 변화를 보여준다. C_{GD} 는 전류 불평형과 전력손실에 큰 영향을 미치며, 정상상태보다 과도상태의 전류 불평형에 더욱 큰 영향을 미침을 알 수 있다.

또한 이경우도 스너버가 없는 경우가 전류불평형이 제일 크며 RCD 스너버와 RC 스너버는 비슷한 영향을 미침을 알 수 있다.

그림 6-a에서 볼 수 있는바와 같이 게이트 커패시턴스가 적은 전력용MOSFET에 턴-온시 더 많은 전류가 흐르며 턴-오프시 더 적은 전류가 흐른다. 스위칭 손실은 스위칭 구간내에서 최대 드레인 전류에 비례한다. 그림 6-b는 M2의 C_{GD} 를 증가시켰을 때 M1, M2의 전력손실의 변화를 보여준다. C_{GD} 는 전류 불평형과 전력손실에 큰 영향을 미치며, 정상상태보다 과도상태의 전류 불평형에 더욱 큰 영향을 미침을 알 수 있다.

또한 이경우도 스너버가 없는 경우가 전류불평형이 제일 크며 RCD 스너버와 RC 스너버는 비슷한 영향을 미침을 알 수 있다.

3.1.4 C_{GS} 변화와 영향

$$\text{특정전압에서 } C_{GS} = C_{ISS} - C_{RSS}$$

여기서 C_{ISS} =입력 커패시턴스, C_{RSS} =역방향 귀환 커패시턴스

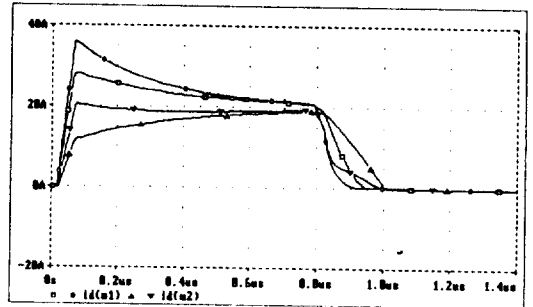
그러나 일반적으로 다른 전압에서 C_{GS} 는 여러가지 파라미터의 함수로 나타내어진다. SPICE 모델에서 C_{GS} 는 게이트-소오스 전압과 다른 파라미터의 함수로 나타낸다.

$$\text{포화영역} : C_{GS} = \frac{2}{3}C_{OX} + C_{GSO}$$

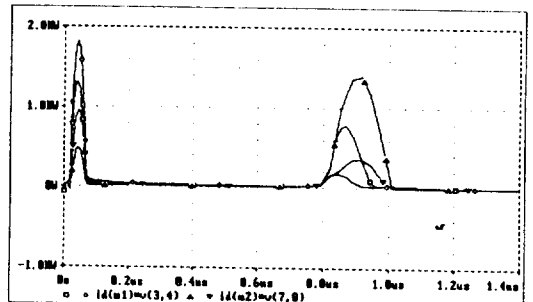
$$\text{선형영역} : C_{GS} + C_{OX} \left[1 - \left[\frac{V_{GS} - V_{DS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}} \right]^2 \right] + C_{GSO} \cdot W$$

여기서 V_{TH} =Threshold 전압, W =채널 폭

C_{GS} 는 위의 식에서 비선형적인 값으로 나타나므로 C_{GS} 의 영향을 조사하기 위해 C_{GSO} 를 변화시켰다. 그

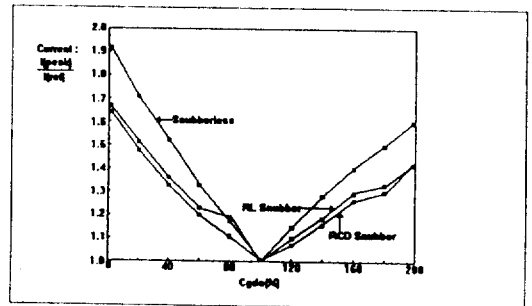


(a)



□, ◇ : 1p △, ▽ : 130p

(b)



(c)

그림 6 게이트-드레인 커패시턴스 변화시의 전류영향
(a) 드레인 전류 (b) 전력손실파형 (c) 전류 불평형도

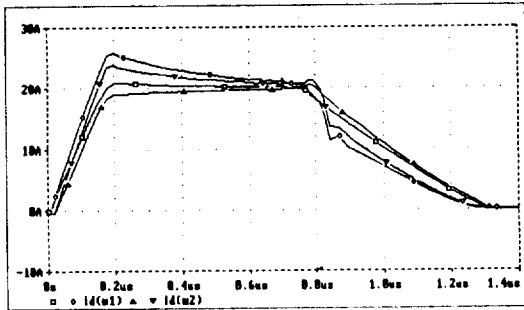
Fig.6 Effects to current waveforms when C_{GD} varies

(a) Drain current waveforms

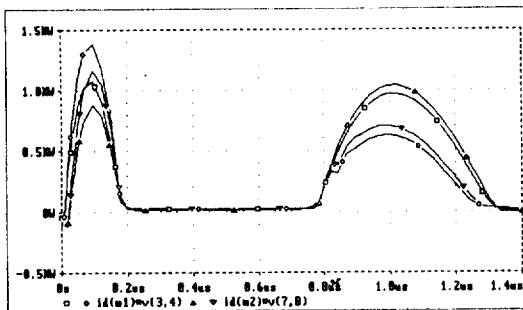
(b) Power loss waveforms

(c) The rate of current unbalance

림 7은 C_{GS0} 값이 다를때의 M1, M2의 드레인 전류, 전력손실 파형을 나타낸다. 그림에서 알 수 있듯이 C_{GS0} 의 불평형은 전력불평형에 비교적 적지 않은 영향을 미침을 알 수 있다. 이경우는 스너버가 있는 경우나 없는 경우 모두에서 비선형적으로 불평형이 나

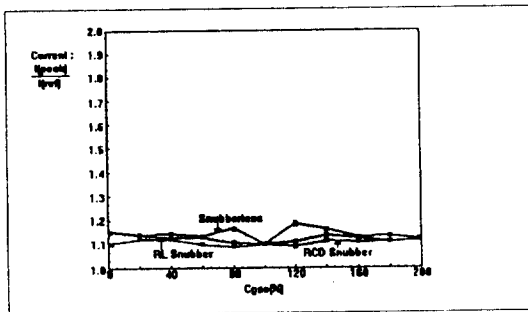


(a)



□, ◇ : 1p △, ▽ : 1380p

(b)



(c)

그림 7 게이트 소오스 커패시턴스 변화시의 전류영향
(a)드레인 전류 (b)전력손실파형 (c)전류 불평형도

Fig.7 Effects to current waveforms when C_{GS} varies

- (a) Drain current waveforms
- (b) Power loss waveforms
- (c) The rate of current unbalance

타나는 특징을 갖는다. 따라서 이경우는 최대 불평형 점을 기준으로 하여 설계가 이루어져야 한다.

3.1.4 C_{GS} 변화와 영향

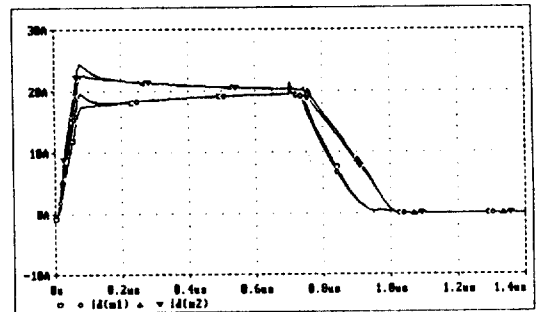
$$특정전압에서 C_{GS} = C_{ISS} - C_{RSS}$$

여기서 C_{ISS} =입력 커패시턴스, C_{RSS} =역방향 귀환 커패시턴스

그러나 일반적으로 다른 전압에서 C_{GS} 는 여러가지 파라미터의 함수로 나타내어진다. SPICE 모델에서 C_{GS} 는 게이트-소오스 전압과 다른 파라미터의 함수로 나타낸다.

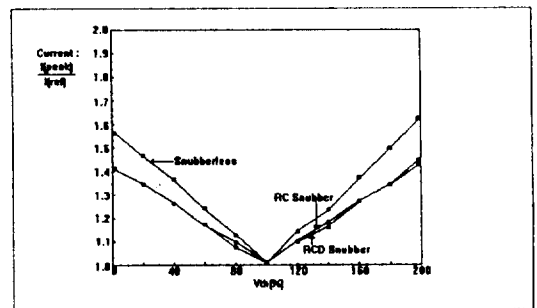
$$포화영역 : C_{GS} = \frac{2}{3}C_{OX} + C_{GS0}$$

$$선형영역 : C_{GS} + C_{OX} \left[1 - \left[\frac{V_{GS} - V_{DS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}} \right]^2 \right] + C_{GS0} \cdot W$$



□, ◇ : 3.25V △, ▽ : 2.25V

(a)



(b)

그림 8 Threshold 전압 변화시의 전류영향
(a)드레인 전류 (b)전류 불평형도

Fig.8 Effects to current waveforms when V_{TH} varies

- (a) Drain current waveforms
- (b) The rate of current unbalance

여기서 $V_{TH} = \text{Threshold}$ 전압, $W = \text{채널 폭}$

C_{GS} 는 위의 식에서 비선형적인 값으로 나타나므로 C_{GS} 의 영향을 조사하기 위해 C_{GSO} 를 변화시켰다. 그림 7은 C_{GSO} 값이 다른데의 M1, M2의 드레인 전류, 전력손실 파형을 나타낸다. 그림에서 알 수 있듯이 C_{GSO} 의 불평형은 전력불평형에 비교적 적지 않은 영향을 미침을 알 수 있다. 이경우는 스너버가 있는 경우나 없는 경우 모두에서 비선형적으로 불평형이 나타나는 특징을 갖는다. 따라서 이경우는 최대 불평형 점을 기준으로 하여 설계가 이루어져야 한다.

3.1.5 Threshold 전압

그림 8-a에서 게이트에 펄스를 인가 하였을때 Threshold 전압(V_{TH})이 적은 전력용MOSFET가 먼저 턴-온 되며 순간적으로 많은 전류가 V_{TH} 가 적은 소자로 흘러 들고 과도상태가 지나고 정상상태에 도달함에 따라 전력용MOSFET의 마이너스 온도계수 특성에 의해 평형상태로 접근함을 알 수 있다. 그림 8에서 V_{TH} 는 정상상태의 전류, 전력 불평형에 많은 영향을 미치는 파라미터임을 보여준다. 이경우도 스너버가 없는 경우가 불평형이 컸으며 V_{TH} 가 100% 변화시 불평형률은 60% 가까이 나타남을 알 수 있다.

4. 설계 예시

전력용MOSFET의 병렬 운전은 몇개의 소자를 병렬 운전하나에 따라서 설계 방식이 바뀔 수 있으나 위의 시뮬레이션 결과를 참조하여 두개의 전력용MOSFET를 병렬 운전시 전류 불평형 문제를 고려한 설계방식을 제안하고자 한다.

4.1 과도 상태 설계

과도상태에 주로 영향을 미치는 파라미터는 게이트 저항 R_G , 게이트-소오스 커패시턴스 C_{GS} , 게이트-드레인 커패시턴스 C_{GD} , Threshold 전압 V_{TH} 등이다. 따라서 병렬회로 설계시 하나의 전력용MOSFET에 걸리는 최대전류는 위에 언급된 파라미터의 영향에 의해서 오는 불평형을 모두 감안해야하므로 과도상태시 전력용MOSFET 최대전류용량은 다음과 같이 계산될 수 있다.

$$I_{MAX} = I_T + \Delta I_{RG} + \Delta I_{VTH} + \Delta I_{CGS} + \Delta I_{CGD} \quad (1)$$

여기에서 I_T 는 전류 불평형을 고려하지 않은 경우 각각의 소자에 흐르는 최대 부하전류를 나타내며 ΔI 는 각각의 파라미터의 불평에 의한 전류불평형 값이다. 그런데 여기에서 만일 V_{TH} , C_{GS} , C_{GD} , R_G 등의 파라미터 불평형은 20%로 간주하면 시뮬레이션 결과를 이용하여 다음과 같은 결과를 얻을 수 있다.

$$\Delta I_{RG} = \frac{20}{100} I_T$$

$$\Delta I_{VTH} = \frac{5}{100} I_{VTH}$$

$$\Delta I_{CGS} = \frac{6}{100} I_{CGS}$$

$$\Delta I_{CGD} = \frac{8}{100} I_{CGD}$$

따라서 전력용MOSFET 최대 전류용량은

$$I_{MAX(T)} = 1.4 I_T \text{로 계산된다} \quad (2)$$

이는 병렬운전시는 단독운전시보다 전류용량의 크기를 40%이상 크게 해주어야함을 나타낸다. 여기에서는 소자 파라미터의 불평형률을 20%로 간주하였으나 실제 설계에 있어서는 사용소자에 따라 제작자가 제공하는 불평형률을 선택하여야 할 것이다.

4.2 정상상태 설계

정상상태에 주로영향을 미치는 주요한 파라미터는 드레인저항 R_D , 소오스저항 R_S 이다. 따라서 병렬회로 설계시 하나의 전력용MOSFET에 걸리는 최대전류는 위에 언급된 파라미터의 영향에서 오는 불평형을 감안하여 정상상태시 전력용MOSFET의 최대용량은 다음과 같이 계산된다.

$$I_{MAX(S)} = I_T + \Delta I_{RD} + \Delta I_{RS} \quad (3)$$

여기에서 R_D , R_S 의 불평형률을 20%로 간주하면 다음과 같이 계산된다.

$$\Delta I_{RD} = \frac{10}{100} I_T$$

$$\Delta I_{RS} = \frac{5}{100} I_T$$

정상상태의 전력용MOSFET 최대용량은 다음과 같다.

$$I_{MAX(S)} = 1.15 I_T \quad (4)$$

일반적으로 R_S 및 R_D 의 영향은 부하가 작을때에는 무시해도 되나 부하가 클때에는 고려해 주어야 한다. 최종적으로는 시스템에 필요한 전력용MOSFET의 최대용량은 과도상태에서의 경우는 식 (2)를 참조하여 선택하고 정상상태에서의 최대용량은 식 (4)를 이용하여 선택할 수 있다. 이 예시에서는 만일 병렬운전시 불평형에 의한 요소를 고려하지 않은 경우의 설계전류보다 과도상태전류는 40%, 정상상태전류는 15% 정도 증가시켜 주어야 됨을 알 수 있다.

5. 결론

본 논문에서는 병렬운전되는 전력용MOSFET의 각종 내부 파라미터가 전류 불평형에 미치는 영향에 대하여 고찰하였다.

본 연구를 통해 저항 R_0 와 게이트 커패시턴스 C_G , C_{GD} 는 과도상태의 스위칭 동작에 영향을 미치는 파라미터이고, R_0 와 R_S 는 정상상태의 전류 불평형에 영향을 미치는 파라미터임을 밝혔다. 또한 C_{GS} 와 L_S 도 전류 불평형에 약간의 영향을 미침을 밝혔다.

본 연구결과는 회로 설계자들이 여러개의 전력용 MOSFET를 병렬로 연결하여 사용하고자 할때 제조 회사로부터 제공되는 규격서의 여러가지 자료를 이용하여 소자의 선택과 사용하는데 직접적으로 도움을 줄 수 있을 것이다. 또한 스너버회로가 전류의 불평형에 미치는 영향도 살펴보았으며, 스너버를 사용한 경우, 또는 사용하지 않은 경우에 대해서 전력용 MOSFET의 병렬운전시에 적용될 수 있는 설계방식을 제안 함으로 해서 산업계에서의 실제 설계에 도움이 될 것으로 기대된다.

참 고 문 헌

[1] Edwin S. Oxner, "Analyzing & Controlling the Tendency Oscillation of Parallel Power MOSFET," Proceeding of powercon. pp. 1-5, 1983

[2] James B. Forsythe, "Paralleling of Power MOSFET for Higher Power Output," IEEE IAS Annual Meeting, pp. 777-796, 1981.

[3] M. Ferraro, "An Overview of Low-Loss Snubber Technology for Transistor Converters." IEEE Power Electronics Specialists, Conf, Rec, pp. 466-477, 1982.

[4] B. W. Williams, "Active-Snubbing or Passive-Snubbing for Fast Switches?" IECON, pp. 617-622, 1988.

[5] McMurray, W, "Optimum snubbers for power semiconductors," IEEE Transaction. on Industry Applications, pp. 553-600, Sept/Oct 1972.

[6] H. A. Nienhaus and J. C. Bowers, "A High Power MOSFET Computer Model", Record of IEE power Electronics Specialists Conference, pp.197-103. 1980.

[7] C. G. Steyn & Jacobusd. Van Wyk, "Study and Application of Nonlinear Turn-Off Snubber for Power Electronic Switches," IEEE Transaction. on Industry Applications, Vol. IA-22, NO.3. pp. 471-477, MAY/JUNE 1986.

[8] Y. H. Kim, B. D. Yoon, & S. W. Chang, "Evaluation and Analysis of Power MOSFET Switching Operation Using SPICE," International Symposium on Power Electronics, pp. 168-174, May 26-28, 1989.

저 자 소 개



김윤호 (金倫鎬)

1949년 6월 20일생. 1974년 서울대 공대 전기공학과 졸업. 1987년 미국 Texas A&M대학 졸업(공학). 현재 중앙대 공대 전기공학과 부교수. 당학회 편집위원.



윤병도 (尹炳導)

1932년 3월 2일생. 1955년 서울대 공대 전기공학과 졸업. 1969~71년 부산대 공대 전기공학과 조교수. 1989~90년 당학회 부회장 역임. 당학회 평의원. 현재 중앙대 공대 전기공학과 교수(공학).



강영복 (康榮錄)

1964년 7월 5일생. 1989년 2월 중앙대 공대 전기공학과 졸업. 1991년 8월 동 대학원 전기공학과 졸업(석사). 1991~1993. 10월 한라중공업(주) 연구소 연구원. 현재 대우 기획조정실 전장품 개발센터 근무.