

실용 ASIC 기술현황과 전망

김 춘 경

금성일렉트론(주) 이사

1. 서 론

초기의 System 설계자들은 TTL(Transistor Transistor Logic) IC(Integrated Circuit)를 조합하여 원하는 기능을 구현하였다. 그러나 System의 규모가 커지면서 IC의 개수가 많아지게 되어 PCB(Printed Circuit Board)의 크기가 커지고 열이 많이 발생하는 등의 문제점이 발생하였다. 이와 같은 문제점의 해결방안으로 몇 개의 IC를 조합하여 하나의 IC로 제조되는 것이 제시되었다. 이것이 ASIC(Application Specific IC)이 생긴 근본 목적이다. TTL IC의 경우도 개별 트랜지스터를 몇 개 조합하여 하나의 기능을 구현한 제품이므로 ASIC의 초기 개념을 도입한 것이라 할 수 있다. 그러나 ASIC은 보다 더 특별한 분야에 한정되어 사용되는 IC이다. 예를 들면 PC(Personal Computer)에 있는 Chip Set IC, VGA(Video Graphic Array) Board에 있는 그래픽 프로세서 IC, 또한 화상처리를 위한 전용 IC 등이 그것이다.

본고에서는 ASIC에 대하여 간단히 설명하고,

ASIC 제조 기술과 설계과정 및 ASIC을 설계하기 위하여 필요로 하는 CAD(Computer Aided Design) Software(이하 S/W)에 대하여 설명한 후, 새로운 ASIC 기술에 대하여 설명한다.

2. ASIC이란

ASIC의 단어 자체의 의미는 “특정 용도를 위하여 생산된 모든 IC 제품”이다. 이는 ASIC의 의미가 매우 포괄적이어서 그 한계가 모호하다. 그러므로 일반적으로 ASIC이란 “최종 사용자의 특정한 목적에 맞게 설계된 IC”를 말한다.

ASIC의 발전과정은 다음과 같다.

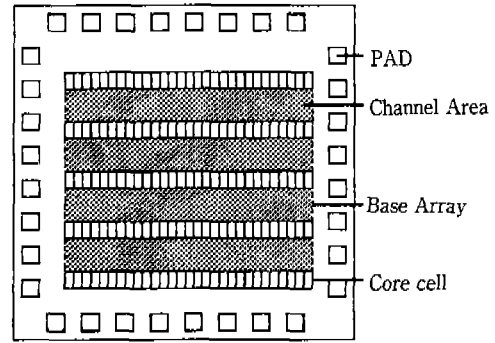
System 설계자측에서는 부품의 숫자를 줄여서 전체의 비용을 절감하고 System의 안정성을 높이라는 요구가 있었고, 또한 IC 제조자는 설계자의 요구를 만족시킬 수 있는 고부가 가치의 IC를 개발할 필요가 있었다.

여기에 PLD(Programmable Logic Device) IC의 개발은 좋은 해결책을 제시하였다. PLD의 구조는 내부에 AND Array와 OR Array가 연결되

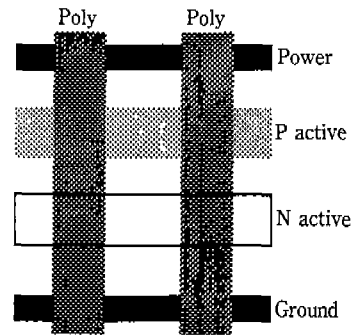
어 있고 이들 사이에 Fuse가 있어 설계자가 요구하는 논리 기능을 외부에서 Programming할 수 있다. 따라서 System 설계자는 PLD IC를 사용하여 제품의 품질을 향상시켰다. 그러나 회로의 복잡도가 증가되면서 더 많은 기능을 하나의 IC에 집적할 필요가 생겼다.

Gate Array IC(이하 G/A)의 개발은 고집적 ASIC을 실현하는 계기가 되었다. 일반적인 G/A의 구조는 그림 1과 같다. IC의 경계 부분에 Pad Cell이 놓여 있고 내부에는 Core Cell이 행으로 놓여 있다. 또한 Core Cell의 행과 행사이에는 배선을 할 수 있는 Channel 영역이 있다. 또한 PMOS(P-type Metal Oxid Semiconductor) 트랜지스터 2개와 NMOS(N-type MOS) 트랜지스터 2개가 기본 Core Cell을 이룬다. 하나의 Core Cell은 그림 2와 같이 NAND 2 또는 NOR 2 Gate를 구성할 수 있다. 그러므로 G/A에서는 모든 논리 회로가 NAND 2 또는 NOR 2의 조합으로 구현된다. 또한 G/A는 Core Cell을 $m \times n$ Array(이를 Base Array라 함) 형태로 미리 배치시켜서 반가공되어 있다. G/A가 완제품으로 되려면 설계의 요구에 따라 트랜지스터를 연결하는 배선 공정과 Package 공정만 하면 된다. 그러므로 용도에 따라 달리 제조되어야 하는 부분이 작기 때문에 제조 기간이 짧고 비용도 적게 든다. 그러나 G/A는 Base Array의 크기가 미리 결정되어 있기 때문에 논리 회로의 크기에 따라 적합한 Base Array를 가진 종류를 선택하여야 한다. 또한 G/A의 경우에는 Base Array의 전체 영역에서 사용되지 않는 부분이 발생되거나 배선을 할 수 있는 부분이 결정되어 있어서 특정한 경우에는 사용되지 않는 부분이 있음에도 불구하고 100% 배선을 할 수 없는 등의 문제점이 있다.

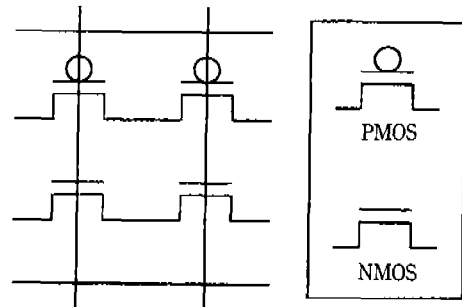
이에 반하여 Standard Cell(이하 S/C) 방식은 설계자의 요구에 따라 IC를 직접 제조하는 것이다. 따라서 S/C방식은 용도에 따라 모든 제조



(a) IC의 구조



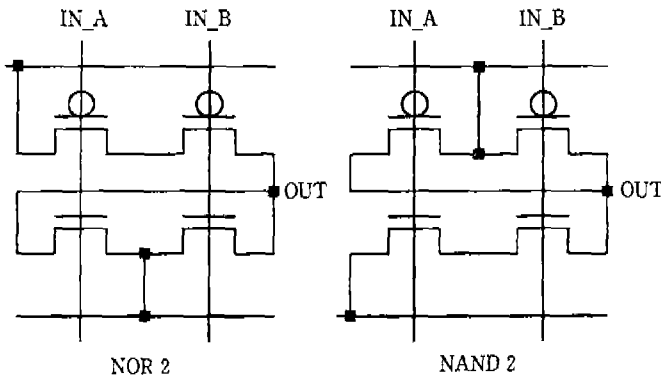
(b) Core Cell의 Layout



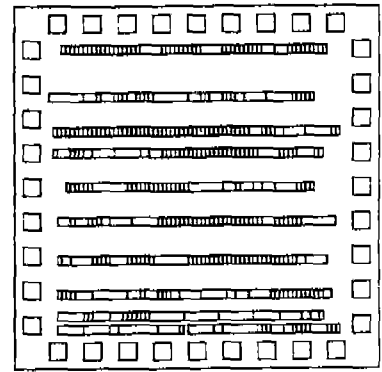
(c) Core Cell의 전기적 등가 회로

<그림 1> G/A IC의 구조

공정을 거쳐야 하므로 제조 기간과 비용이 G/A보다 많이 든다. 그러나 대량생산의 요구가 있을 때는 같은 설계 회로를 구현함에 있어서 IC의 크기가 G/A보다 작아지기 때문에 비용이 절감된



<그림 2> Core Cell에서 NOR 2와 NAND 2의 구현



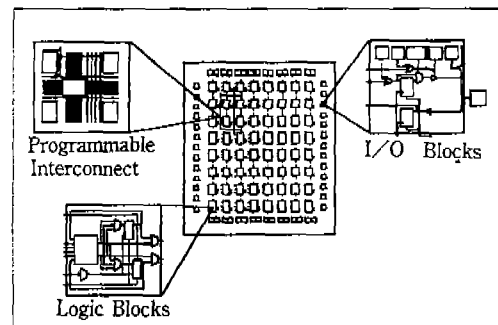
<그림 3> S/C의 구조

다. 그림 3에서 S/C의 구조를 보았다. S/C은 G/A와 달리 Core Cell이 없고 임의의 논리 기능을 가진 Cell의 조합으로 구성되어 있다. 논리 기능을 가진 모든 Cell은 높이가 일정하고 같은 위치에서 전력선이 있어서 Cell을 행방향으로 배치할 경우 서로 자동으로 연결된 전력선을 갖게 된다. 물론 S/C도 일정한 높이를 맞추어야 하므로 Cell의 높이를 가장 긴 Cell과 일치시켜야 한다. 그러므로 Cell의 크기가 최적화되어 있지 않는 부분이 있어서 IC의 크기에서 낭비되는 요소가 있다.

그 외에도 Full Custom(이하 F/C) 방식이 있다. 이 방법은 회로 Layout을 수작업으로 하므로 사용되는 논리 Cell의 크기나 전력선의 위치 등에 제약이 없다. 따라서 IC의 크기가 최소화되어 제조 비용이 절감된다. 그러나 F/C 방식은 설계 기간이 길고, 복잡도가 높은 IC에 대하여서는 효율이 떨어지는 등으로 인하여 오히려 설계 비용이 상승되어 총비용이 증가된 우려가 있다.

한편, 최근에는 PLD의 장점과 G/A의 장점을 합친 Field Programmable Gate Array (이하 FPGA) IC가 등장하여 System 설계자에게 많은 도움을 주고 있다. FPGA는 설계자가 간단한 장비를 이용하여 원하는 기능을 즉석에서 구현할

수 있는 PLD 부류의 제품이다. 이는 Prototype 제품을 만들거나 초기의 Sample을 생산하거나 소량의 제품을 생산할 때 유용하다. 그림 4에서 FPGA의 구조를 보았다. FPGA는 G/A에서와 같이 여러 가지의 논리 소자가 미리 배치되어 있고 또한 각 논리 기능이 결정되는 반면에 FPGA는 Core Cell 각각의 논리 기능이 결정되어 있다. 또한 배선 방법에서도 G/A는 배선 공정을 하여야 하지만 FPGA는 모든 논리 소자 상호간에 배선이 완료되어 있어서 사용자는 PLD IC와 같은 방법으로 외부에서 전압을 가하는 등으로 불필요한 배선을 제거한다. 표 1에서는 ASIC의 설계 방법에 따른 분류와 그 장단점을 보였다.



<그림 4> EPGA의 구조

<표 1> 설계 방법에 따른 ASIC의 분류와 장단점

항목 \ 분류	FPGA	G/A	S/C	F/C
Sample 제작비용	최소	소	대	대
최적 생산량	Sample 출하에 적합	소량 생산에 적합	대량 생산에 적합	대규모 생산에 적합
제조 기간	1일 이내	6주 이상	10주 이상	설계에 따라서 다름 (10주 이상)
설계변경의 난이	이주 쉬움	쉬움	어려움	이주 어려움

한편, 제조 공정 기술의 측면에서 ASIC IC를 분류하면 다음과 같다.

Bipolar IC, CMOS IC, BiCOS IC, GaAs IC공정이 있다. Bipolar IC는 군수용품과 같은 고속의 동작 속도가 요구되는 곳에 사용된다. 대부분의 Bipolar는 ECL(Emitter Coupled Logic) 회로를 채택하고 있다. 이 경우 소비 전력이 높기 때문에 집적도를 높일 수 없을 뿐아니라 냉각장치도 고려되어야 한다. 따라서 Bipolar 공정을 선택할 때에는 동작 속도, 냉각장치 비용, 회로의 크기 및 총비용을 고려하여 결정하여야 한다.

CMOS IC는 Bipolar IC에 비하여 낮은 소비 전력 및 고집적도를 실현할 수 있다. 아직은 동작 속도의 측면에서는 Bipolar IC보다 뒤떨어지지만, 제조 공정 기술의 개발에 힘입어 최근에는 고속 CMOS IC도 등장되고 있다. CMOS 공정 기술의 발전으로 인하여 IC의 집적도가 높아지게 되고, 낮은 전압(최근에는 3.5V 이하의 제품이 시판됨)에서도 동작되는 IC도 개발되었다. 한편 CMOS IC는 설계 자동화가 발전되어 설계 비용이 절감되었다. 따라서 대부분의 ASIC은 CMOS 제조 공정으로 생산되고 있다.

BiCMOS IC는 Bipolar IC의 장점과 CMOS IC의 장점을 합친 것이다. CMOS 공정으로 회로의 기본 부분을 제조하여 집적도를 증가시키고 소비 전력을 낮추었으며, Bipolar공정으로는 높은 구동력을 필요로 하는 부분을 제조하여 동작 속도

를 증가시켰다. 그러나 제조 비용 측면에서는 두 가지의 제조 공정을 모두 거쳐야 하므로 비용 증가가 불가피하며, 또한 생산의 수율이 낮아져서 비용이 상승된다.

한편 최근에는 Silicon이 아닌 새로운 소재를 이용한 제조 공정 기술이 개발되었다. 대표적인 것으로 GaAs IC가 있다. GaAs IC는 고온에서도 안정된 동작을 할 수 있으며 Bipolar와 같이 고속으로 동작하면서도 소비 전력이 낮기 때문에 냉각 장치를 고려하지 않아도 된다. 또한 CMOS IC와 같이 낮은 전압에서도 동작된다. 그러나 아직은 집적도가 낮고, 제조 공정이 불안정하며, 설계 장비가 부족하여 한정된 곳에서만 사용되고 있다.

지금까지 제조 공정 기술에 따른 ASIC을 분류하였다. 현재 사용되고 있는 대부분의 ASIC IC는 CMOS 제조 공정으로 생산되고 있으나, 고속의 동작 속도와 저전압의 단일 전원으로 동작되며, 소비 전력이 낮고, 고집적적 가능한 IC의 요구가 점차 늘어나면서 BiCMOS IC와 GaAs IC의 영역이 확대되고 있다. 표 2에 제조 공정 기술에 따른 ASIC을 분류하고 이에 따른 장단점을 비교하였다.

3. ASIC 설계

System 설계에서 ASIC을 도입하고자 할 때는 다음 사항이 고려되어야 한다.

<표 2> 제조 공정 기술에 따른 ASIC 분류와 장단점 비교

항목 \ 분류	Bipolar	CMOS	BiCMOS	GaAs
동작 속도	고속	저속	중 고속	고속
소비전력	높음	낮음	중간	중간
집적도	낮은	높음	중간	낮음
공정의 난이도	중간	낮음	높음	높음
동작 전압	높음	낮음	높음	낮음

첫째, ASIC을 도입하였을 때 시스템의 동작 속도와 안정성에 어떠한 영향이 생기는가. 둘째, ASIC을 도입하는데 필요한 개발 비용은 적절한가. 셋째, 개발 기간은 적합한가. 넷째, Package와 Test는 용이한가. 이외에도 목적에 따라 필요한 항목이 고려되어야 한다. 또한 ASIC 공급자 선정에 있어서도 여러가지 항목으로 비교 검토되어야 한다. 예를 들면, 적기에 납품 가능한가, Library는 풍부한가 등이 있다.

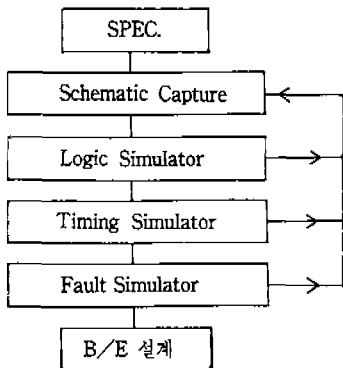
ASIC 설계는 일반적으로 Front End 설계(이하 F/E) 부분과 Back End 설계(이하 B/E) 부분으로 나누어진다. F/E 부분은 주로 논리 기능을 설계하고 검증하는 과정이고, B/E 부분은 Layout을 설계 및 검증하는 과정이다.

F/E 과정은 다음과 같다. 설계자는 System에서 요구되는 사양에 의하여 논리 기능을 설계한다. 논리 기능은 Schematic Capture라는 S/W를 이용하여 논리 회로로 설계된다. 설계된 논리 회로는 Logic Simulator, Timing Simulator 및 Fault Simulator라 불리는 S/W에 의하여 동작 과정이 모의실험된다. 만약 모의실험 과정에서 오류가 발견되면 논리 회로를 수정하고 모의실험하는 과정을 반복한다. 이 과정을 그림 5에서 보았다.

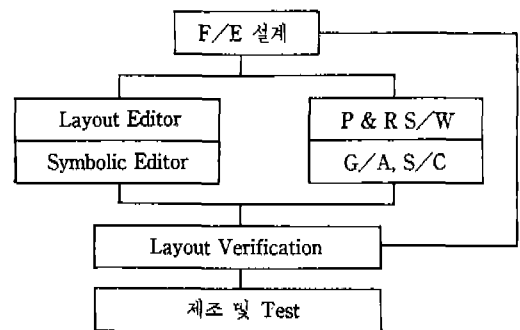
Logic Simulator의 기능은 회로의 논리적인 기

능이 설계자의 의도대로 올바르게 수행되고 있는지를 검사하는 것이다. Timing Simulator는 논리 회로에서 입력된 신호가 각 논리 소자를 통과하면서 발생하는 신호전달 지연시간에 의하여 발생될 수 있는 이상동작을 검출하는 S/W이다. 이 과정에서 신호전달 지연시간이 누적되어 회로가 이상 동작될 가능성이 많은 경로들이 추출된다. 이들중에서 가장 많은 전달지연시간을 가진 경로를 Critical Path라 한다. 따라서 설계자는 Critical Path에서 발생하는 지연 시간을 최대한 줄이려 한다. 그러므로 이들 경로는 B/E 과정에서 우선적으로 배치 배선되도록 고려되어 배선에 의한 지연 시간을 최소화한다. Fault Simulator는 회로의 특정부분에서 이상이 발생되었을 때 이를 찾을 수 있는 방법을 조사하는 S/W이다. 따라서 IC를 제조한 후에 Test를 용이하게 하고 이상이 발생된 부분을 찾을 수 있어 회로 수정이 쉬워진다.

B/E 설계 과정은 그림 6에서와 같다. G/A와 S/C 방식의 경우 논리 기능을 가진 셀을 자동 배치 배선하는 S/W(Placement and Routing S/W, 이하 P & R S/W)를 사용하여 Layout한다. F/C의 경우는 앞서 설명한 것과 같이 수작업에 의하여 Layout한다. Layout이 끝나면 설계 규격에 적합한 Layout 설계인지를 검사하고, 또한 F/E에서 사용된 논리 기능이 정확하게 구현



<그림 5> ASIC의 F/E 설계 과정



<그림 6> ASIC B/E 설계 과정

되었는지 검사한다. B/E 설계 과정은 대부분 자동화되어 있다. 그러나 설계자는 Chip에서 특정 영역에 임의의 논리 소자를 배치하거나 임의의 신호를 설계자의 요구에 따라 연결하는 등, P & R S/W에서 최적화를 위한 설계자의 아이디어가 적용될 수 있다. B/E 과정이 완료된 후, Layout으로부터 배선 및 기생 용량에 의한 실제 신호지연시간을 추출하여 Logic Simulation 및 Timing Simulation을 재수행한다. 이때 오류가 발생되면 배선길이를 조정하거나 배치를 조정하여서 최초의 사양이 만족되도록 한다. 또한 B/E 설계가 완료되면 Package를 할 수 있는지 조사하여야 한다.

4. ASIC 설계에서 CAD의 역할

ASIC 설계에 있어서 CAD의 역할은 매우 크다. 대부분의 ASIC 설계과정은 CAD S/W의 도움으로 자동화되어 있다. 논리 회로를 설계하는 Schematic Capture의 경우 신호선의 단락과 도통을 자동으로 검사하고 하나의 논리 회로를 여러 장의 Sheet에서 설계할 수 있으며 이들 사이의 신호를 자동으로 연결한다. 또한 계층적으로 설계방식을 사용할 수 있어서 반복되어 설계되는 부분을 제거하여 설계 효율을 높인다. 또한 다양한 Netlist를 추출하여 Logic Simulator 사용에 편의성을 준다.

Logic Simulator에서는 설계된 논리 회로에서 기본적인 논리적인 기능 검증을 할 뿐 아니라 설계자가 고려하지 못한 Setup & Hold Time 오류를 검사하고, Fanout에 따른 신호전달 지연시간이 고려된 논리 검사를 수행하게 한다. Timing Simulator의 경우 Static Simulation뿐 아니라 Dynamic Simulation을 제공하는 S/W도 있다. Static Timing Simulation은 모든 논리 소자에 대하여 Timing Simulation을 수행하는 것이다. 따라서 특정 논리 상태에서 Critical Path의 추출

에 오류가 발생할 수 있다. 이에 비하여 Dynamic Timing Simulator는 현재 활성화된 논리 소자에 관한 Timing Simulation을 하므로 보다 정확한 Simulation이 가능하다.

B/E S/W의 대표적인 것으로 Layout Editor와 P & R S/W가 있다. Layout Editor는 설계자가 수작업으로 Layout으로 설계할 수 있도록 한 S/W이다. 또한, Layout Editor에는 각종 도형을 쉽게 편집할 수 있는 기능 이외에 설계 규칙 검사를 On-line으로 할 수 있게 한다. P & R S/W는 준비된 Cell Library에서 필요한 논리 소자를 최적으로 자동 배치하고 또한 자동 배선할 수 있도록 한 S/W이다. 최근에는 Floor-planner가 개발되어 소자를 배치 배선할 때 설계자의 아이디어가 반영될 수 있도록 하였다. 그 외에도 논리 소자들의 집합체인 Cell Library를 개발하기 위하여 Module Generator가 개발되어 있고, MUX 또는 ALU 등을 개발하기 위하여 Datapath Generator가 개발되어 있다. Layout 검증 S/W로는 최소 선폭, 최소 거리 등을 검사하는 DRC(Design Rule Checker)가 있으며, Layout에서 전기적인 오류(단락, 도통)를 검사하는 ERC(Electrical Rule Checker) 및 Layout에서 역으로 논리 회로를 추출하여 F/E에서 설계된 논리 회로와 비교하는 LVS(Layout vs. Schematic)가 있다. 최종 Layout 결과에서 기생 용량과 배선에 의한 신호 지연 시간을 추출하여 다시 Logic Simulation할 수 있도록 한 LPE(Layout Parameter Extracter)도 있다.

이상에서 설명한 것과 같이 다양한 CAD S/W가 준비되어 ASIC을 효율적으로 설계할 수 있게 하였다. 이들 S/W는 사용자의 편의를 도모하기 위하여 Graphic User Interface를 지원하고 사용자 도움말을 On-line으로 제공하는 등 처음 사용하는 설계자도 쉽게 사용할 수 있게 하였다.

현재의 ASIC은 설계 복잡도가 매우 높아서 CAD S/W를 활용하지 않으면 설계가 불가능한

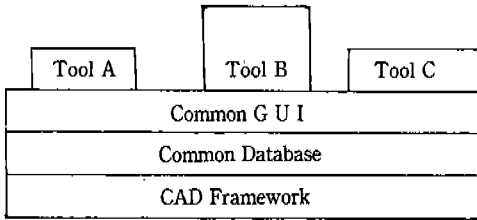
상태에 이르렀다. 또한 각각의 개별 기능에서 우수한 성능을 발휘하는 S/W도 많이 등장하였다. 그러나 이들 개개의 우수한 S/W를 도입하였을 때 이들 S/W 상호간의 정보 교환에 관한 호환성 문제가 심각하게 되었다. 따라서 각각의 S/W를 통합한 CAD 설계 환경 구축이 중요시되었다.

5. ASIC 설계에서의 새로운 변화

'80년대 후반기에 들어서면서 ASIC 분야에도 많은 변화가 이루어졌다. 그 원인은 하나의 IC에 더 높은 집적도가 요구되었고, IC의 시장성있는 기간은 짧아지고 고속으로 동작되는 IC가 요구되는 등으로 인하여 빠른 시간에 더 많은 수의 트랜지스터를 더 작은 IC 속에 집적하여야 했다. 이를 위하여 DRAM(Dynamic Random Access Memory) 제조에서 사용되는 Sub-micron 기술이 도입되었고, FPGA가 개발되어 Proto-type 개발 시간이 단축되었다. 따라서 단기간에 ASIC를 설계하기 위해서 설계자는 기존의 설계 방식에서 과감히 탈피하여 새로운 설계 방식을 창출하였다. 이 변화는 논리 회로도들 Schematic Capture를 통하여 직접 설계하는 방식을 탈피하고 설계하고자 하는 System의 Spec에서 직접 동작 행위를 HDL(Hardware Description Language)로 기술하면 CAD S/W가 이로부터 논리 기능을 합성하는 것이다. 이를 Synthesis 과정이라고 한다. Synthesis S/W의 개발로 인하여 F/E 설계 시간이 단축되었고, 설계자는 논리 기능 구현보다는 동작 행위 기술에 대한 알고리즘 개발에 더 관심을 가지게 되었고, CAD S/W도 많은 부분이 새로이 개발되었다. 특히 HDL로 기술된 부분들을 모의 실행하는 HDL Simulator가 개발되었고, 논리 행위 기술에서 논리 회로로 변환하는 Logic Synthesis S/W가 개발되었으며, 생성된 논리 회로에서 특정 Library에 맞추도록 하는 Tech-

nology Mapper가 개발되었고, 또 생성된 논리 회로를 Schematic Capture에서 볼 수 있게한 Schematic Generator도 개발되었다. HDL은 특정 ASIC과는 무관하게 설계할 수 있으므로 특정 ASIC 공급자에 의존하지 않아도 되며, 특정 제조 공정에 얽매이지 않아도 되는 장점도 있다. 따라서 이를 Technology Independent 설계라 한다.

그외에도 CAD S/W 환경 분야에서도 많은 변화가 이루어졌다. 특히 모든 부분에서 표준화가 빠른 속도로 진행되고 있다. 먼저 O. S (Operation System)의 경우는 UNIX가 업계 표준으로 자리를 잡았으며, Graphic 환경은 System 제조회사와 무관한 X11환경이 표준화되고 있으며 GUI(Graphic User Interface)는 MOTIF가 표준화되고 있다. 또한 S/W의 입출력의 많은 부분에서도 표준화가 진행되고 있다. Layout의 출력은 오래전에 이미 GDSII가 업계 표준처럼 되었고, Schematic과 Netlist 부분은 EDIF(Electronic Data Interchange Format)를 표준 Format으로, 또한 Synthesis를 위한 HDL은 VHDL(VHIC: Very High Speed IC, Hardware Description Language)이 표준으로 제창되고 있다. 그러나 표준화에는 많은 어려움이 있다. 특히 HDL의 경우 CAD S/W 공급업체의 이익이 대립되고 있고, 아직도 많은 설계자가 Verilog HDL을 사용하고 있어서 이를 표준화하는 단체가 생기는 등으로 인하여 현재는 두 가지가 모두 사용되고 있다. EDIF의 경우는 표준 Format에 너무 많은 융통성이 부여된 결과 CAD S/W 공급 업체에 따라서 약간의 차이점을 보이고 있어 설계 Data의 호환에 아직도 어려움이 있다. 또다른 CAD 환경의 변화는 Framework의 등장이다. Framework은 DBMS(Data Base Management System) 개념을 도입하여 설계 과정에서 사용되는 모든 Data를 공통의 Database에 기록하여 관리하게 하고 S/W 공급업체와 무관하게 모든 S/W가 통합되어 사용할 수 있게



<그림 7> Framework의 구조

하였다. Framework의 구성은 그림 7에서와 같다. 기본적으로 CDB(Common DataBase)와 CGUI(Common GUI)를 제공하여 모든 S/W의 사용법이 동일하며, 서로 다른 S/W 사이의 정보 교환이 용이하다. 따라서 설계자는 새로운 S/W를 도입할 때마다 사용법을 교육받지 않아도 된다. 또한 서로 다른 S/W를 조합하여 사용할 때 Translator가 필요하지 않게 되었다.

6. 결 론

지금까지 ASIC의 의미, 분류방법 및 설계 과정을 설명하였다. 그리고 CAD S/W에 대하여 설명하였다. 설계 방법에 따른 ASIC의 분류에서 G/A S/C F/C으로 분류하였지만 G/A의 경우 Channelled G/A, SOG(Sea Of Gate) 등으로 세분되어 분류된다. 또한 S/C의 경우에도 Polycell Based S/C과 Building Block S/C 방식으로 세분된다. 또한 이들에 따라서 사용되는 CAD S/W도 달라진다. 설계 과정에 있어서도 각 과정에 따라 자세한 설명은 생략되었다. 제조 공정에 따른 분류도 간략하게 언급하였다. 그러나 대부분의 ASIC은 CMOS 공정으로 제조되고 있으며, 점차 BiCMOS와 GaAs의 사용 영역이 확대되고 있다.

한편, CMOS 제조 공정 기술의 발전으로 인하여 미세 제조 기술이 가능하게 되었다. 이에 의하여 ASIC은 고집적을 실현하였지만 신호 지연에

서 새로운 문제를 야기시켰다. 이는 과거에는 논리 소자 자체의 신호 지연이 전체 지연의 대부분을 차지하여 Logic Simulation의 결과가 IC의 동작과 거의 일치하였지만 미세 기술로 제조된 IC는 논리 소자의 신호 지연보다는 배선에 의한 신호 지연이 더욱 길어져서 Logic Simulation에서의 결과와 IC의 실제 동작의 결과가 일치하지 않을 수 있게 되었다. 따라서 초기의 논리 설계 단계에서 배선 지연 시간이 예측되어야 하고 Layout 과정에서도 배선에 의한 신호 지연이 고려되어야 하며 B/E 설계가 끝난 후에는 배선 지연 시간을 추출하여 다시 Logic Simulation을 통하여 검증하여야 한다.

향후 ASIC 설계는 Synthesis S/W를 사용하여 F/E를 설계하고 B/E 설계는 자동화된 P & R S/W가 사용될 것이다. 또한 Chip의 집적도는 점차 높아져서 미세가공 기술이 사용되며 배선에서는 2 Layer 이상이 사용될 것이다. 설계환경은 고성능 Workstation을 사용하여 X11 MOTIF 환경에서 S/W가 통합된 Framework의 사용이 확대될 것이다. 또한 CAD S/W에서는 아직 개발 중인 Silicon-compiler가 실용화될 것이다.

<참고문헌>

1. B. Preas, M. Lorenzetti, Physical Design Automation of VLSI System, The Benjamin/Cummings Publishing, 1988.
2. E. Sternheim, R. Singh, Y. Trivedi, Digital Design with Verilog HDL, Automata Publishing Co., 1990.
3. 대한 전자 공학회, CAD 기술 특강 교재, 1991.
4. OPUS Manual, Cadence, 1992.
5. ASIC Electronics Engineer, 1990.1~1992. 11
6. Synopsis Manual, Synopsys, 1992.