

ATM교환 시스템의 성능 분석을 위한 확률 모형⁺

A Probabilistic Model for the Comparison of Various ATM Switching System

김제송* · 윤복식** · 이창훈*

J.S. Kim*, B.S. Yoon**, C.H. Lie*

Abstract

Recently, Broadband ISDN(B-ISDN) has received increased attention as a communication architecture which can support multimedia applications. Also, Asynchronous Transfer Mode(ATM) is considered as a promising technique to transfer and switch various kinds of media, such as telephone speech, data and motion video. Comparisons among a variety of ATM switching systems which have already been proposed will provide quite useful information for the new ATM switching system design. To facilitate the comparison, we introduce the design requirements and classification criteria for the ATM switch, and propose a performance analysis model for the Banyan network which is the basic switching fabric of most multi-stage ATM switching systems. The model is based on the standard discrete-time Markov chain analysis and can be conveniently used for extensive Banyan network analysis. The computational results are also presented.

1. 서 론

음성통화와 데이터 전송, 또 비디오 정보를 동시에 처리할 수 있는 B-ISDN(광대역 종합 통신망)을 구현하는 기본 기술인 ATM 교환 시스템에 대한 연구는 이제 이론과 실험의 단계를 이미 지나서 거의 실용화를 주장할 수 있는 단계에 까지 도달하였다. 반도체 및 광통신 기술, HDTV, 정보처리 기술등의 세계적인 발달 추세로 볼 때 통신 시스템은 멀지 않은 장래에 필연적으로 광대역의 서비스

들을 포괄적으로 처리해야 만할 것이고 그에 선행되는 ATM교환 시스템의 개발은 서둘러 정립되어야 할 중요한 연구 과제이다.

B-ISDN에 적합한 교환 기술로 Fast Packet Switch가 제안된 이후로 많은 종류의 광대역 스위치가 제안되었다[1, 2, 6, 10]. 광대역 전송 및 교환 방식으로 받아들여지고 있는 ATM 방식의 국제적인 표준화가 진행되어 이미 제한된 범위의 실용화가 이루어지고 있는 현재의 시점에서 이미 발표된 다양한 교환 기술들 간의 체계적인 비교 연구의 필요성이 증대되고 있다. 특히 새로운 광대역 교환 방식을 설계할 때 자원과 노력의 낭비를 줄이고 주어진 기술 조건하에서 최적의 교환 방식을 찾아내기 위해서는 다양한 방식간의 객관적인 비교가

⁺ 본 연구는 1991년 한국과학재단 연구비 지원에 의한 결과임.

* 서울대학교 산업공학과

** 홍익대학교 기초과학과

필수적이다. 이와 관련하여 Ahmadi and Denzel (1989)[1], 윤복식 외(1990)[2]등에서 광대역에 적합한 교환 기술들의 조사 연구가 시도된 바 있다. 특히 [2]에서는 광대역 스위치들이 방식상의 주요 특징별로 분류되고 분류된 방식들 간의 장단점의 비교가 행해졌다. [2]에서는 교환 방식들의 분류에 초점이 맞추어져 방식간의 비교는 개괄적으로만 행해졌던 바, 실제 ATM의 스위치의 개발에 유용한 기준을 제시하기 위해서는 여러 측면에서의 보다 구체적인 정성적, 정량적인 방식간의 비교가 필요할 것이다. 이를 위한 기초 단계로 본 논문에서는 기본 스위치 방식의 확률적인 분석이 주로 언급된다.

ATM 스위치의 기본 구조는 크게 단단계구조 [3, 4]와 다단계구조[10]로 나눌 수 있다. 단단계 구조의 경우는 대체로 점점 매트릭스(cross-point matrix) 형태이고 다단계 구조는 주로 반안망을 기본 구조로 하고 있다. 본 논문에서는 반안망의 성능분석을 간편하게 행할 수 있는 일반적인 확률적인 모형을 제시하고 실제 몇가지 경우의 분석을 통하여 반안망의 성능을 검토한다. 이때 단단계 구조는 단계의 수를 1로 두어 분석할 수 있으므로 실제로 본 논문의 분석은 단단계의 경우도 포함한다고 볼 수 있다. 2×2 단위 스위치를 기본으로 하는 반안망의 경우 $n \times n$ 스위치를 만들기 위해 $\log_2 n$ 의 단계가 필요하며 총 $n \log_2 n / 2$ 개의 단위 스위치로 구성되므로 단단계 스위치에 비해 하드웨어의 복잡성을 줄여주고 패킷 헤더부의 주소 비트에 따라 자동적으로 경로가 설정된다(self-routing)는 장점때문에 ATM 스위치 뿐만 아니라 컴퓨터 내부의 상호연결망(interconnection network)으로도 많이 사용되고 있다.

반안망은 [7], [8], [9]등에서 이미 성능분석이 된 바 있으나, 대개는 버퍼의 수를 1개로 제한하거나, 분석 방법이 특수하여 일반화하기 힘든 단점이 있었다. 본 논문의 접근 방법은 우선권이 있는 경우나, 단위 스위치가 2가 아닌 경우, 버퍼의 용량이 1 이상인 경우, 버퍼의 위치를 바꿀 경우 등 보다 일반적인 상황에서 쉽게 확장이 가능하다는 장점이 있다.

본 논문의 2장에서는 먼저 ATM 스위치가 갖추

어야 할 조건과 성능비교의 기준이 설명되고 버퍼방식의 비교 결과가 요약된다. 3장에서는 단단계 스위치방식과 다단계 스위치 방식의 비교가 요약되며 4장에서는 Banyan망 구조의 성능에 관한 마코프 모형이 제시되고 각각 입력측과 출력측에 버퍼가 있는 경우의 반안망의 분석이 행해진다. 마지막으로 5장에서 결론과 향후 연구방향이 언급된다.

2. ATM 교환기의 요건

2.1 설계 요건 및 비교 기준

ATM스위치의 설계시 고려해야 할 요건은 아래와 같이 요약할 수 있다.

(1) 링크당 150Mbps 정도의 고속 데이터를 처리하기 위하여 초당 수 백만번의 경로 결정이 필요하게 되는데, 중앙 집중 제어 방식을 사용하면 중앙의 프로세서에서의 병목현상으로 인해 용량이 제한되므로 경로 설정은 각 스위치 교점(crosspoint)에서 수행되는 셀프라우팅(self-routing) 방식이 적합할 것이다.

(2) 스위치 내부에서 블락킹이 생길 경우 부가적인 하드웨어가 필요하며 제어가 복잡한 re-routing기법이나 내부 버퍼를 사용해야 하므로 복잡성과 비용을 최소화 하기 위해서는 스위치가 논블락킹(non-blocking) 구조일 필요가 있다.

(3) 여러 채널에서 입력되는 다양한 대역폭의 데이터 처리시 지연으로 인한 에러를 최소화하기 위하여는 지연시간이 작아야 함은 물론 지연 간격이 거의 일정하게 유지되어야 할 것이므로, 경로상에 버퍼 장치의 수가 되도록 작아야 한다.

(4) 가입자의 수나 가입자별 대역폭의 크기 또는 interconnection의 다양성의 증가에 쉽게 대처할 수 있도록 모듈식 확장성이 좋은 구조가 요구된다.

(5) 스위치 설계시 일반적으로 고려되는 스위치 구조물(switching fabric)의 비용과 복잡성(complexity), 유지, 보수성의 간편성, fault tolerance design등과 같은 요인들도 중요시 되어야 한다.

(6) 우선권(priority) 기능이나 방송(broadcast)

기능 구현이 용이해야 할 것이다.

(7) ATM의 개념에 충실하여 패킷의 순서와 시간 간격등 동기성 유지를 위한 time stamp같은 특별한 장치에 신경을 쓸 필요가 없는 구조가 바람직한 것이다.

스위치 설계 단계에서 여러가지 다른 구조를 검토할 때, 이러한 요인들의 총족 정도가 의사 결정의 기준이 될 수 있을 것이다. 또한, 모든 설계에서의 성능은 하드웨어 구현 기술 수준에 특수성에 의존하는 경우가 많으므로 가용 기술 수준과 연결시켜 결정을 내려야 할 것이다.

2.2 버퍼 방식의 비교

스위치의 내부 블락킹은 목적지가 서로 다른 두 개 이상의 입력이 서로 충돌하는 경우에 발생하게 되는 현상으로 다단계 구조에서만 나타나, 출력 충돌은 두 개 이상의 입력이 동시에 같은 출력으로 들어갈 때 생기는 현상으로 모든 공간 스위치의 공통적인 문제이다. 기존의 회선교환에서는 타임 슬롯 교환을 통해 미리 출력충돌을 방지할 수 있지만 시간동기화를 하지 않고 헤더의 정보에 의해 교환을 하는 패킷교환이나 ATM에서는 이러한 장치가 결여되어 있기 때문에 출력충돌은 필연적이다. 출력충돌을 피하기 위해서는 경쟁에서 진 패킷들을 잠시 저장하기 위한 버퍼가 필요하게 되며, 이것이 불규칙적인 지연의 발생 요인이 된다. 따라서 목적지로의 경로를 결정해 주는 본래의 교환기능보다 출력충돌을 해결하는 기능으로 인해 구조가 더욱 복잡해질 수 있으므로, 버퍼의 설계나 운용방법은 스위치 전체의 복잡성(complexity)과 성능에 큰 영향을 미친다.

버퍼의 설계에서 버퍼의 위치는 전체적인 구조에 특히 영향을 주는데, 버퍼를 입력 포트쪽에 두는 입력버퍼 방식과, 출력 포트쪽에 두는 출력버퍼 방식, 입력과 출력 사이에 두는 중간버퍼 방식, 그리고 매 단위 스위치 마다 버퍼를 두는 점점버퍼(crosspoint)방식으로 분류할 수 있다. 입력버퍼 방식은 선두 패킷이 블락킹되어 뒤따르는 패킷들도 목적지로 갈 수 없게 되는 HOL(head-of-line) 블락킹 현상 때문에, 트래픽과 목적지가 균일하게 분

포되어 있고 다른 모든 조건이 같을 때 수율(throughput)이 출력버퍼 방식의 58.6% 정도 밖에 되지 않는다는 단점이 있다[5]. 그러나 HOL 블락킹은 입력 라인에서 demultiplexing을 통해 HOL 뒤에 따라오는 패킷을 먼저 보낼 수 있도록 하는 input smoothing을 통해 어느 정도 해결할 수 있고, 입력버퍼의 구조가 출력버퍼보다 간단하기 때문에 실제 디자인에서 많이 이용되고 있다.

출력버퍼 방식은 throughput이나 지연의 관점에서 모두 최적의 성능을 낼 수 있으나, 모든 입력 포트에서 동시에 하나의 출력으로 들어갈 수 있도록, 하드웨어를 더 많이 사용하거나 스위치의 내부 속도를 높이는 등의 수단이 전제가 되어야 한다.

중간 버퍼 방식은 버퍼를 완전히 공유하게 함으로써 버퍼 크기를 줄일 수 있고, throughput이나 지연을 출력버퍼 방식만큼 최적화할 수 있다는 장점이 있으나, 스위치의 규모가 메모리의 access 속도에 따라 제약을 받게 된다.

점점 버퍼 방식은 총 버퍼 크기가 커지고 단계마다 지연이 있게되어 지연의 변동이 많아지게 되나, 스위치 전체의 독립적 작동이 가능하기 때문에 많은 다단계 기본스위치의 디자인에서 애용되고 있다.

이상과 같이 살펴볼 때 기술적으로 가능하다면 되도록 출력버퍼를 위주로 설계하는 것이 ATM 스위치의 성능을 높일 수 있을 것이다.

3. 단단계 구조와 다단계 구조의 비교

ATM 교환 방식의 설계에서 첫번째로 결정해야 할 것은 기본 스위치를 단단계로 할 것인가 다단계로 할 것인가의 문제이다. 물론 최근까지 발표된 대부분의 ATM 스위치가 반얀망을 기본으로 하는 다단계 스위치이고 그것의 self-routing의 성질은 확실히 매력적이기는 하지만 다단계 본래적인 단점을 가지고 있기 때문에 주어진 기술 조건을 감안한 신중한 결정이 필요하다.

단단계 구조는 기본적으로 $O(N^2)$ 의 단위 스위치가 필요하고 이를 연결하는 링크의 수도 그만큼 많이 필요하게 되므로 하드웨어의 복잡성이 커진다.

그러나 많은 하드웨어가 필요한 대신 스위치 내부의 경로가 짧고 단순하며 스위치 내부에서의 블락킹이 일어나지 않아(물론 2개 이상의 입력이 동시에 같은 출력 포트에 향할 때 생기는 출력 충돌은 피할 수 없다) 버퍼 장치수와 지연을 줄일 수 있고, 기타 모듈식 확장(modular growth)이나 유지보수가 간편해 질 수 있다는 장점이 있다. 특히 방송의 구현이 별도로 장치없이 용이하게 수행될 수 있다는 장점도 지적할 수 있다.

다단계 구조는 최소의 단위 스위치로 기본 스위치를 구현할 수 있고 자동적인 셀프라우팅이 이루어진다는 장점이 있으나, 각 단위 스위치에서 블락킹이 일어날 수 있기 때문에 이를 해결하는 별도의 방법이 필요하게 된다. 모듈식 확장의 관점에서 보면 단위 스위치들의 interconnection이 바뀌게 되므로 다단계 구조보다 더 어렵다는 단점을 지적할 수 있다. 또 고장의 위치를 발견하는 데 쉽지 않아서 유지 보수에 어려움이 있게 된다는 점도 단점이 될 수 있다. 또한 방송기능의 구현에 별도의 장치와 단계가 필요하게 된다것도 무시할 수 없다. 따라서 다단계 스위치 구조로는 버퍼를 둔 Banyan 망, 스위치의 내부 고속화 및 병렬화 그리고 논블락킹 구조가 가능하나 다단계 본래적인 단점인 내부 블락킹의 문제와 방송 기능 구현의 난점을 모두 간편하게 해결할 수 있는 방식이 보다 우월한 방식이 될 것이다. 이런 관점에서 트리-디코딩과 유사하게 입출력 쌍간에 독자적인 경로를 확보해 주고 출력 버퍼를 두는 방식이 Banyan을 기초로 하는

방식보다 고속, 대용량의 ATM 스위치에 적합할 것이다.

4. Banyan망의 분석을 위한 모형

본 절에서는 ATM 기본 스위치로 많이 쓰이고 Banyan망에 대한 성능분석을 위한 일반적인 모형을 제시한다. 분석에 있어서의 가정은:

1. 스위치 입출력 링크와 내부가 동기적으로 작동한다.
2. 각 입력 링크에 셀들이 독립적으로 들어오고 최종 목적지가 균일하게 분포되어 있다.
3. 각 입력 링크에 동일한 트래픽 부하량으로 셀들이 들어온다.
4. 각 단위스위치의 버퍼들은 독립적으로 작동한다.
5. 스위치 출력링크에서는 블락킹이 일어나지 않는다. (이것은 입력버퍼 모형의 경우 출력링크가 적어도 입력링크의 속도만큼 작동이 되면 가능하므로 합리적인 가정이다).

4.1 입력측에 버퍼가 있는 모형

본절에서는 각 단위 스위치에서 버퍼를 스위칭이 일어나기전에 두는 입력 버퍼 방식에 대한 성능 분석을 시도한다. 입력측에 버퍼를 두는 Banyan망은 그림 1과 같다.

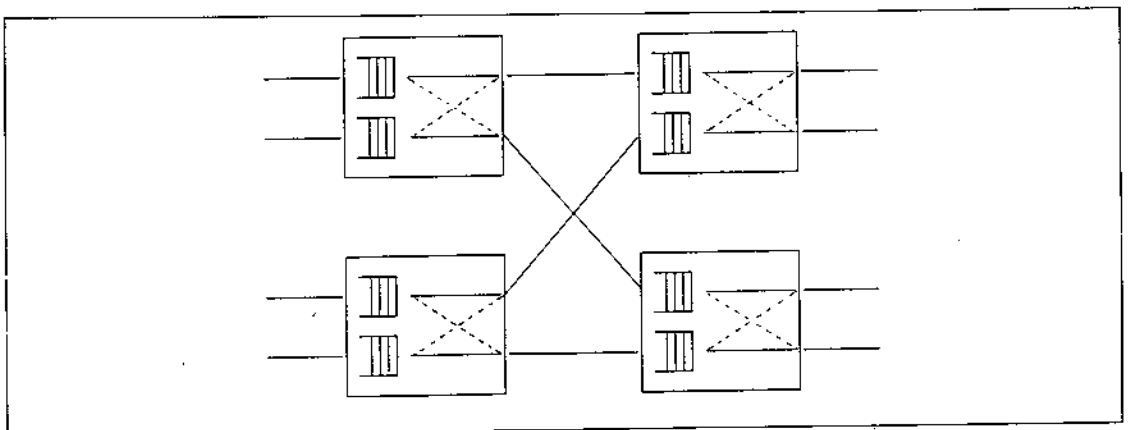


그림 1. 입력 링크에 버퍼를 둔 $2^2 \times 2^2$ Banyan망

n단계 Banyan망에서

$X(s, t)$ = 시간 t 에 단계 s 의 임의의 스위치 링 크 버퍼에 대기중인 패킷의 수

$$p_i(s, t) = P\{X(s, t) = i\}, s = 1, 2, \dots, n \dots(1)$$

라고 하자. ATM셀들이 각 입력링크에 독립적으로 들어오고 목적 출력링크가 균일하게 분포되어 있고, 트래픽이 모든 입력 링크에 균일하게 분산되어 있다고 가정하자. 이 가정하에서

$$\{X(s, t), s = 1, 2, \dots, n, t = 0, 1, \dots\}$$

를 n 개의 독립적이고 동일한 확률적 성질을 갖는 Markov chain으로 근사화 할 수 있다. 이때 전이 확률은 앞뒤 단계의 상태에 따라 정해진다. 본 논문에서는 Jenq[8]와 같이 '각 사이클 시간 동안에 먼저 다음단계로 셀을 넘겨주고 다음에 전 단계에서 셀을 넘겨 받는다.'는 논리적인 순서를 따라

$$q(s, t) = P[\text{시간 } t \text{에 전단계로부터 패킷을 받을 확률}]$$

$$r(s, t) = P[\text{시간 } t \text{에 다음 단계로 패킷을 넘겨 줄 확률} | X(s, t) = i, i > 0]$$

를 구하여 이것들로 부터

$$v(i, j) = P[X(x, t+1) = j | X(s, t) = i] \dots(2)$$

를 얻은후 초기 분포로부터 반복적으로 전이를 통해 $p_i(s, t)$ 를 구하는 과정을 확립한다. 전이 확률 $v(i, j)$ 는

$$v(0, 1) = q(s, t)$$

$$v(i, i+1) = q(s, t)(1 - r(s, t)), i = 1, 2, \dots, c - 1$$

$$v(i, i-1) = (1 - q(s, t))r(s, t), i = 1, 2, \dots, c$$

$$v(0, 0) = 1 - q(s, t)$$

$$v(i, i) = q(s, t)r(s, t) + (1 - q(s, t))(1 - r(s, t)), i = 1, 2, \dots, c - 1$$

$$v(c, c) = q(s, t)r(s, t) + (1 - r(s, t)) \dots \dots \dots(3)$$

로 구할 수 있다. 이때

$$q(s, t) = P[\text{시간 } t \text{에 전 단계로부터 패킷을 받을 확률}]$$

$$= 1 - \left[1 - \frac{1 - p_0(s-1, t)}{2} \right]^2 \dots \dots \dots(4)$$

$$r(s, t) = P[\text{시간 } t \text{에 다음 단계로 패킷을 넘겨 줄 확률} | X(s, t) = i, i > 0]$$

$$= P[\text{출력 경쟁에서 승리}] \cdot P[\text{다음 단$$

계가 논 블락킹]

$$= (p_0(s, t) + 0.75(1 - p_0(s, t))).$$

$$\left(\sum_{i=0}^{c-1} p_i(s+1, t) + p_c(s+1, t) \cdot r(s+1, t) \right) \dots \dots \dots(5)$$

$$r(n, t) = p_0(n, t) + 0.75(1 - p_0(n, t)) \dots \dots(6)$$

이다.

이제

$$p_i(s, t+1) = p_i(s, t)v(i, i) + p_{i+1}(s, t)v(i+1, i) - p_{i-1}(s, t)v(i-1, i) \dots \dots \dots(7)$$

로 얻을 수 있다.

식 (3)-(7)은 시스템의 상태 전이를 설명하고 있다. 만약 시스템이 안정상태(steady state)에 도달한다면 $r(s, t), q(s, t)$ 그리고 $p_i(s, t)$ 는 각각 $r(s), q(s)$, 그리고 $p_i(s)$ 로 수렴한다. 그리고 초기 조건등에 대해서 생각해보자. 외부로부터 입력 링크에 들어오는 부하량은 p_0 로 일정하다고 가정하자. 그때 임의의 시간 t 에 단계 1로 패킷이 들어올 확률 $q(1, t) = p_0$ 가 된다. 또한 초기에 임의의 단계 s 에서 $p_0(s, 0) = 1$ 이고 $p_i(s, 0) = 0, i = 1, \dots, c$ 이다 하자. 초기 조건과 안정 상태에서 구한 $r(s), q(s)$ 그리고 $p_i(s)$ 등에 의해서 성능 평가의 척도가 되는 수율(throughput) 및 지연 시간(delay)을 구할 수 있다. 그때 정상화시킨 출력률(Normalized Throughput) S 는

$$S = (1 - p_0(s)) \cdot r(s) \dots \dots \dots(8)$$

이고, 정상화 시킨 지연 시간(Normalized delay) d 는

$$d = \frac{1}{n} \sum_{s=1}^n \sum_{i=1}^c \frac{ip_i(s)}{r(s)} \dots \dots \dots(9)$$

이다.

버퍼의 크기가 1인 경우와 버퍼의 크기가 3인 경우의 입력 부하량에 따른 수율은 그림 2와 그림 3에서 보여주고 있다. 즉, 버퍼의 크기가 1인 경우는 거의 0.45까지는 수율이 직선적으로 변화됨을 보여주고 있으나, 버퍼의 크기가 증가된 경우는 입력 부하량이 0.65까지는 수율이 단계에 관계없이 일정함을 보여준다. 또한 버퍼를 두는것이 수율을 높일 수 있음을 나타낸다. 반면 지연 시간은 그림 4와 그림 5에서 보여 주듯이 버퍼를 두는 경우가

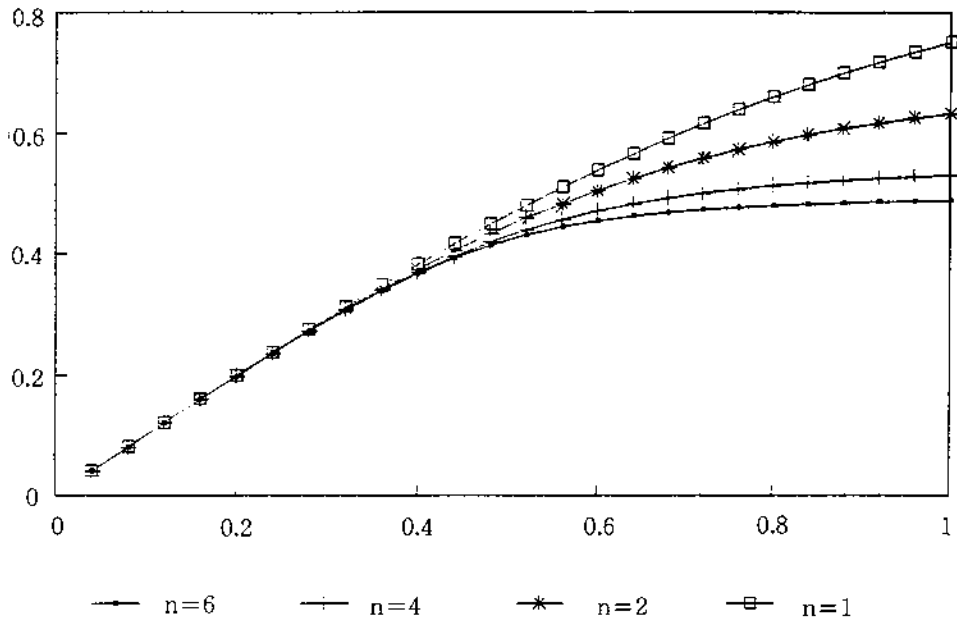


그림 2. $2^n \times 2^n$ 반안망의 입력 부하량과 출력률과의 관계($c=1$)

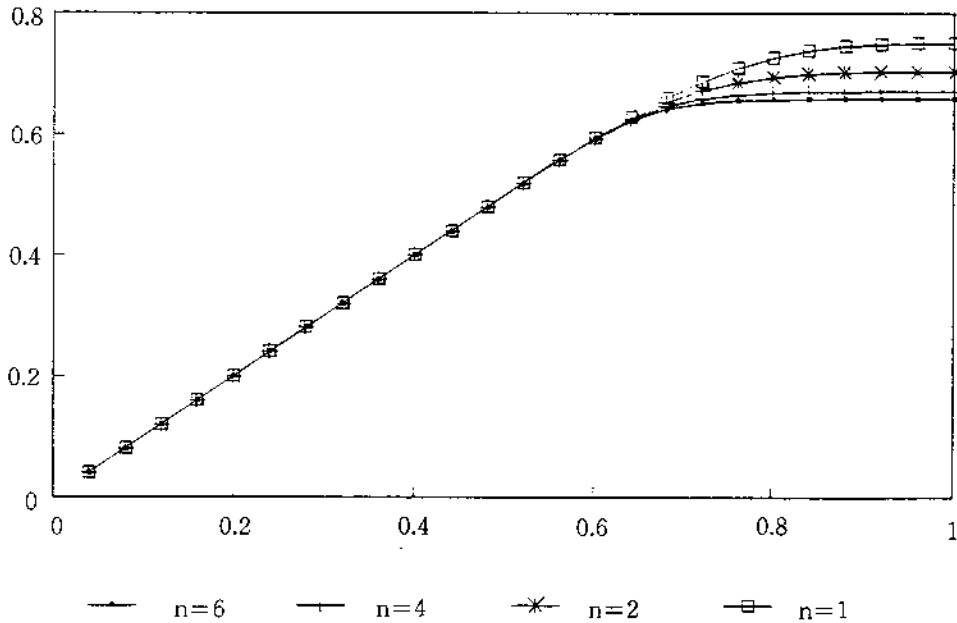


그림 3. $2^n \times 2^n$ 반안망의 입력 부하량과 출력률과의 관계($c=3$)

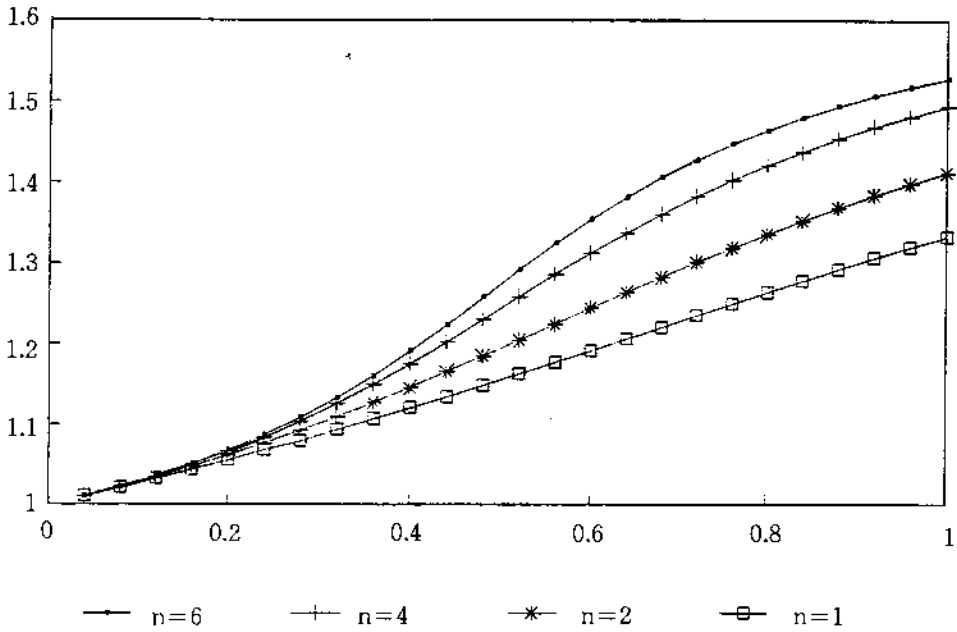


그림 4. $2^{\circ} \times 2^{\circ}$ 반안망의 입력 부하량과 지연 시간과의 관계($c=1$)

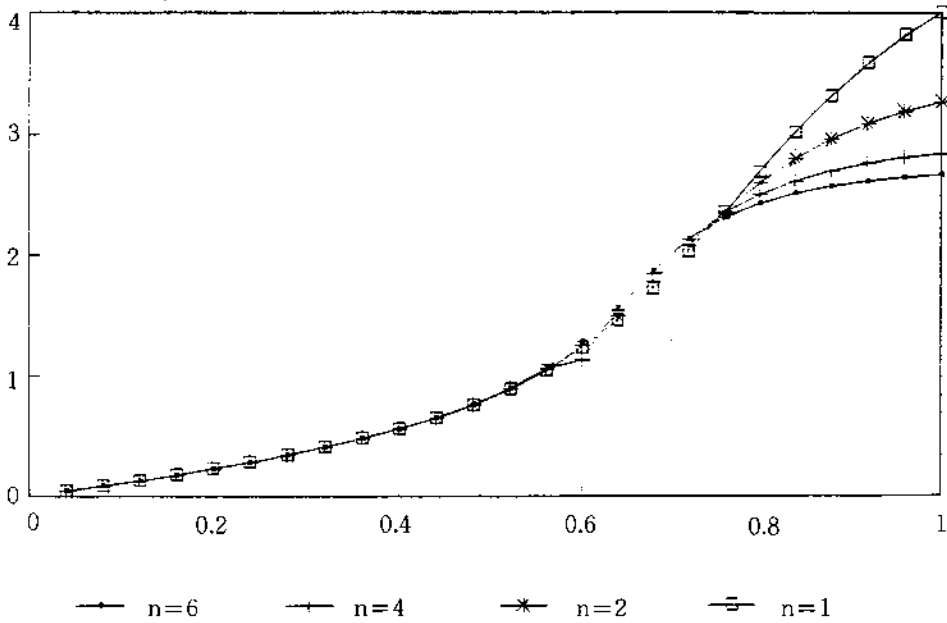


그림 5. $2^{\circ} \times 2^{\circ}$ 반안망의 입력 부하량과 지연 시간과의 관계($c=3$)

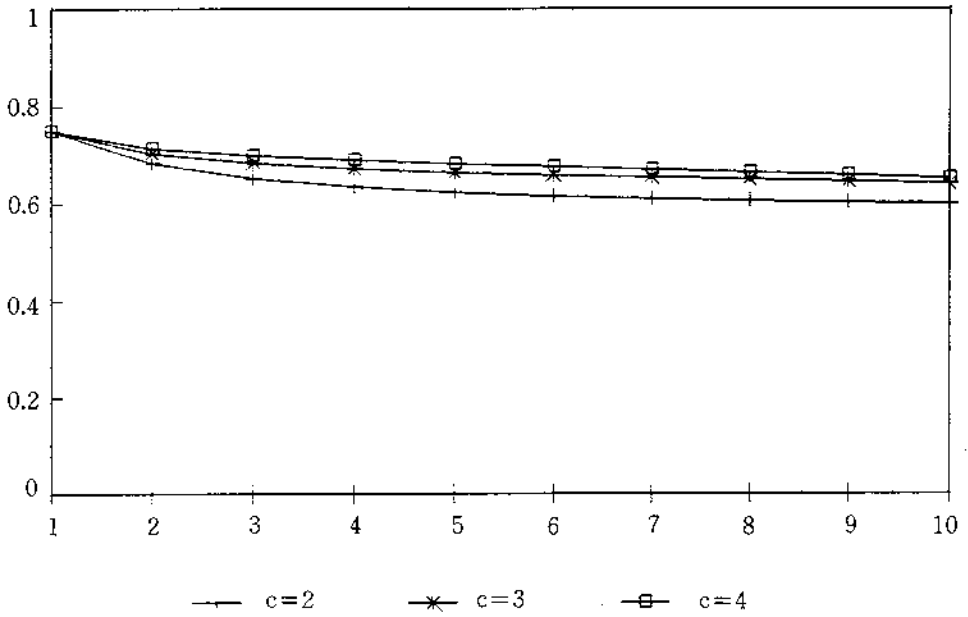


그림 6. $2^n \times 2^n$ 반안망의 단계의 수와 출력을과의 관계 ($p=1.0$)

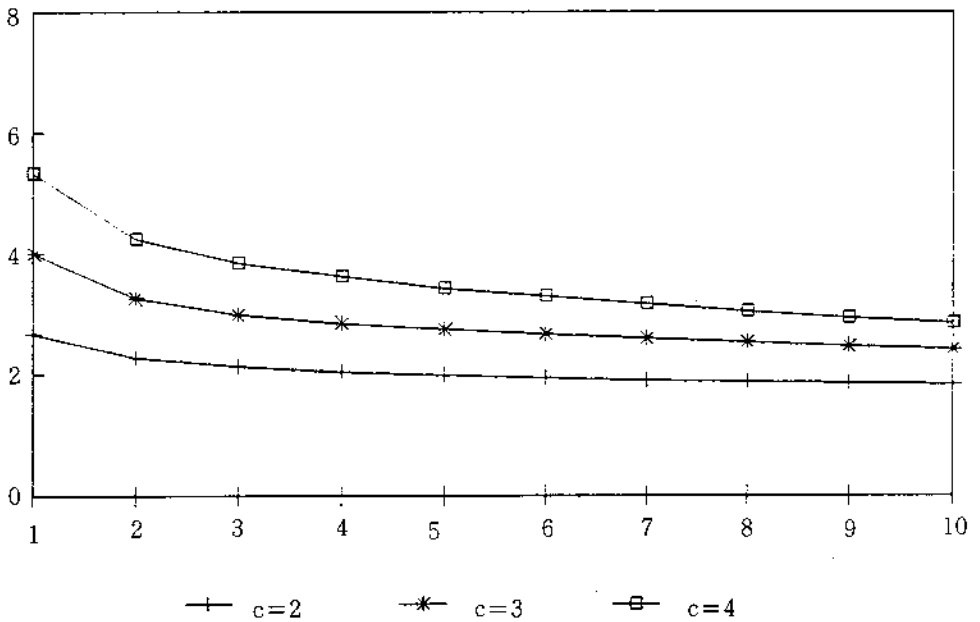


그림 7. $2^n \times 2^n$ 반안망의 단계의 수와 지연 시간과의 관계 ($p=1.0$)

걸어짐을 알 수 있다. 그리고 단위 스위치에서 지연 시간은 단계수가 증가함에 따라 줄어드나 총 지연시간은 걸어짐을 알 수 있다.

4.2 출력 측에 버퍼가 있는 모형

출력 버퍼 방식은 출력률(throughput)이나 지연

의 관점에서 모두 최적의 성능을 낼 수 있으나, 모든 입력 링크에서 동시에 하나의 출력으로 들어갈 수 있도록 스위치 내부 속도를 높이든가, 하드웨어를 더 많이 사용하는 등의 수단을 사용해야 한다. 본 절에서는 각 단위 스위치에서 버퍼를 스위칭이 일어난후에 두는 출력 버퍼 방식에 대한 성능 분석을 시도한다.

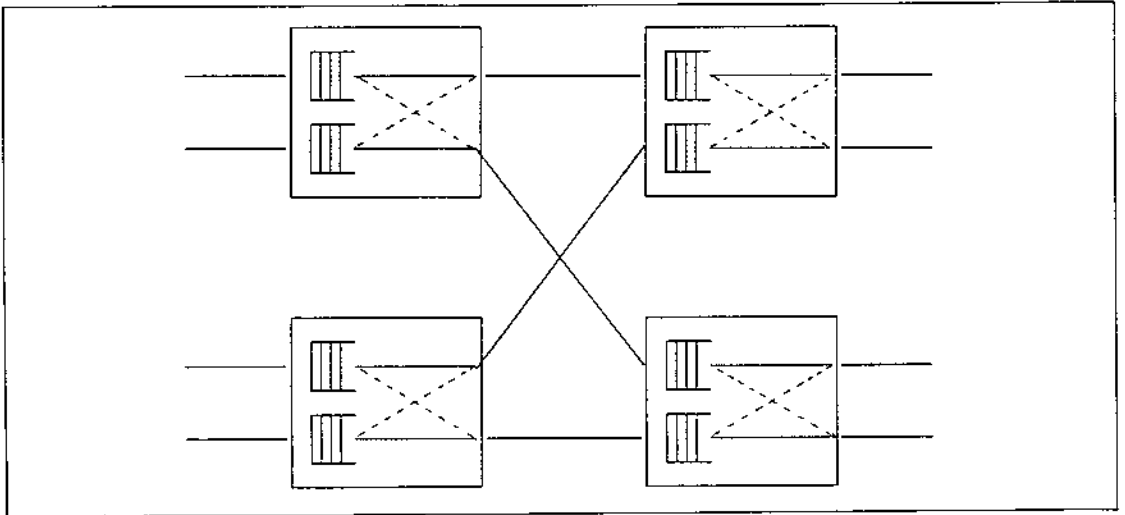


그림 8. 출력 링크에 버퍼를 둔 2² × 2² Banyan망

X(s, t), v(i, j) 그리고 p₀(s, t)에 대한 정의는 앞장 정의를 따른다고 하자.

이제

$$\begin{aligned}
 q(s, t, k) &= P[\text{시간 } t\text{에 전단계로부터 패킷을 } k\text{개 받을 확률}] \\
 &= \binom{2}{k} \left[\frac{1 - p_0(s-1, t)}{2} \right]^k \\
 &\quad \cdot \left[1 - \frac{1 - p_0(s-1, t)}{2} \right]^{2-k} \\
 k &= 0, 1, 2 \dots \dots \dots (10)
 \end{aligned}$$

$$\begin{aligned}
 r(s, t) &= P[\text{시간 } t\text{에 다음 단계로 패킷을 넘겨 줄 확률} \mid X(s, t) = i, i > 0] \\
 &= P[\text{다음 단계가 논 블락킹}] \\
 &= \sum_{i=0}^{c-1} p_i(s+1, t) + p_c(s+1, t) \\
 &\quad \cdot r(s+1, t) \dots \dots \dots (11)
 \end{aligned}$$

$$r(n, t) = 1 \dots \dots \dots (12)$$

c=1일때

$$v(0, 0) = q(s, t, 0)$$

$$\begin{aligned}
 v(0, 1) &= 1 - q(s, t, 0) \\
 v(1, 0) &= q(s, t, 0)r(s, t) \\
 v(1, 1) &= (1 - q(s, t, 0))r(s, t) + (1 - r(s, t)) \\
 &\dots \dots \dots (13)
 \end{aligned}$$

c ≥ 2이라면

$$\begin{aligned}
 v(0, j) &= q(s, t, j), \quad j = 0, 1, 2 \\
 v(i, i+1) &= q(s, t, 2)r(s, t) \\
 &\quad + q(s, t, 1)(1 - r(s, t)) \\
 &\quad \quad \quad i = 1, 2, \dots, c-2 \\
 v(i, i+2) &= q(s, t, 2)(1 - r(s, t)), \\
 &\quad \quad \quad i = 1, 2, \dots, c-2 \\
 v(i, i-1) &= q(s, t, 0)r(s, t) \quad i = 1, 2, \dots, c \\
 v(i, i) &= q(s, t, 1)r(s, t) \\
 &\quad + q(s, t, 0)(1 - r(s, t)) \\
 &\quad \quad \quad i = 1, 2, \dots, c-1 \\
 v(c-1, c) &= q(s, t, 2) \cdot r(s, t) \\
 &\quad + (1 - q(s, t, 0))(1 - r(s, t)) \\
 v(c, c) &= (1 - q(s, t, 0))r(s, t)
 \end{aligned}$$

$$\begin{aligned}
 &+(1-r(s, t)) \\
 &v(c, c-1)=1-v(c, c) \\
 &\dots\dots\dots(14)
 \end{aligned}$$

이다. 그리고 임의의 단계 s에 버퍼가 i개 있을 확률은

$$\begin{aligned}
 p_i(s, t+1) &= p_i(s, t)v(i, i) \\
 &+ p_{i+1}(s, t)v(i+1, i) \\
 &+ p_{i-1}(s, t)v(i-1, i) \\
 &+ p_{i-2}(s, t)v(i-2, i) \dots\dots(15)
 \end{aligned}$$

로 정의할 수 있다.

식 (10)–(15)은 시스템의 상태전이를 설명하고 있는데, 만약 이런 시스템이 안정상태(steady state)라면 $r(s, t)$, $q(s, t, j)$, 그리고 $p_i(s, t)$ 는 각각 $r(s)$, $q(s, j)$, 그리고 $p_i(s)$ 로 수렴한다. 이제 외부로부터 시스템으로 패킷들이 들어오는 부하량은 앞절과 마찬가지로 p 로 일정하다고 가정하자. 이때 초기에 임의의 단계 s에서 $p_0(s, 0)=0$ 이고

$p_i(s, 0)=0, i=1, \dots, c$ 이다. 그리고 임의의 시간 t에 단계 1에서 외부로부터 출력 버퍼로 패킷이 들어올 확률 $q(1, t, k), k=0, 1, 2$ 은 쉽게 계산될 수 있다. 그때 정상화시킨 출력률(Normalized throughput) S는

$$S=(1-p_0(s)) \dots\dots\dots(16)$$

이고 정상화시킨 지연(normalized delay) d는

$$d=\frac{1}{n} \sum_{s=1}^n \sum_{i=1}^c \frac{ip_i(s)}{r(s)} \dots\dots\dots(17)$$

이다.

그림 9와 그림 10은 출력 버퍼를 둔 Banyan망의 수율 및 지연 시간을 나타내고 있다. 버퍼수가 증가할수록 입력 버퍼 모형과 마찬가지로 지연 시간 및 수율이 증가됨을 알 수 있다. 또한 버퍼의 크기를 3으로 했을 때 단계에 따른 수율 및 지연시간은 그림 11와 그림 12에서 나타나고 있다. 다단계가 단단계에 비해 수율은 높은 반면 지연 시간이 길어진다는 것을 결과로부터 알 수 있다.

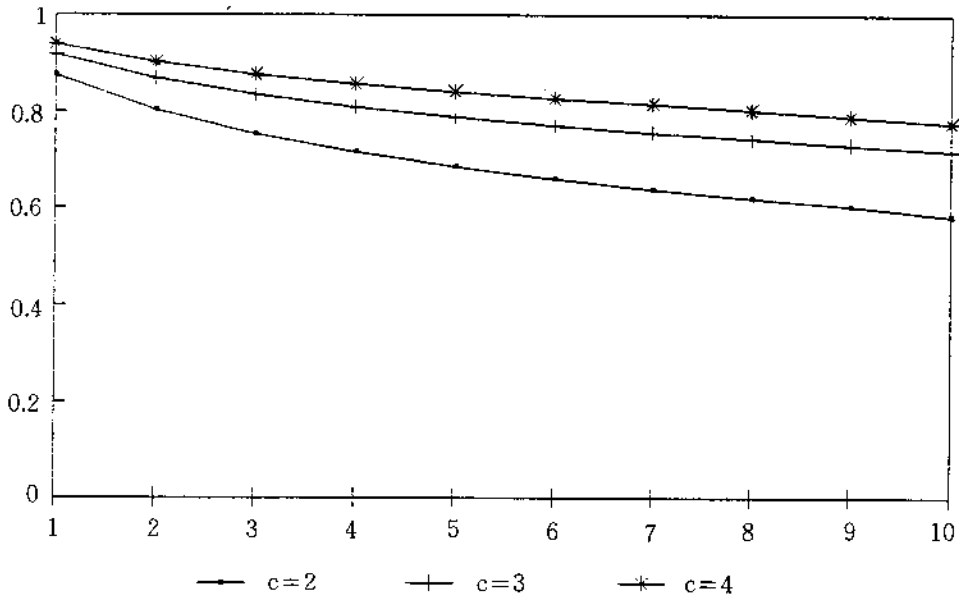


그림 9. 2"×2" 반안망의 단계의 수와 출력률과의 관계(ρ=1.0)

5. 결 론

본 논문에서는 ATM의 핵심이 되는 ATM 교환기의 비교 기준과 성능의 비교 요건이 제시 됐다.

또한 ATM 교환기 설제에 응용되는 버퍼를 갖는 Banyan 망에 대한 성능 분석을 표준적인 이산적 마코프 체인 분석 방법에 따라 간편하게 행할 수 있는 방법이 제시되었으며, 버퍼 용량이 1개 이상

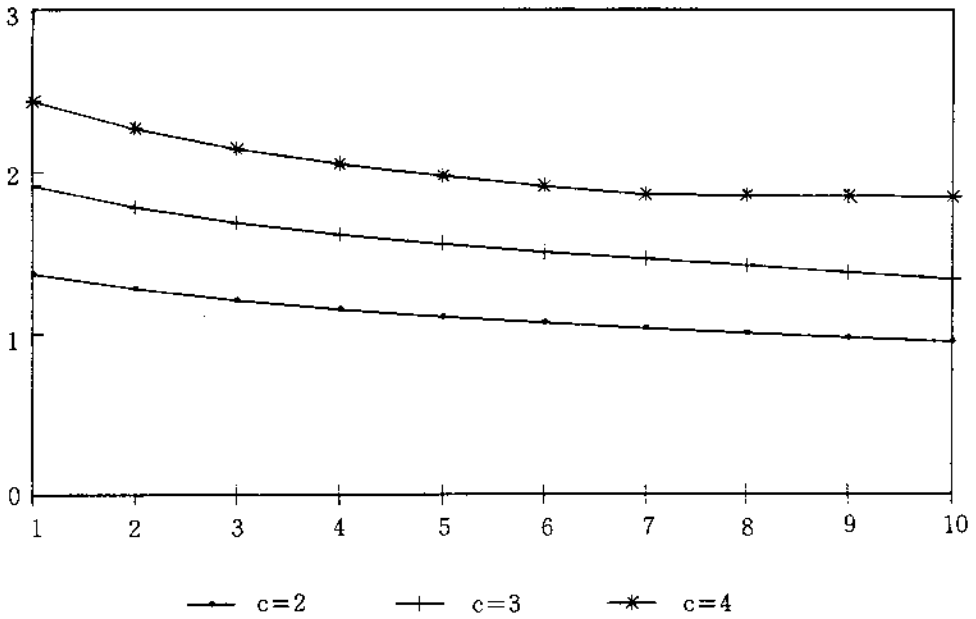


그림 10. $2^n \times 2^n$ 반안망의 단계의 수와 지연 시간과의 관계($p=1.0$)

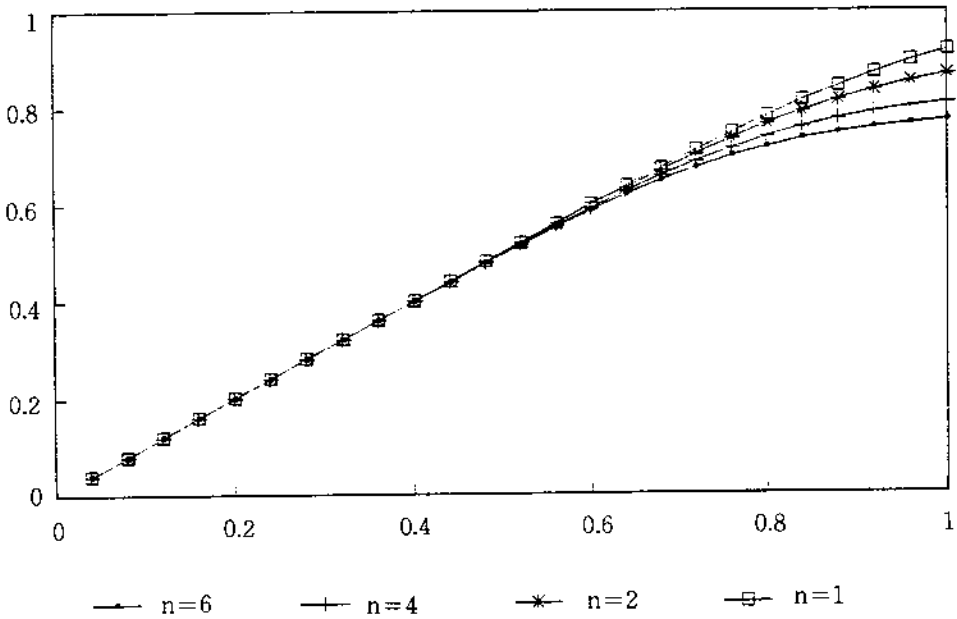


그림 11. $2^n \times 2^n$ 반안망의 입력 부하량과 출력률과의 관계($c=3$)

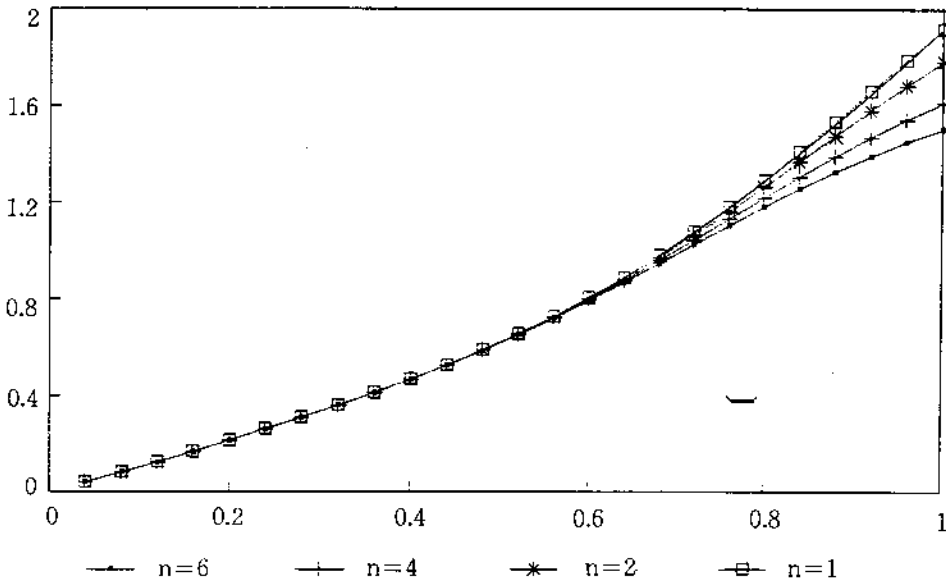


그림 12. $2^n \times 2^n$ 반안망의 입력 부하량과 지연 시간과의 관계($c=3$)

인 경우의 단위 스위치의 입력측에 버퍼를 두는 경우와 출력측에 버퍼를 두는 경우의 구체적인 성능 분석을 통해 본 분석 방법의 유용성을 보였다. 분석 결과 지연 시간은 버퍼의 용량이 증가할수록, 스위치의 단계수가 많아질수록 길어진다는 것을 알 수 있다. 또한 입력 버퍼를 두는 방식은, 앞서가는 패킷으로 인한 블락킹 때문에 뒤따르던 패킷이 복귀하지 갈 수 없게 되기(HOL 블락킹 현상)때문에 동일한 조건하에서 출력측에 버퍼를 두는 경우보다 수율면에서 떨어지고 지연 시간도 역시 길어진다는 사실을 결과로부터 확인할 수 있다. 따라서 다단계 스위치 구조로서의 버퍼를 둔 반안망은 되도록 시간적인 방법이나 공간적인 방법으로 단위 스위치간의 경로를 늘려 출력 버퍼를 두되 버퍼 용량을 불필요하게 크게 잡을 필요는 없을 것이다. 본 연구에서 예시한 분석 방법은 향후 보다 종합적인 반안망 분석에 이용될 수 있을 것이다.

참 고 문 헌

1. H. Ahmadi and W.E. Denzel, "A survey of modern high-performance switching techniques," *IEEE J. Select. Areas Commun.* Vol.SAC-7, pp.1091-1103, 1989.
2. 윤복식, 주성순, 전경표, "광대역 교환기술의 분류 및 비교 연구", *전자통신* 12권, 1호, pp. 14-23, 1990.
3. Y. Yeh, M.G. Michael, G. Hluchyj, and A.S. Acampora, "The Knockout switch: a simple, modular architecture for high performance packet switching," *IEEE J. Select. Areas Commun.* vol.SAC-5, pp. 1274-1282, 1987.
4. S. Nojima, E. Tsutsui, H. Fukuda, and M. Hashimoto, "Integrated services packet network using bus matrix switch," *IEEE J. Select. Areas Commun.* vol.SAC-5, pp. 1284-1291, 1987.
5. K.Y. Eng, M.K. Karol, and Chih-Lin I, "A modular broadband (ATM) switch architecture with optimum performance," *Proc. ISS'90*, A5. 1. 1-6, 1990.
6. A. Thomas, J.P. Coudreuse, and M. Servel, "Asynchronous time division techniques: An experimental packet network integrating video communication," *Proc. ISS'84*,

paper 32C2, 1984.

7. D.M. Dias and J.R. Jump, "Anaylisis and simulation of buffered delta networks," *IEEE Trans. Comput.*, vol.C-30, pp.273-282, 1981.
8. Y.C. Jenq, "Performance analysis of a packet switch based on single-buffered Banyan network," *IEEE J. Select. Areas Commun.* vol.SAC-1, pp.1014-1021, 1983.
9. T. Szymanski and S. Shaikh, "Markov chain analysis of packet switched Banyans with arbitrary switch sizes, queue sizes, link multiplicities and speedups," *Proc. INFO-COM'89*, pp.960-971, 1989.
10. J.S. Turner, "Design of an integrated services packet network," *IEEE J. Select. Areas Commun.* vol.SAC-4, pp.1373-1380, 1986.