

시뮬레이션을 이용한 PCB 제조시스템의 수행능력 분석†

전태보* · 김영휘** · 마상혁*

Analysis of PCB Manufacturing System Using Computer Simulation†

Tae Bo Jeon*, Young Hui Kim**, Sang Hyeog Ma*

Abstract

Recent industrial efforts are directed toward the development of CIM(Computer Integrated Manufacturing) system. It is often the case that the analysis of the system dynamic behaviour is overlooked, even if it is important for both the economic justification and system performance evaluation. The main purpose of this study is to present an approach of system performance evaluation for PCB(Printed Circuit Board) manufacturing, especially the inner layer manufacturing processes, using simulation. The general overview of the PCB manufacturing environment has first been discussed. Then a computer simulation program which can consider the diverse dynamic environmental changes has been developed. Extensive system analyses have been performed based on the program developed and the three measures proposed. The results obtained in this study provide valuable guidelines for practical concerns and some recommendations for future extensions.

1. 서 론

최근 급속도로 고조되어 가는 기업간의 경쟁에 부응하여 특히 제조업에 있어서 생산성을 높이기

는 노력이 지대하다. 품질향상, 제조 lead time 단축, 재고의 감소등을 주체로 한 현대화된 제조 시스템 또는 철학(philosophy)등이 추구되어 오고 있으며 Just-in-Time, Group Technology, Flexible Manufacturing System등과 함께 근래에는 특히 모든 시스템의 기능들을 자동화, 전산화의 관점에서 총체화하는 소위 컴퓨터에 의한 통합 시스템(CIM : Computer Integrated Manufacturing)의 구현을 목표로 함이 그중 대표적이

† 본 연구는 한국과학재단의 특정기초연구 지원으로 수행되었음.

* 강원대학교 산업공학과,

** 고려대학교 산업공학과

라 할 수 있다. 생산성 향상을 위한 CIM체제 구축에는 그 영역과 구성요소가 광범위하고 포괄적이므로 어려운 면이 많으며 아직도 표준화된 단계가 정립되지 않고 있는 실정이다. 이를 위하여는 우선 제조시스템을 중심으로 각 기능들을 분류하고 이들을 연계시키는 시스템 설계 및 분석이 요구된다. 예들들어 DFD(Data Flow Diagram)이나 SADT(Structured Analysis & Design Technique)등이 이의 접근방법이라 할 수 있다. 이러한 접근방법들을 이용하여 기존 시스템을 분석하고, 새로운 제조절차들을 통하여 개선된 시스템을 설계하므로써 개략적인 방향의 설정이 가능하다.

그러나 궁극적으로는 실제 시스템을 구축하여 그의 성능과 타당성을 분석하기에 이러한 노력만으로는 부족하다. 상술한 과정은 시스템의 정적인(static) 측면을 주로 고려하였을 뿐 동적인(dynamic)측면 즉, 시간에 따른 시스템의 변화 과정을 반영하지는 못한다. 제조업의 자동화, 전산화의 과정상, 또한 타당성 평가의 측면에서 대단히 중요하게 고려되어야 할 측면이 바로 동적 특성(dynamic characteristics)이고 이를 위하여 실제로 시스템을 구축하지 않고도 시스템의 수행능력(system performace)을 측정할 수 있는 것이 컴퓨터에 의한 시뮬레이션(simulation)방법이다. 즉, 시뮬레이션에 의해 시스템을 모형화하여 전체 수행능력을 실험해 봄으로써 시스템의 성능을 예측하고 더 나아가서는 경제적 타당성의 측면에서도 간접적으로나마 훌륭한 제안을 받을 수 있게된다.

최근 시뮬레이션에 의한 시스템의 평가는 제조업 뿐 아니라 컴퓨터 통신(telecommunication) 시스템에 이르기까지 다양하게 사용되고 있는 경향이다. 그러나 시뮬레이션에 대한 활용은 그 기본개념이나 이용의 측면에서 제한적일 뿐 충분한 인식이 아직은 부족한 실정이다.

본 연구의 주된 목적은 전자제품에서 핵심을 이루고 있는 PCB(Printed Circuit Board)를 대상으로 기존의 시스템 수행도를 컴퓨터 시뮬레이션을 통하여 분석, 평가하는데 있다. 이를 위하여 본 연구에서는 다층(multi-layer) PCB중 내층 제조과정을 연구영역으로 삼는다. PCB는 수요자의 요구에 따라 독특하게 설계되어 제조가 요청되는 주문생산체제를 가지며 매회 주문량이 대부분 소량인 대표적 다중소량 생산의 특성을 갖는다. 따라서 소비자 주문에 신속히 대응해야 하는 복잡한 공정운영이 요구된다. 즉, 물류의 흐름이 매우 가변적이며, 다양한 기종의 변화와 납기등의 문제로 효율적인 생산계획을 찾아내는데 어려움을 겪고 있다. 더우기 대부분 화학공정(chemical process)을 수반하는 제조 특성상 설비배치(layout)변경이 대단히 어렵다. 본 연구를 통하여 보다 효율적인 라인운영을 위한 시스템의 자세한 형태묘사를 제공한다.

본 연구수행을 위하여 우선 PCB 제조과정에 대하여 포괄적인 이해를 도모한다. PCB 층수 및 공정등의 문제 뿐만 아니라 100% 주문에 의한 생산체제, 다중소량의 주문체제등의 특성등을 특별히 고려한다. 전체공정의 특성 및 흐름을 이해함이 연구방향 설정상 매우 중요하다. 이를 위하여 PCB제조과정 및 특성을 엄격히 분석한다. 그리고는 기존 PCB 제조과정을 이해한 뒤 시스템 운영에 대한 실제의 매우 불규칙적(stochastic)인 상황을 최대한 반영할 수 있는 포괄적인 시뮬레이션 프로그램을 SLAM II [3]를 이용하여 작성한다. 다음으로 상술한 과정에 입각하여 여러 측면에서 실험을 실시하고 설정한 목적함수들을 중심으로 결과를 분석하는 것이다. 마지막으로 이제까지의 연구에 대한 종합적인 결론을 내린다.

2. PCB 제조 시스템의 개요

본 절에서는 PCB개요와 제조공정의 전반적인 운영상태를 고찰한다. PCB란 무엇이며 어떠한 상태라인의 흐름을 통하여 생산되는가를 알아보므로써 제조시스템을 파악하고 이를 토대로 시스템을 모형화하기 위한 기틀을 마련한다.

2.1 PCB개요

PCB는 컴퓨터, 텔레비전, audio, video, 전화, 카메라, 자동차 계기판등과 같은 수많은 전자제품의 중심 부품으로, 절연 판(board)위에 연결선에 의한 배선 대신 화학적으로 전기도체 물질의 선을 임히거나 부식시켜 회로를 구성한 것이다. PCB는 회로가 형성된 곳에 홀(hole) 가공을 하여 트랜지스터, 고밀도 집적회로등 첨단 전자 부품과 일체화시켜 전자제품조립의 자동화, 고신뢰성, 그리고 제품의 소형화에 크게 기여하고 있다. 컴퓨터 및 전자산업의 근간의 되는 PCB 제조시스템은 많은 자본을 요하며 노동집약성 사업으로 그간 대부분 중소기업에서 제조되어 왔으나 최근에는 일부 대기업에서도 제조시스템을 구축하고 있다.

PCB의 종류는 제조공법을 포함한 여러가지로 분류되나 전반적으로 기판의 재질과 적층되는 층수에 의해 대별된다. 즉, 보통 단면(single-sided), 양면(double-sided), 다층(4-layer 이상), 그리고 flexible PCB등으로 분류된다. 이들중 단면 PCB란 기판의 한쪽 표면에만 회로가 형성된 것으로 가전제품등에 주로 이용된다. 양면 PCB는 한장의 기판 양쪽면에 회로가 형성된 경우로 자동차 계기판등이 최근 많이 활용되는 분야이다. 다층 PCB는 양면기판의 두면외에 회로가 형성된 기판을 내부에 추가한 경우로 이를 내층(inner layer)이라 부르며 각 내층 1장당 2면씩

층(layer)을 구성한다. 따라서 내층의 수에 따라 다층 PCB의 층수는 4, 6, 8, ...등으로 분류된다. 다층의 경우 컴퓨터 내부의 회로설계 분야에 주로 이용되며 그간 국내에서는 4, 6층등이 주류를 이루어 왔으나 최근에는 CAD(computer aided design)를 주제로 한 설계기술 및 인쇄회로 기술의 발달로 그 이상의 층도 자주 생산되고 있다. 일반적으로 층수가 높아 질수록 단위 면적당 회로의 복잡성이 상대적으로 높아지며 요구되는 제조기술도 복잡하여 PCB 제조기술과 층수는 서로 직접적으로 대응된다 할 수 있다. PCB 부문의 가장 선진국은 역시 일본이고 50층 이상의 제조기술이 보고되었으며 대만 및 우리나라등도 PCB제조에 중요한 기술 제공국이다. 마지막으로, flexible PCB는 상술한 기판외에 특별한 목적에 사용되는 경우로 예를들면 앞의 딱딱한(rigid)기판 보다는 부드럽고 유연한(flexible) 재질상에 회로를 형성하는 것을 할 수 있으며 프린터나 카메라 cable과 같은 부드럽게 잘 휘어지는 부위등 전자제품의 특수부위에 사용된다.

2.2 PCB 제조공정

PCB 특히, bare board 제조과정은 자동화 기계공정, 화학처리 공정 그리고 필름(film)현상공정등을 포함하는 매우 복잡한 생산형태를 취한다. Bare board란 칩(chip)등의 하드웨어(hardware)가 장착되기전까지의 기판 형태로 회로 및 인쇄등이 완료된 상태를 말한다. 다층 PCB 제조과정은 크게 내층제조과정과 외층제조과정으로 나눌 수 있으며, 이중 내층제조과정은 PCB제조와 전반부로서 층수에 따라 요구되는 내층의 수가 다르므로 이 내층들에 대한 회로를 형성하는 과정을 말한다. 일련의 내층공정을 마친후 이들을 외층과 합하므로써 내층공정이 완료된다. 일단 이러한 일련의 과정을 마친 기판은 그 이후부터는 외층, 즉 양면 제조과정과 동일하게 취급된다.

PCB 제조는 제품의 주문발생으로 부터 생산이 개시되며 주문된 제품의 형태와 특성, 크기 및 수량 그리고 납기등이 주문과 함께 명시된다. 우선 PCB 원판(동판)을 필요한 작업크기로 자르며 이 재단된 기관들이 시스템 내부로 투입되므로 부터 시작된다. 이때 생산라인에서 흐르는 작업물의 크기는 생산효율을 높이기 위하여 실

제품 크기가 아닌 몇개의 제품을 포함하는 판넬(panel)단위이다. 판넬의 크기, 즉 작업크기는 주문된 제품 크기에 따라 결정되며, 판넬 크기가 결정나면 이에 따라 궁극적으로 사용할 원판의 형태를 결정하게 된다. 이 이후의 전반적인 내층 제조과정이 그림 1에 도시되었다.

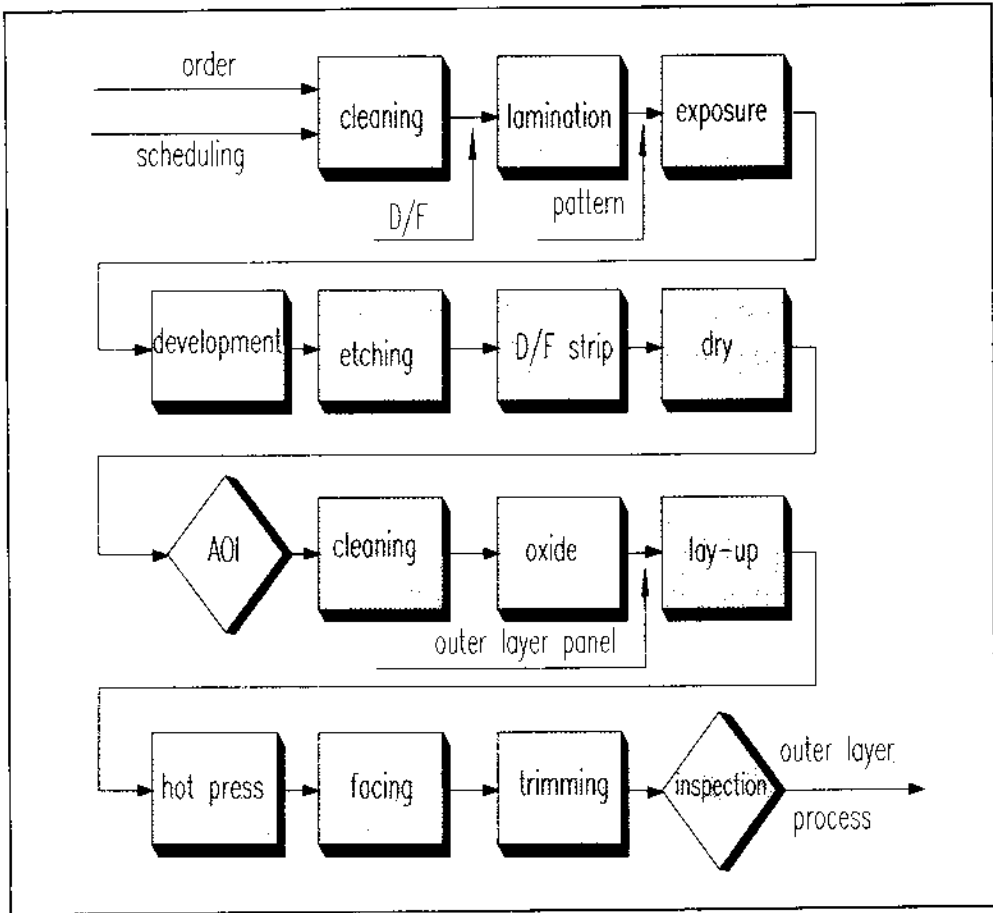


그림 1. 내층 PCB 제조과정

그림에서 보듯이 일단 재단된 판넬은 컨베이어 type의 정면공정(cleaning)을 거쳐 표면의 먼지와 불순물이 세척된다. 다음으로 D/F(dry-film) 도포공정 또는 라미네이션(lamination) 공정은 세척된 판넬에 회로를 형성하기 위한 준비단계로서 D/F(CAD에 의해 설계된 회로가 후에 판넬에

그러지도록 도와주는 감광물질)을 열원을 갖추 밀착기에 장착하여 판넬에 도포(coating)하는 작업이다. D/F이 도포된 판넬은 노광(exposing) 공정으로 이어지며 CAD에서 설계, 제작된 회로필름(pattern도)을 겹친후 일정시간 빛을 비추어 노광시키므로써 회로를 감광시킨다. 이 회로가

감광된 판넬을 컨베이어 형태의 자동기계인 현상 (development) 공정을 거쳐 회로형성을 한다.

현상이 완료된 판넬은 부식(etching) 공정으로 이어져 판넬에 형성된 회로부분만 도체로 남도록 나머지 부분의 동(Cu)이 화학처리에 의하여 제거된다. 이렇게 화학처리된 판넬은 불순물을 없애기 위한 세척에 이어 이제는 불필요한 dry-film을 제거하는 D/F막리(strip) 공정을 거친다. 그리고는 막리된 표면의 이물질들을 제거하기 위해 다시 세척하고 건조기(oven)에서 일정시간 동안 건조시킨다. 이 공정이 완료되면 내층 한 판넬에 회로가 등으로 형성되며 이를 AOI(automatic optical inspection)를 통하여 검사한다.

검사단계에서 합격된 판넬은 표면을 세척하기 위해 다시 정면공정을 거쳐 oxide 처리공정으로 이어진다. Oxide 공정은 판넬들 사이에 접착력을 갖게하고 동시에 외층과 접착된 후 시각적 효과를 위한 흑화처리를 말한다. 이 공정은 여러 화학물질이 담겨있는 통에 판넬을 일정시간 담금으로써 처리되며 로봇트에 의해 자동으로 진행된다. 다음으로 lay-up공정은 다층 PCB를 만들기 위해 회로형성을 완료한 내층들과 회로형성을 하지않은 외층을 적절히 포개는 적층과정이다. 이때 내층들 및 외층과의 사이에는 접착제 (prepreg)가 들어간다. 이렇게 접쳐진 외층과 내층은 hot press공정에서 고온상태로 일정시간 압축(pressing)된다. 최종적으로 한 제품씩 해체되어 비로서 하나의 PCB제품을 형성하며 사후정리 및 검사를 수행하므로써 내층 전과정을 완료한다.

2.3 PCB 시스템 특성

이상으로 우리는 PCB 및 이의 제조공정들을 고찰하였다. PCB 제조시스템은 주문에서 최종검사까지, 기계작업과 수작업, 화학 처리과정, 그리

고 검사공정이 뒤섞인 일련의 생산라인으로 구성되어 있으며 다음 몇가지의 중요한 특성을 갖는다.

- 1) 대표적인 다중소량 생산체제로 주문업체의 회로설계 제작을 위한 test용 샘플(sample)주문이 다수를 차지하고 있다. 샘플제작 이후 주문업체에서 필요한 실험을 거쳐 최종 회로설계가 확정되기까지 샘플제작이 몇차례 반복되며 최종적인 회로설계가 완성된후에 비로서 대량으로 주문된다. 그러나 몇차례의 반복 수정되는 샘플제작 차례로 끝나는 경우가 대단히 많다.
- 2) 전자제품 특성에 따라 회로설계가 달라지므로 100% 주문생산으로 이루어진다. 따라서, 제품의 주문빈도가 매우 불규칙하며, 소비자가 요구하는 제품의 형태, 크기, 층수 또한 매우 다양하여 모델변경에 따른 많은 준비시간을 요한다.
- 3) 선행작업이 완료된 후 후속공정이 이어지는 연속적인 흐름생산체제(flow shop)이면서 보통은 batch로 운영되고 있다는 점이다. 즉, 매 공정에서는 특정량(batch)의 판넬씩 가공되며 공정간의 이동도 대부분 batch단위로 이루어진다.
- 4) 주문업체의 생산계획 및 샘플 제작상의 일정에 의해 납기상에 긴급을 요하는 주문이 다수를 차지하고 있으며, 이에 따른 일정계획이 빈번히 변경되어 생산라인에 트러블을 가져온다.
- 5) 제조공정과 병행하여 일부공정에서는 검사가 이루어지며 검사결과가 불량 불량과 재작업 그리고 부분 폐기등 복잡한 결과를 초래하고 불량률이 매우 높다. 따라서 생산성의 저하와 많은 자재의 낭비가 초래될 수 있다.

PCB제조시스템은 업체간의 경쟁심화 및 소비자 요구조건에 따른 품목의 다양화등으로 높은 효율성을 유지하면서 납기를 만족시키기 위한 노력이 절대적으로 필요하다. 그러나 상술한 특성에 기인하여 효율적인 시스템운영이 대단히 어렵고 수행도 분석 또한 어렵다. 따라서 여러 요인에 의하여 다양하게 변화되는 PCB 제조시스템에 대한 수행평가분석이 요구된다.

PCB 제조시스템의 동적특성을 분석하여 시스템의 문제점과 그 개선점을 찾는 방법으로 시뮬레이션이 중요하게 취급될 수 있으나 최근까지 문헌에 소개된 연구는 별로 진행되지 않은 실정이다. 이들중 Lin and Cochran[1]은 PCB 제조상의 복잡한 운영과 가공시간의 큰 변동등과 같은 당면한 문제에 의해 생기는 효율적인 생산계획을 찾기 위한 목적으로 연구를 수행했다. 이들은 특히 생산라인 중 병목현상(bottleneck)을 이루는 라미네이션 공정과 홀가공(drill) 공정을 주 연구 대상으로 하였으며 라인흐름을 가장 효율적으로 운영하고 생산시간을 최소화하기 위한 이 두 공정의 batch size를 시뮬레이션을 이용한 실험 및 결과 분석으로 결정하고자 노력하였다.(홀가공은 외층제조과정의 첫 단계로 내외층 회로도를 도체화하기 위해 수행되는 공정이다.) 또한 김만식등[8] 역시 홀가공 공정을 대상으로 다층 PCB 제조공정에 맞는 적절한 생산방법을 찾는 노력을 행하였다. 즉, 단위 시간당 생산량의 증대를 목적으로 PCB 생산 공정 중 라미네이션의 두 공법 즉, 매스 라미네이션(mass lamination)과 핀 라미네이션(pin lamination)의 사용비율에 따른 시스템의 변화를 분석하였고 1회 홀가공 작업시 판넬의 적층수가 시스템에 주는 변화를 분석하여 생산량을 최대로 하는 적층수를 결정하는 연구를 수행하였다.

이들 연구는 연구 범위를 1~2공정 즉, 라미네이션과 홀가공에 국한하여 수행되었으나 본 연구

에서는 보다 포괄적인 시스템 분석을 위하여 영역을 넓혀 평가하고자 한다.

3. Simulation 모형의 설정

시스템에 내재된 여러 특성들을 바탕으로 이제 시스템을 평가하기 위한 가정들을 설정하고 SLAM SYSTEM을 이용한 시스템의 동적모형(simulation model)을 설계한다.

3.1 시스템 가정

앞절에서 고찰한 시스템 특성을 포괄적으로 반영하기 위하여는 여러가지 변수와 데이터의 정의가 필요하며 이들중 일부에 대하여는 통계적인 검증이 요구된다. 그러나 본 연구에서 대상으로 삼는 K 기업의 과거 경험상 얻은 데이터로 대신하며 일부 중요한 변수들은 다음절에서의 분석상 입력변수로 취급한다. 따라서, 여기에서는 고려되는 중요한 데이터를 중심으로 간단히 고찰한다.

먼저, 실제의 주문은 제품 단위로 발생하나 편의상 몇개의 제품을 포함하는 판넬단위로 주문됨을 가정한다. 또한 요구되는 제품의 크기 및 소비자가 요구하는 층수별 점유율이 고려된다. 이 중 제품의 크기는 제품의 다양성에 부응하여 여러종류의 판넬이 사용되나 이들중 대표적인 형태들을 중심으로 고려하며 PCB층수에 대하여는 소비자가 주문하는 층수중 주류를 이루는 4, 6, 8, 10, 12층등을 중심으로 고려한다. 즉, 판넬의 종류 및 층수에 대하여는 K기업의 과거 데이터에 의거 도표 1과 같이 점유율을 가정한다. 이 도표상의 종류외의 형태에 대하여는 그 비율이 미미하므로 고려대상에서 제외한다.

시스템내에는 판넬 단위로 처리되는 공정과 판넬들의 그룹으로 처리되는 공정이 있다. 그러나

도표 1. 판넬 형태 및 층별 점유율

구 분	크기(mm ²)	비 율 (%)	구 분	크기(mm ²)	비 율 (%)	층 수	비 율 (%)
1	406×510	41	8	510×610	4		
2	340×406	22	9	406×457	2	4	85
3	305×510	5	10	340×457	2	6	10
4	305×340	5	11	305×406	2	8	3
5	340×510	5	12	305×305	1	10	1
6	340×610	4	13	510×510	1	12	1
7	244×457	4	14	406×610	1		

본 연구에서는 문제의 복잡성을 피하기 위해서 모든 공정이 특정 batch 단위로 진행됨을 가정한다. 추가로 각 공정에는 순수 가공시간외에 준비시간이 수반됨을 가정하며 현재 가공되고 있는 제품 다음에 새로운 모델의 제품이 들어오는 경우에 적용된다. 그리고 각, 공정간 이동에는 PCB 제품의 특성상 보통 20개씩 운반되나 이 역시 batch 단위로 이동됨을 가정한다.

제품들의 가공에는 특별히 우선순위가 고려된다. 이는 제품 주문시 납기상의 긴급을 요하는 경우 필요하며 이러한 긴급주문으로 인하여 기존의 일정계획에 전반적으로 차질이 빚어질 수 있다. 보통 순수 납기상의 문제나 기타요인에 의하여 발생하는 긴급성은 프로그램에서 서로 다른 우선권(priority)을 부여하므로써 해결한다. 즉, 주문발생시 보통 우선권이 3으로 주어지며 긴급 주문 경우는 가장 높은 우선권인 1을 부여하여 모든 공정에서 우선 처리됨을 가정한다. 또한 검사공정에서는 2종류의 불량 즉, 폐기(scrap)와 수정 재작업(rework)이 발생할 수 있으며 이중 특히 일부 또는 전량이 폐기되는 경우는 새로운 자재투입과 함께 처음부터 새로이 재작업이 수행되어야 하며 이 경우 기존의 우선권보다 1단계 높은 우선순위를 갖는다. 이러한 불량 역시 생산 또는 일정계획에 수정을 요하는 사태를 유발한

다. 그러나 한번 폐기되어 처음부터 새로이 재투입되는 경우에는 더 이상의 폐기는 발생하지 않음을 가정한다. 이상의 긴급주문 및 폐기, 재작업외의 모든 가공순서는 FIFO(first in first out)의 규칙을 따른다.

마지막으로, 공정시간의 측면에서 PCB 제조공정들은 컨베이어 형태, 로봇틀을 이용한 rack 형태, 그리고 작업자의 수작업 형태로 이루어지는 공정등으로 분류할 수 있다. 우선 컨베이어로 처리되는 공정은 정면, 현상, 부식, D/F박리 공정 등을 들 수 있으며, 이들 공정의 batch당 가공시간은 컨베이어 속도(speed), 이격거리(pitch) 그리고 판넬의 종류(panel size)에 의존한다. 이격거리란 컨베이어 벨트(belt)위에 놓여지는 판넬과 판넬사이의 간격을 말하며 작업자가 직접 컨베이어 벨트위에 판넬을 올려 놓거나 자동기계가 이용된다. 컨베이어 속도와 이격거리는 공정마다 다소 다르다. 이상의 고려에 의한 분당처리 batch 수(capacity) 및 batch당 가공시간 계산을 위한 공식은 다음과 같다.

$$Capacity = \frac{speed}{panel\ size + pitch} \text{ (개/min),}$$

그리고

$$\text{Processing time} = \frac{\text{batch size}}{\text{capacity}} \text{ (min).}$$

다음으로, 로봇에 의한 rack공정은 oxide 공정이 이에 해당한다. Rack이란 일정양의 판넬들을 한꺼번에 설치하는 도구이며 가공시간은 주기시간(cycle time)과 rack당 설치되는 판넬 수에 따라 달라진다. Rack당 설치 판넬수는 판넬 크기별로 도표 2와 같이 구분된다.

도표 2. Rack당 설치 판넬수

panel size	setting panel 수
510×610 510×510	3
406×610	4
340×610	5
406×510 305×510 340×510	6
340×457 406×457	8
340×406	10
기 타	12

따라서 단위시간 당 capacity는

$$\text{Capacity} = \frac{1}{\text{cycle time}} \times \text{panel setting 수 / rack} \quad (\text{갯수/min})$$

에 의해서 계산된다.

또한 노광공정은 수작업 공정으로 주기시간 당 즉, 노광기가 한번에 처리하는 판넬수에 따라서 가공시간이 달라진다. 한 주기 당 처리되는 판넬수는 판넬의 크기가 510×510, 510×610(mm)인 경우는 1장이며 그 외의 경우는 2장씩 처리됨을 가정한다. 이 공정의 capacity는

$$\text{Capacity} = \frac{1}{\text{cycle time}} \times \text{panel 수 / cycle} \quad (\text{갯수/min})$$

으로 계산된다. Rack에 의한 공정과 수작업으로 이루어지는 공정에 대한 가공시간은 앞의 컨베이어 공정의 경우와 동일한 계산공식을 따른다.

3.2 시뮬레이션 모형

이상의 고려와 함께 다음 단계는 시스템에 대한 운영상태를 묘사하는 것이며 이를위해 컴퓨터 시뮬레이션 언어인 SLAM II SYSTMTE[4]을 사용하여 프로그램 하였으며 PCB제조과정에 대한 SLAM II Network이 부록에 도시되었다.

프로그램을 위해 SLAM II에서 제공하는 여러 변수들 XX(I)와 ATRIB(I)들이 사용되었으며 본 연구에서 사용한 attributes들 및 의미는 다음과 같다.

ATRIB(1): 주문 도착 시간

ATRIB(2): 작업처리 우선순위(1, 2, 또는 3)

ATRIB(3): 층수

ATRIB(4): 판넬 크기(형태)

ATRIB(5): 주문량

ATRIB(6): 제품번호

ATRIB(7): Batch size

ATRIB(8): 검사횟수

ATRIB(9): 순수 가공시간

PCB 제조시스템에 도착하는 주문의 특성과 이에 포함되는 모든 공정의 가공시간 그리고 검사공정과 같은 특수한 event는 SLAM II network만으로 묘사하는 것은 매우 어렵다. 따라서 본 연구에서는 사용자 함수(user function)를 사용하여 각 공정시간과 특정사건을 network과 함께 나타내었다.

먼저 Create node CRE1에서 제품의 주문이 통계적 분포에 따라 발생함을 시작으로 시스템이 작동한다. 각 주문은 개체(entity)로 처리되며 이의 발생시간이 attribute 1에 저장된다. 일단 발생된 주문은 납기의 긴급도에 따라 1 또는 3

으로 attribute 2에 할당된다. 소비자가 제품주문 시 요구하는 일련의 제품 특성 즉, 층수, 판넬 크기, 그리고 주문량등이 ASSIGN node, AS03에서 각 attribute에 저장된다. 다음의 EVENT node 1은 주문량을 몇개의 규정된 batch로 나누는 일을 수행하며 이후 나누어진 batch들이 ENTER node 1로 들어온다. 그 이후로 시스템 내의 일련의 과정이 정면공정을 시작으로 진행되며 해당되는 각 공정은 RESOURCE block에 공정명 및 기계대수가 정의 되어있다.

이러한 일련의 공정중 검사가 실시되며 이중 node AW08은 중간검사 AW17은 최종검사를 나타낸다. 불량률(P_2, P_3, P_4, P_5, P_6)에 따라 검사 결과는 합격, 재작업, 그리고 폐기로 구분되며, 첫 검사 AW08에서 합격된 제품은 바로 정면공정(AWC2)으로 이어지고 폐기된 경우는 ENTER node 1로 인도되어 처음부터 새로이 작업이 시작된다. 이 외의 수정작업되는 경우는 검사공정에서 별도의 추가시간을 소비한다.

중간 검사공정 이후에 나머지 공정들 oxide, lay-up, 적층, 해체 및 후처리등이 진행되며 최종검사를 끝으로 시스템을 떠난다. 이때 주문품 일부가 폐기되어 재작업이 발생하는 경우나 몇개의 batch로 나뉘어 작업되는 경우는 처음 주문량이 모두 모일(BATCH node)때 가지 기다린다.

마지막으로, 기계의 고장 및 수리를 묘사함이 필요하며 이를 위해 별도의 network을 사용하였다. 그림의 맨 마지막 부분이 이를 반영하며 CRE2, CRE3, CRE4, 그리고 CRE5에서 평균 기계고장 시간간격에 따라 고장이 발생한다. 본 연구에서는 lamination, 노광, 부식, 그리고 oxide 공정등에서 고장이 발생함을 가정하였다.

4. 실험 설계 및 결과 분석

이제까지 PCB 제조과정에 대한 포괄적인 이

해와 시뮬레이션을 이용한 모형을 설정하였다. 이제 이를 토대로 가변적인 상황을 최대로 반영할 수 있도록 다각적인 입력 데이터에 의한 실험 및 분석을 행한다.

4.1 입출력 설계 및 실험방법

앞절의 시뮬레이션 모형에 의한 분석상 고려할 입력변수로 7가지를 선정하였다. 이들 각 인자(factor) 또는 변수에 대한 K기업의 과거경험에 근거하며 특정 2 수준(level)씩 선정하였으며 이들은 도표 3과 같다.

도표 3. 인자 및 수준

인 자	Low	High
A(주문도착 시간 간격)	2	4 (회/day)
B(1회 주문량)	200	400 (단위)
C(긴급 납기 주문율)	5	10 (%)
D(Batch Size)	50	100 (단위)
E(불량율)	5	10 (%)
F(준비시간)	10	20 (분)
G(기계고장 시간간격)	4800	9600 (분)

주문도착 시간간격(A)은 주문이 시스템에 도착하는 시간간격으로 본 연구에서는 지수분포(exponential distribution)를 가정하며 하루 평균 발생빈도를 고려수준으로 삼는다. 제품의 주문량(B)은 100개 미만의 소량샘플제작에서 부터 수천개 이상의 대량주문까지 폭넓게 분포됨을 고려하여 특별히 베타분포(beta distribution)를 가정하여 그의 두 모수값들의 조합을 변수로 처리한다. 즉, 주문량이 200과 400이하일 확률이 각각 70%가 되도록 수준을 결정하여 이와 대응하는 베타분포의 모수 값을 사용하였다. 또한 긴급납기 주문율(C)은 소비자가 요구하는 모든 주문중 특별히 긴급을 요하는 납기주문의 비율을 변수로 고려하였다. Batch size(D)는 생산라인에 투입하는 제품단위로 주문량이 많을 경우 50 또는 100개씩 나누어 투입되도록 한다. 불량률(E)

은 중간 또는 최종검사에서 불량 제품으로 판명될 확률이며, 공정 준비시간(F)은 모델 변경시 각 공정에서 지체되는 시간이다. 끝으로 기계 고장시간 간격(G)은 지수분포를 가정하여 역시 그의 평균값을 두 수준을 삼는다.

다음 단계는 시스템 차원의 효율성을 측정할 기준의 선정으로 본 연구에서 고려할 주요 수행평가기준들은 다음과 같다.

- System time(throughput time)
- 다양한 변화에 의한 생산, 일정계획(scheduling)의 변경 빈도
- 컴퓨터 네트워크에 의해 입력되는 데이터의 발생 빈도

이중 system time은 생산개시로 부터 출하까지 시스템내에서 소비한 총 시간, 즉 제조 lead time을 말하며, 이의 정확한 파악으로 부터 소비자가 요구하는 납기내에 제품을 생산할 수 있도록 보다 효율적인 생산계획을 세울수 있다. 상술한 바와같이 PCB 제조시스템은 특히 소량 샘플 제작 주문, 긴급주문등으로 납기문제가 매우 중요하게 취급된다. 또한 CIM과 같은 전산화 시스템 구축에 있어서 중요하게 고려될 수 있는 척도로 특히 계수적인 특성을 갖는 수행평가 기준 역시 중요한 시스템 분석의 기틀이 된다. 근래에는 시스템 내부의 물류의 흐름 및 이에 대한 정보(information)의 관리(management)가 매우 중요하게 취급된다. 이 정보는 생산, 자재, 품질, 재고, 수요예측, 판매등의 정보로 데이터 베이스 시스템에 기록, 관리되며[5] 이때 단위시간당 데이터베이스 관리시스템(database management system)에 의하여 처리되는 빈도를 통하여 궁극적으로 컴퓨터 시스템의 선정에 까지 고려할 수 있다[6, 7]. 따라서 시스템의 다양한 변화에 의해 생기는 생산 및 일정계획 변경의 빈도를 수집 분석하고자 하며, 추가로 자재의 투입과 생산시작 및 일부 주요 공정에서의 작업진행 상태를 입

력시킴을 가정하기 위하여 기존 시스템의 운영을 다소 수정하였으며 이의 발생빈도를 수행평가 기준으로 고려한다.

이제 우리의 관심은 상술한 실험 데이터를 대상으로 PCB 제조시스템은 시뮬레이션은 수행하고 실험결과를 얻기 위하여 적절한 실험을 설계하는 것이다. 이들 7가지 입력변수에 대하여 각각 2수준씩 고려하였으므로 총 $128(=2^7)$ 조합이 계산될 수 있다. 그러나 편의상 여기서는 각 변수들간의 교호작용을 고려대상에서 제외하여 총 8조합만을 고려하도록 하였으며 특별히 $L_8(2^7)$ 직교배열(orthogonal array)을 선정하였다. 또한 순수오차(pure error)를 포함하기 위하여 각 조합당 4개씩의 관측치를 얻도록 실험을 설계하였다. (직교배열 및 실험계획에 대하여는 Phadke [2]가 좋은 설명을 보이고 있다.)

4.2 실험 결과 및 분석

각 수행척도별 얻고자 하는 결과는 시스템의 안정성(stationary)을 가정할 수 있을 만큼 충분한 시간에 걸쳐 얻어져야 하나 본 연구에서는 시뮬레이션 수행시간(run length)을 하루 8시간 작업 기준으로 3개월을 설정하였으며, 입력변수 조합마다 4회 반복하여 결과를 얻었다. (참고로 본 연구에서 고려한 수행기간 동안의 결과가 실제 시스템 수행도 반영에 충분하였다.) 특별히, 매 반복마다 첫 10일은 준비기간(warmin-up period)으로 삼아 그때까지 얻은 데이터를 제외하였다.

4.2.1 System Time

우선 system time에 대하여 한 편당 소비된 시간(분)으로 환산한 프로그램 수행결과가 도표 4에 도시되었다. 이 도표의 첫째열은 $L_8(2^7)$ 직교배열상에 고려된 8가지 조합을 나타내고, 둘째열부터 여덟째열까지는 앞절에서 설정한 인자별 두 수준을 1(low level)과 2(high level)로 표현한

것이다. 그 다음의 일련의 열들은 실험을 통하여 얻은 결과치 및 이들의 평균값을 나타낸다.

도표 4. System Time에 대한 실험결과

T.C.	ABCDEFGFG	실험결과(분)	평균
1	1 1 1 1 1 1 1	5.5 5.5 5.7 6.1	5.7
2	1 1 1 2 2 2 2	10.9 10.9 10.1 10.8	10.7
3	1 2 2 1 1 2 2	3.4 3.3 3.2 3.1	3.3
4	1 2 2 2 2 1 1	4.3 3.4 4.7 3.9	4.1
5	2 1 2 1 2 1 2	8.6 8.7 9.7 9.6	9.2
6	2 1 2 2 1 2 1	17.2 15.6 12.1 13.5	14.6
7	2 2 1 1 2 2 1	25.9 26.3 27.8 25.0	26.3
8	2 2 1 2 1 1 2	6.6 6.2 6.9 6.5	6.5

인자별 영향을 규명하기 위하여 각 인자당 평균반응(average response)결과를 계산하였다. 이 결과가 다음의 도표와 그림 2에 도시되었다.

Level	Var.						
	A	B	C	D	E	F	G
Low	5.9	10.0	12.3	11.1	7.5	6.4	12.7
High	14.1	10.0	7.8	9.0	12.5	13.7	7.4

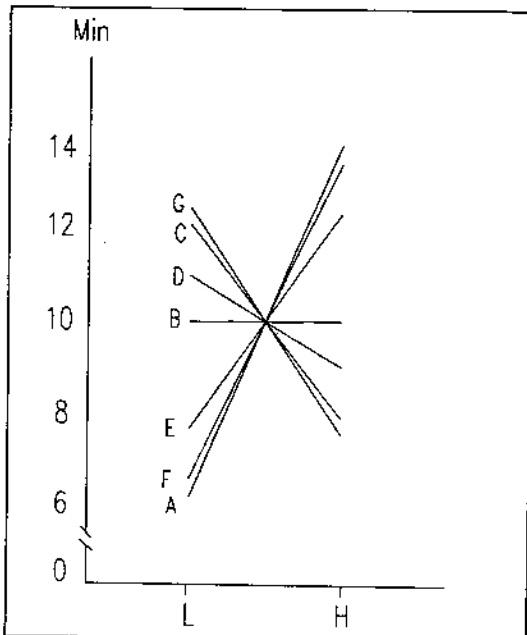


그림 2. System Time에 대한 인자별 평균반응

이들을 바탕으로 볼때 주문빈도(A), 준비시간(F) 그리고 기계고장시간 간격(G) 등이 system time에 매우 큰 영향을 미침을 알 수 있다. 즉, 이들의 발생횟수 및 시간이 증가할수록 제품당 처리시간을 크게 증가시킨다. 또한 긴급주문 납기율(C)과 불량률(E)의 변화 역시 단위제품당 가공시간에 큰 영향을 미치며, 마지막으로 batch size의 측면에서는 100으로 운영하는 것이 system time을 감소시킨다. 주의할 점은 긴급납기율이 높은 경우나 큰 batch size(100)에서의 시스템 운영여건이 system time을 감소시키는 결과를 가져왔으나 이들은 소비자가 요구하는 납기를 고려하지 않은 경우이며 납기 및 이로인한 기업의 손실측면을 고려할 경우에 보다 타당성 있는 결론을 얻을 수 있다.

이상의 결과는 앞의 제조특성상 예측되는 결과이며 불행히도 이 인자들의 수준을 임의로 조정할 수 없는 한계가 있으나 현 시스템 상황에 대한 보다 심층한 고려로 보다 안정된 납기계획을 작성할 수 있다. 예를 들어 주문의 성수기 및 생산라인의 효율이 특히 저조한 도표상 조합 5의 상황하에서는 100개의 제품을 생산하는데 내층 제조 과정만도 약 15시간을 고려해야 할 것이다.

4.2.2 일정계획 변경의 빈도

일정계획의 변화에 대한 구체적인 실험결과 및 인자별 평균반응 역시 도표 5와 그림 3에 도시되었다. 이 결과에서 보듯이 일정계획의 변경은 여러 요인에 대하여 다소 민감한 영향을 받는다. 이중 주문발생 빈도, 불량률, 그리고 주문량이 증가할 수록 크게 증가하며, 반면 batch size의 경우는 100으로 운영하는 경우가 50의 경우 보다 일정계획 변경빈도를 크게 감소시킴을 알 수 있다. 이밖의 긴급납기 도착율, 준비시간, 그리고 기계고장 빈도등은 상대적으로 큰 영향을 주지 않는다는 결론이다. 한가지 특이한 것은 긴급납

도표 5. 일정계획 변경빈도에 대한 실험결과

T.C.	ABCDEFGFG	실험결과(회/일)	평균
1	1 1 1 1 1 1 1	2.3 2.5 2.3 1.9	2.3
2	1 1 1 2 2 2 2	2.3 2.6 2.6 2.3	2.5
3	1 2 2 1 1 2 2	4.3 5.3 4.7 4.5	4.7
4	1 2 2 2 2 1 1	4.8 5.3 4.6 4.4	4.8
5	2 1 2 1 2 1 2	9.6 9.5 10.2 8.7	9.5
6	2 1 2 2 1 2 1	4.0 4.5 4.0 3.7	4.1
7	2 2 1 1 2 2 1	13.1 14.1 13.5 13.5	13.5
8	2 2 1 2 1 1 2	7.5 8.2 8.1 7.5	7.8

Var. Level	A	B	C	D	E	F	G
Low	3.9	4.6	6.5	7.5	4.7	6.1	6.2
High	8.7	7.7	5.8	4.8	7.6	6.2	6.1

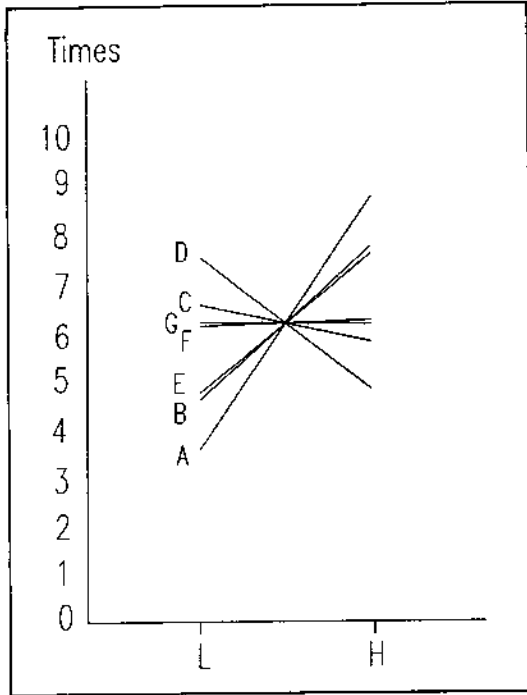


그림 3. 일정계획 변경빈도에 대한 인자별 평균반응

기 도착율의 증가가 일정계획 변경에 큰 영향을 미치지 않는 실험결과이다. 이는 다른 변수(들)과의 교호작용으로 이들의 영향이 합쳐져 반영되

기 때문이며 우리의 경험에 비추어 긴급납기 주문율은 batch size와 강한 교호작용을 가지며 이로 인해 그 영향이 상쇄(mask)된 것처럼 나타난다. 또한 모든 경우에 있어 일간 수회 이상의 일정계획 변경상황이 발생하며 심한 경우 10회 가까이 발생할 수도 있다는 점이다. 이 결과는 2절에서 언급한 PCB 제조시스템 운영상의 큰 기복을 간접적으로 대변한다.

4.2.3 중앙 컴퓨터를 통한 데이터 입력빈도

시스템 통제 및 관리를 자동화하는 측면에 있어서 생산라인중 주요공정의 상태에 대한 데이터를 중앙 컴퓨터에 입력하는 것이 필요하다. 이는 언급한 바와같이 특정공정들을 대상으로 생산의 시작 및 완료상태, 일부제품의 불량 상태등으로 인하여 주로 발생하며 이는 특별히 CIM설계와 관련하여 고려되는 컴퓨터 시스템에 대한 부하에 측의 측면에서 중요하다. 도표 6과 그림 4가 이에 대한 결과를 보여준다.

도표 6. Data 입력빈도에 대한 실험결과

T.C.	ABCDEFGFG	실험결과(회/일)	평균
1	1 1 1 1 1 1 1	63.2 64.3 61.0 54.2	60.7
2	1 1 1 2 2 2 2	38.7 38.1 40.7 37.8	38.8
3	1 2 2 1 1 2 2	107.8 126.0 115.0 113.2	115.5
4	1 2 2 2 2 1 1	72.8 76.1 66.4 65.0	70.1
5	2 1 2 1 2 1 2	147.6 144.2 152.6 135.2	144.9
6	2 1 2 2 1 2 1	70.5 74.8 68.1 63.9	69.3
7	2 2 1 1 2 2 1	204.9 214.8 213.3 213.5	211.6
8	2 2 1 2 1 1 2	127.8 135.2 135.3 127.4	131.4

Var. Level	A	B	C	D	E	F	G
Low	71.3	78.4	110.6	133.2	94.2	101.8	102.9
High	139.3	132.2	100.0	77.4	116.4	108.8	107.7

데이터 입력빈도는 역시 주문도착율과 주문량으로 부터 가장 민감하게 영향받고, batch size도

이에 크게 영향을 미치며 이 값이 감소할 수록 데이터 입력횟수는 크게 증가한다. 그 밖의 인자들은 이들에 비하여 상대적으로 영향이 약하며 일반적으로 이들의 수준이 증가할수록 데이터 입력횟수도 다소 증가하는 경향을 보이고 있다. 이 도표 및 그림상의 결과로 일간 평균 100회 이상의 데이터가 입력됨을 예측할 수 있다. 주의할 점은 이상의 결과가 내층제조과정에 국한하여 얻었다는 점이며 전체 PCB 시스템에 대하여는 월등히 많은 컴퓨터의 load가 예측된다는 점이다.

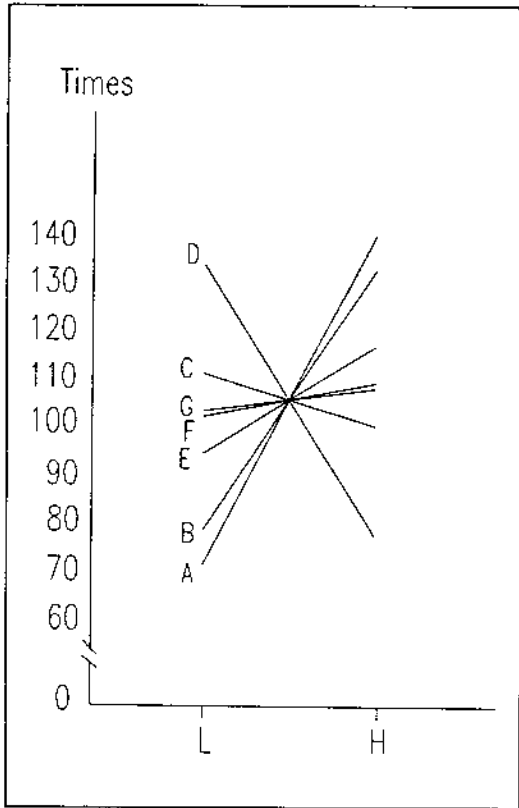


그림 4. 데이터 입력에 대한 인자별 평균반응

이상으로 우리는 PCB 내층제조 전 과정에 대하여 시뮬레이션 프로그램을 작성하고 실험을 통하여 설정한 평가기준에 대한 분석을 수행하였다. 이제까지의 실험을 바탕으로 총 system time 중 순수가공시간을 제외한 손실시간(loss

time) 및 단위시간당 생산율등의 수행평가 기준등을 추가한 그리고 인자들간의 교호작용들을 고려한 더욱 상세한 실험을 수행하고 결과들을 분석하였다. 이들의 내용을 종합하여 불때 다음과 같은 결론을 내릴 수 있다.

- 1) 주문도착의 빈도에 대하여 모든 수행척도가 민감하게 반응함을 실험을 통하여 알 수 있다. 특히, 주문의 성수기에 있어 시스템 수행도가 최악의 상태로 전락한다. 따라서, 이 경우 제조 lead time 및 제조시간상의 낭비가 심하며 추가로 일정계획의 변경이 빈번하므로 소비자의 요구에 대응하는 체계적인 생산 및 일정계획의 수립 및 기타 예비책이 요구된다.
- 2) 1회 주문량이 적은 경우 즉, 소량주문이 특히 많은 경우 시스템의 수행도가 떨어지며 시간상의 많은 낭비가 초래된다. 따라서 이를 해결하기 위한 개선방안이 요구되며, 예로 소량 샘플전용 라인의 구축은 제조시간상의 낭비를 방지하는데 가장 크게 기여할 수 있다.
- 3) 공정 운영상의 트러블은 주로 주문의 빈도, 주문량, 불량률 그리고 batch size 등에 의하여 크게 좌우된다. 이중 불량률의 증가는 제품의 품질저하 측면외에 생산라인의 트러블을 일으키는 주요인이며, batch size가 작은 경우 역시 공정 운영상의 어려움이 예측된다. 따라서, batch size를 줄이기 위하여는 효율적인 라인운영을 위한 일정계획 알고리즘이 중요한 선결과제이다.
- 4) 주요 공정상의 데이터 입력 횟수 역시 주문빈도, 주문량 그리고 batch size 등에 의하여 민감하게 반응된다. 주문도착빈도, 주문량이 큰 경우 또 batch size가 작은 경우 추가적인 컴퓨터의 load가 감지된다.

이상으로 우리는 인자별 수준의 변화를 통하여 시스템이 변화하는 경향을 분석하였다. 한가지 주의할 점은 이들 결과가 본 연구에서 가정한 변화와 입력변수값들의 영역내에서 분석한 것이라는 점이며 그밖의 영역에서는 다른 결과가 도출될 수 있다는 점이다.

그러나, 실제 시스템의 운영 측면에서 타당성 있는 결과이며 정량적이고 구체적인 결과를 도출하였다는 점에서 중요하다.

5. 결 론

본 연구는 시스템의 자동화, 전산화 측면에서 중요하게 고려되는 시스템의 동적 수행도를 분석하고자 PCB 제조 시스템을 대상으로 수행되었다. 우선, 전반적인 PCB 시스템의 개괄적인 운영실태를 파악하고 시스템의 특성을 고찰하였다. 다음으로 시스템 수행에 대한 몇가지 측면의 수행평가 기준들을 설정하고 동시에 이들에 영향을 미치는 변수들을 선정하였으며, 시스템의 운영상 수반되는 시스템 내외의 다양한 변화를 고려 이

들을 컴퓨터 시뮬레이션 모형에 반영하였다. 마지막으로, 주어진 입력변수들의 다각적인 변화에 대한 실험을 통하여 설정한 수행도 각각에 대한 결과를 수집하였다. 이상의 과정을 통하여 얻은 결과로 시스템의 성능을 예측하고 실제 기업의 측면에서 보다 효율적인 시스템 운영 및 향후의 개선안에 대한 수행평가의 가능성을 제공하였다는 점에 본 연구의 의의가 있다.

본 연구는 기존 PCB 제조과정중 내층공정을 주된 대상으로 하였으나 보다 폭 넓은 영역에 대하여 본 연구에서 설정한 평가기준외의 척도등에 대한 분석을 통하여 연구를 수행함이 향후의 좋은 과제이다. 또한 CIM과 같은 새로운 시스템의 구축과정상 필수불가결한 단계중 하나가 기존 시스템 및 개선안에 대한 평가 및 비교분석이다. 본 연구에서는 기존의 시스템을 중심으로 고찰하였으나 개선안을 고려한 엄밀한 비교분석을 통하여 새로운 시스템 구축상의 타당성 분석측면으로 발전시키는 것이 가능하며 향후의 연구과제라 할 수 있다.

참 고 문 헌

1. Lin, L. and Cochran, J. K., Optimization of a Complex Flow Line for Printed Circuit Board Fabrication by Computer Simulation, *Journal of Manufacturing Systems*, vol. 6, no. 1, pp. 47-57, 1987.
2. Phadke, M. S., *Quality Engineering Using Robust Design*, Prentice-Hall International Inc., 1989.
3. Pritsker, A. Alan B., *Introduction to Simulation and SLAM II*, John Wiley and Sons, Inc., New York, 1986.
4. Pritsker, A. Alan B., *SLAMSYSTEM Total Simulation Project Support*, Pritsker & Associates, Inc., 1988.
5. Ranky, P. G., *Manufacturing Database Management and Knowledge Based Expert Systems*, World Class Computer Integrated Manufacturing(CIM) Series, 1990.
6. Young, R. E., Vesterager, J., Wichmann, K. E. and Heide, J., Simulation Uses in CIM Development, *Int. J. Computer Integrated Manufacturing*, vol. 1, no.1, pp.50-54, 1988.
7. Young, R. E. and Vesterager, J., An Approach to CIM System Development whereby Manufacturing People Can Design and Build Their Own CIM

Systems, *Int. J. Computer Integrated Manufacturing*, vol. 4., no. 5, pp.288-299, 1991.

C.B. 생산공정의 운영분석, 한국시뮬레이션 학회 논문지, 제 1 권, 제 1 호, pp.17-24, 1992.

8. 김만식, 이영해, 시뮬레이션을 이용한 다층 P.

부 록 - SLAM II Network Diagram

PCB 제조시스템을 모형화하기 위해 시뮬레이션 프로그램을 작성하였으며 본 연구에서 고려한

내층 제조과정의 SLAM Network Diagram을 그림 A-1에 도시하였다.

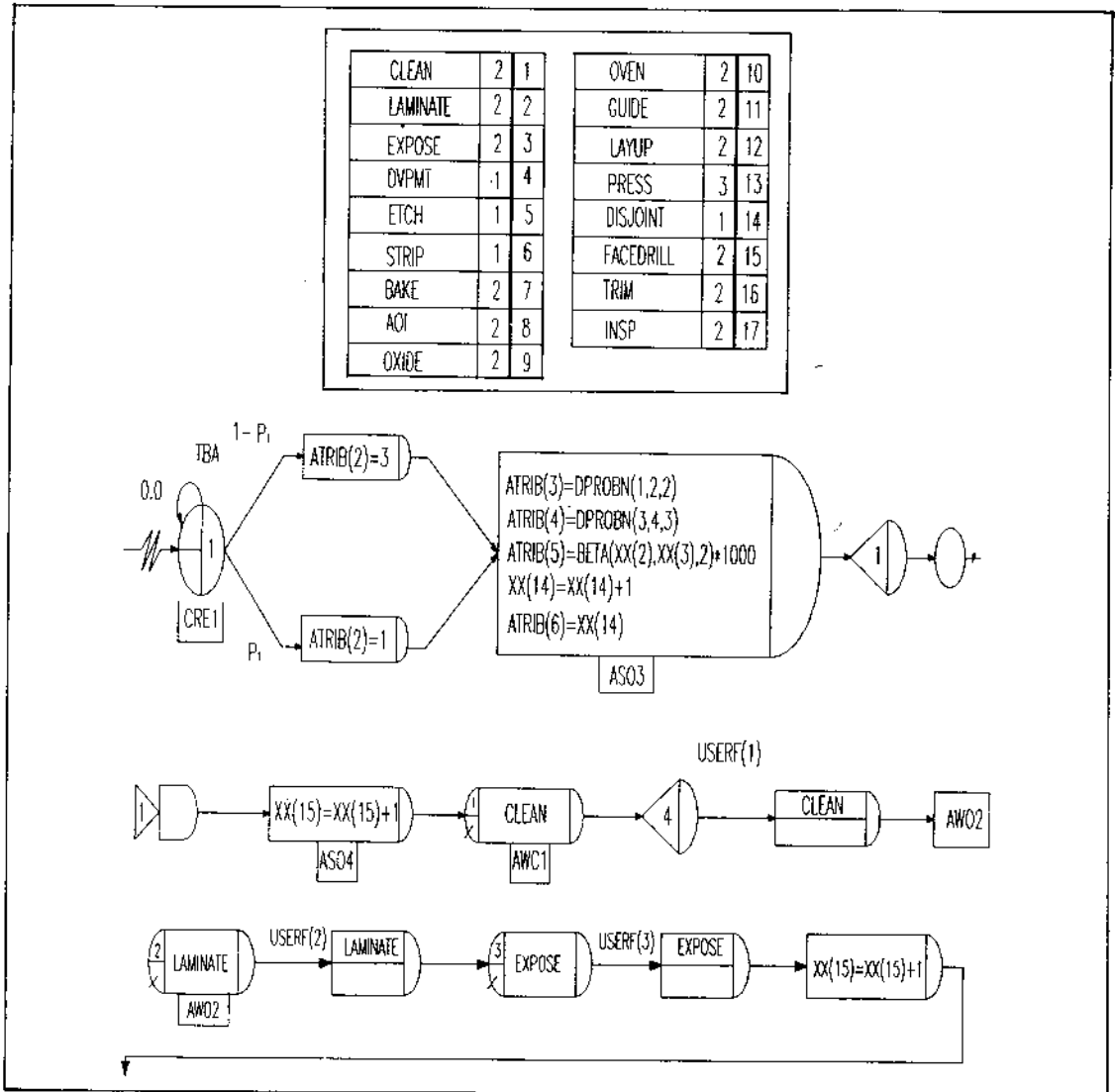


그림 A-1. SLAM Network Diagram -- (계속)

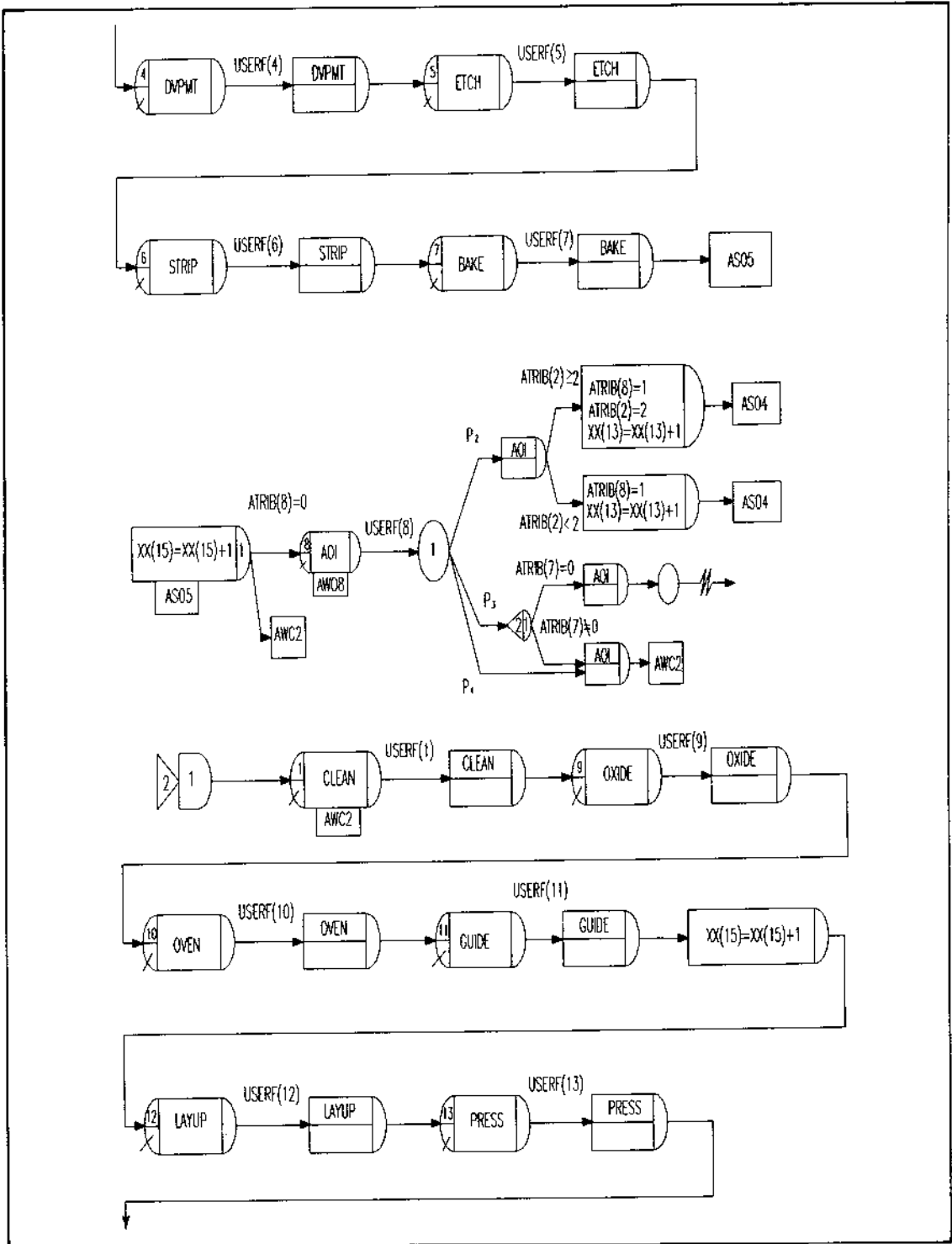


그림 A-1. SLAM Network Diagram - (계속)

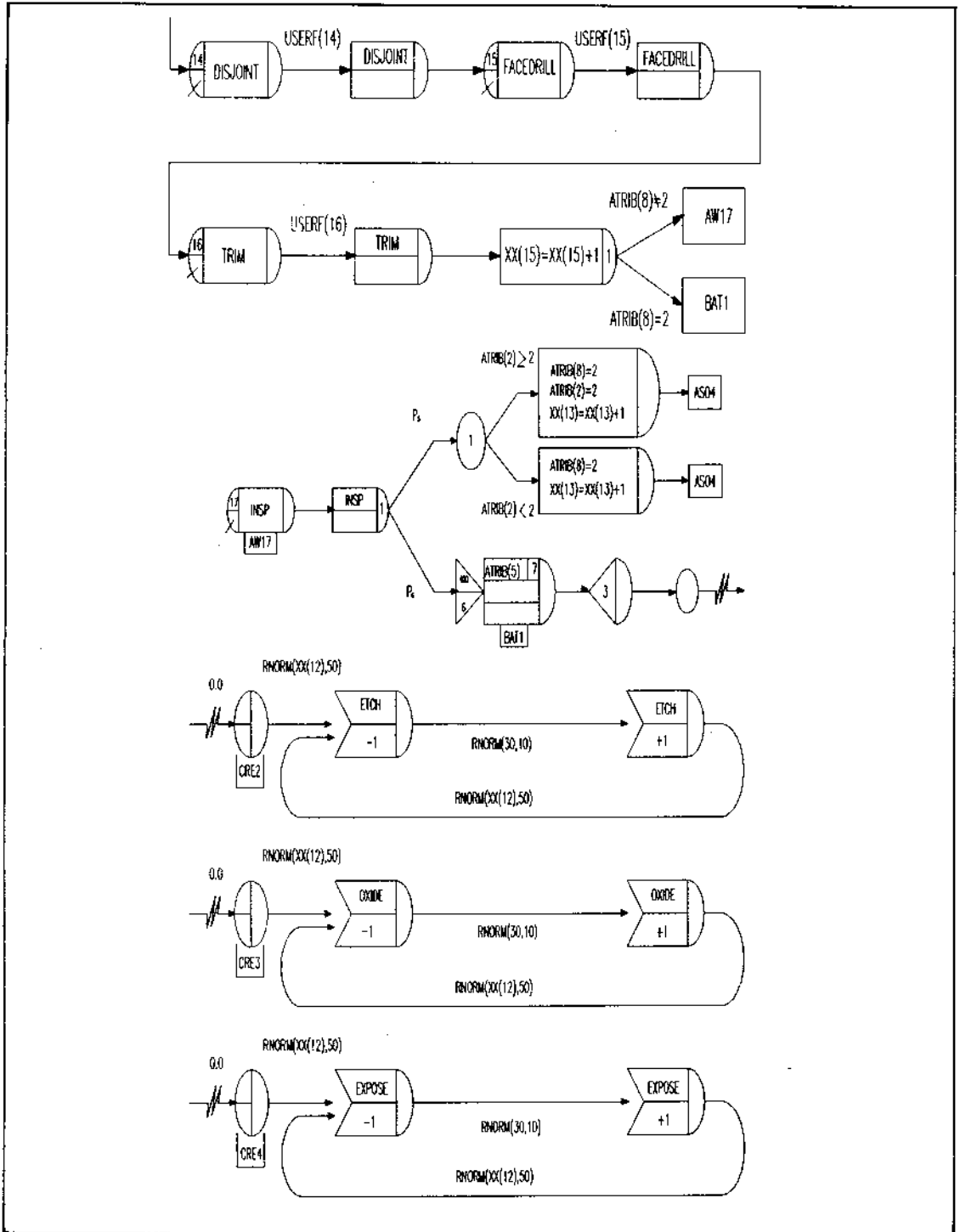


그림 A-1. SLAM Network Diagram-(계속)

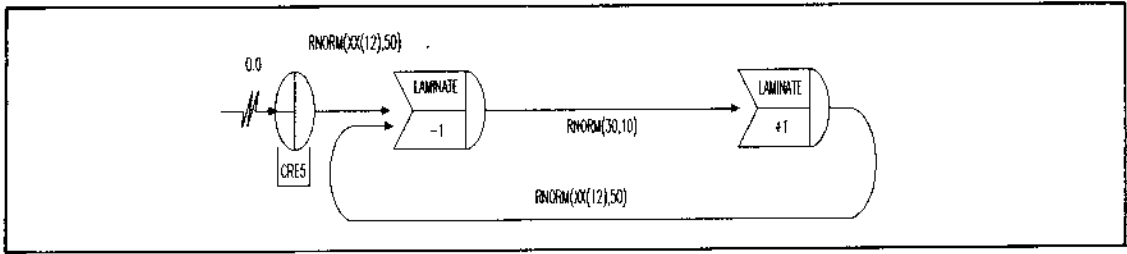


그림 A-1. SLAM Network Diagram

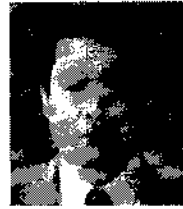
저 자 소 개



전태보(全泰備)

1953년 8월 18일생. 1982년 고려대 공과대학 산업공학과 졸업. 1985년 미국 Auburn University 대학원 산업공학

과 졸업(석사), 1989년 동 대학원 산업공학과 졸업(공학박사). 현재 강원대학교 산업공학과 교수.



김영휘(金永輝)

1935년 9월 12일생. 1960년 서울대 공과대학 전기공학과 졸업. 1967년 미국 Oklahoma State University 대학원

산업공학과 졸업(석사), 1970년 미국 Virginia Polytechnic Institute and State University 대학원 산업공학과 졸업(공학박사), 한국 생산성본부 훈련위원, 1987-1988년 대한 산업공학회 회장 역임. 현재 고려대학교 공과대학 학장 겸 산업공학과 교수.



마상혁(馬相赫)

1967년 3월 7일생. 1990년 강원대 공과대학 산업공학과 졸업, 1993년 동 대학원 산업공학과 졸업(석사).