

염소(Chlorine)가 도입된 SiO₂/Si 계면을 가지는 게이트 산화막의 특성 분석

유병곤 · 유종선 · 노태문 · 남기수

한국전자통신연구소 반도체연구단
(1993년 2월 27일 접수)

Characterization of Gate Oxides with a Chlorine Incorporated SiO₂/Si Interface

Byoung-Gon Yu, Jong-Son Lyu, Tae-Moon Roh and Kee-Soo Nam

Semiconductor Technology Div., Electronics and Telecommunications Research Institute
(Received February 27, 1993)

요 약 - 두께가 6~10 nm인 게이트 산화막의 계면에 염소(Cl)를 도입시킨 n-MOS capacitor 및 n-MOSFET을 제작하여 물성적인 방법(SIMS, ESCA)과 전기적인 방법에 의해서 소자의 특성을 분석, 평가하였다. Last step TCA법을 이용하여 성장시킨 산화막은 No TCA법으로 성장시킨 것보다 mobility가 7% 정도 증가하였고, 결함 밀도도 감소하였다. Time-zero-dielectric-breakdown(TZDB)으로 측정된 결과, Cl을 도입한 막의 파괴 전계(breakdown field)는 18 MV/cm인데, 이것은 Cl을 도입하지 않은 것보다 약 0.6 MV/cm 정도 높은 값이다. 또한 time-dependent-dielectric-breakdown(TDDB) 결과로부터 수명이 20년 이상인 것으로 평가되었고, hot carrier 신뢰성 측정으로부터 평가한 소자의 수명도 양호한 것으로 나타났다. 이상의 결과에서 Cl을 계면에 도입시킨 게이트 산화막을 가진 소자가 좋은 특성을 나타내고 있으므로 Last step TCA법을 종래의 산화막 성장 방법 대신에 사용하면 MOSFET 소자의 새로운 게이트 절연막 성장법으로서 대단히 유용할 것으로 생각된다.

Abstract - We have developed a technique for growing thin oxides (6~10 nm) by the Last step TCA method. N-channel metal-oxide-semiconductor (n-MOS) capacitor and n-channel metal-oxide-semiconductor field-effect transistor's (MOSFET's) having a gate oxide with chlorine incorporated SiO₂/Si interface have been analyzed by electrical measurements and physical methods, such as secondary ion mass spectrometry (SIMS) and electron spectroscopy for chemical analysis (ESCA). The gate oxide grown with the Last step TCA method has good characteristics as follows: the electron mobility of the MOSFET's with the Last step TCA method was increased by about 7% and the defect density at the SiO₂/Si interface decreases slightly compared with that with No TCA method. In reliability estimation, the breakdown field was 18 MV/cm, 0.6 MV/cm higher than that of the gate oxide with No TCA method, and the lifetime estimated by TDDB measurement was longer than 20 years. The device lifetime estimated from hot-carrier reliability was proven to be enhanced. As the results, the gate oxide having a SiO₂/Si interface incorporated with chlorine has good characteristics. Our new technique of Last step TCA method may be used to improve the endurance and retention of MOSFET's and to alleviate the degradation of thin oxides in short-channel MOS devices.

1. 서 론

Submicron 기술을 이용한 대표적 소자인 16M DRAM의 양산화 시대가 다가오고, 0.3 μm 공정 기술에 의한 64M DRAM도 95년에는 생산될 전망이다. 게이트 산화막은 16M DRAM에 15 nm의 두께를 채택하고 있으며, 64M DRAM에는 10 nm 정도가 될 것이다. 또한, capacitor 절연막은 산화막 환산으로 각각 6 nm, 5 nm 이하가 될 것이다. 고집적 및 고속화를 목표로 하는 CMOS(complementary metal-oxide-semiconductor) 공정 기술에서 게이트 산화막은, 0.5 μm에서 10 nm, 0.3 μm에서는 8 nm 이하의 한 세대 빠른 박막화가 요구되고 있다[1, 2]. 이와 같은 절연막의 박막화에 따라 소자 구조의 3차원적 전계 집중에 의하여 절연막에 가해지는 전계는 증가하고, 따라서 신뢰성의 확보가 중요한 과제로 되고 있다. 이를 완화하기 위하여 최근에는 저전압화도 진행되고 있으나, 속도 측면에서 단점이 되고, capacitor 전하 확보가 어려운 문제로 대두되고 있다. 이 때문에 단결정 규소 기판 상에 열산화된 SiO₂ 막의 박막화에는 여러가지 난제가 뒤따르게 된다[3-6]. 따라서 규소 위에 신뢰성이 탁월한 초박 절연막(ultra-thin oxide)을 형성하는 것이 전술한 소자의 실현을 위하여 필요하고, 또한 deep submicron 소자의 실현에 요소가 될 것이다[7].

이러한 deep submicron 소자에 사용되는 절연막은 결함 밀도(defect density)가 적어 절연 내압이 높고, 방사선조사(radiation)에 강하고, time-dependent-dielectric breakdown(TDDB) 수명 등의 장기 신뢰성이 탁월한 특성을 갖출 필요가 있다. 이러한 요구에 부응하는 절연막으로서 열산화막과 질화산화막이 연구되고 있다.

본 연구에서는 6~10 nm 두께의 양질의 절연막을 얻기 위하여 Last step TCA법을 사용하여 Cl을 SiO₂/Si 계면에 도입함으로써, 계면 트랩 밀도(interface trap density)가 낮을 뿐 아니라 파괴 전계(breakdown field)가 높고 수명도 길며 hot carrier injection에 대하여 저항성이 강한 초박 게이트 산화막을 제조하였다. 이러한 게이트 산화막을 가지는 소자의 특성을 물성적인 방법과 전기적인 방법에 의하여 분석, 평가하였다.

2. 실험 방법

2.1. n-MOS Capacitor와 n-MOSFET의 제작

본 실험에서 시료를 만들기 위한 제조 공정 순서는 그림 1과 같다. 게이트 산화막을 형성할 때 trichloroethane(TCA : C₂H₃Cl₃)을 산화막 성장의 마지막 단계에 5분간만 넣는 것 이외에는 통상의 n-MOS 공정과 동일하다. 다음에 n-MOS 소자의 제조 공정을 간단하게 설명하기로 한다.

0.8~1.15 ohm-cm (100) 규소 웨이퍼 위에 일반적인 LOCOS(LOCAl Oxidation of Silicon) 방법을 사용하여 소자간의 격리를 형성하였다. N-MOS 트랜지스터의 문턱 전압을 조절하기 위하여 희생 게이트 산화막을 성장시킨 후 웨이퍼 전면에 붕소를 40 keV의 에너지와 2×10¹² cm⁻²의 도우즈로 이온-주입한다. 문턱 전압 이온-주입이 끝나면 희생 게이트 산화막을 제거하고 다음과 같은 세 가지 방법으로 게이트 산

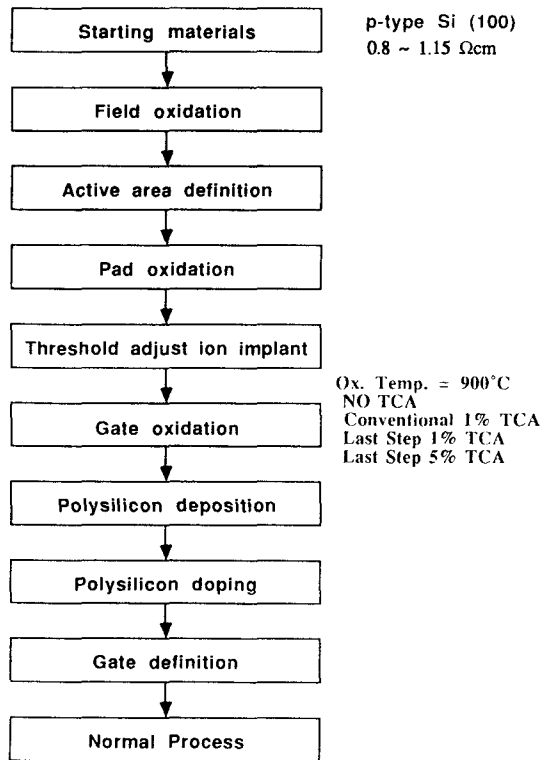


그림 1. NMOS 트랜지스터와 MOS capacitor 제작의 공정 순서도.

화막을 성장시킨다.

(1) No TCA법 : 900°C에서 TCA 도입이 없이 건식 산화(dry oxidation)시키는 방법.

(2) Conventional 1% TCA법 : 900°C에서 산화가 시작될 때부터 TCA 1%(O₂ 분압에 대한 TCA의 분압률)를 도입하여 건식 산화가 끝날 때까지 사용하는 방법.

(3) Last Step TCA법 : 900°C에서 처음에는 TCA를 도입함이 없이 건식 산화를 시키다가 마지막 단계에서 3분 혹은 5분 동안 1% 혹은 5% TCA를 도입하여 건식 산화를 시키는 방법.

그런데, 게이트 산화막을 형성할 때나 형성한 다음에 채널의 농도 프로파일이 과도하게 변화하는 것을 방지하기 위하여 가능하면 저온에서 (900°C 이하의 온도) 제반 공정을 수행하였다.

다결정 규소를 증착하여 POCl₃로써 도우핑시킨 후 mask를 이용하여 게이트를 정의한다. 비소를 이온-주입하여 (50 keV, $5 \times 10^{15} \text{ cm}^{-2}$) n⁺ 영역을 정의하고 low temperature oxide(LTO)를 600 nm의 두께로 증착한 후 900°C에서 30분 동안 drive-in 한다. Contact mask를 이용하여 접촉 부위를 형성하고 포토레지스트를 제거한 다음 규소 표면을 청정한다. Al-1% Si을 1 μm의 두께로 증착하여 사진전사 작업에 의하여 금속 배선을 형성한 후 420°C, N₂/H₂ 분위기에서 30분 동안 열처리한다.

3. 결과 및 고찰

3.1. n-MOS Capacitor에 의한 산화막의 특성 평가

3.1.1. TCA 유무에 따른 산화막 형성

얇은 산화막에서 막의 특성을 크게 좌우하는 것은 계면의 상태라고 생각된다. 열산화 메카니즘, 즉, 산소가 이미 생성된 SiO₂ 막을 통과하여 SiO₂/Si 계면에 도달하여 새로운 산화막이 생성되는 것을 착안하여 마지막 단계에서 5분간만 TCA를 도입하였다. SiO₂/Si 계면에 존재하는 계면 트랩을 줄이는 데 TCA 중에 함유된 Cl이 큰 역할을 할 것이다.

그림 2는 본 실험에 사용할 규정된 두께의 게이트 산화막을 얻기 위한 실험으로서, 열산화 시간에 따라 성장시킨 산화막의 두께를 측정된 결과이다. 900°C에서 10 nm의 산화막을 성장시킬 때, Conventional

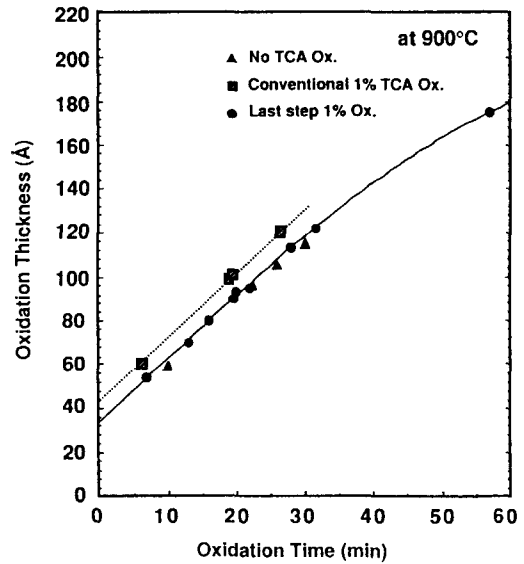


그림 2. 1% TCA를 도입할 때와 하지 않을 때의 시간에 따른 산화막의 두께.

1% TCA법이 Last step 1% TCA법보다 10% 정도로 산화막 성장율의 증가를 보이고 있다. 이것은 Conventional 1% TCA법은 처음부터 TCA에 의한 Cl이 도입되므로 Last step 1% TCA법 보다는 산화막 성장 속도가 빠른 것이다. 막의 두께는 ellipsometer 측정에 의한 값과 C-V 측정에서 얻어진 최대 capacitance (C_{max})를 이용하여 구하였다. 양쪽에서 거의 같은 값을 얻을 수 있었다. 위의 결과는 ellipsometer로 측정된 값이다. No TCA법으로 성장시킨 산화막 두께는 Last step 1% TCA법으로 성장시킨 산화막 두께와 큰 차이가 없음을 알 수 있다.

3.1.2. 염소 농도 프로파일

Cl이 SiO₂/Si 계면에 있다는 것을 확인하기 위하여 실제로 사용되는 게이트 절연막보다 두꺼운 50 nm의 산화막을 성장시켜 SIMS 분석을 하였다. 그림 3은 그 결과를 나타낸다. No TCA의 시료에서는 계면에 Cl이 거의 보이지 않으나 Last step 1%의 시료에서는 계면 부근에서 Cl의 peak가 보인다. 한편, Last step 5% TCA법에 의하여 생성된 막의 계면에서 Cl을 확인하기 위하여 ESCA 분석한 결과를 그림 4에 나타내었다. 이 결과에서 보면 Cl의 2p와 2s가 동시에 계면 부근에 나타나므로, 측정 noise가 아니라, 계면 부근에 Cl이 축적(pile-up)되어 있는 것으로 사료된다. 산화

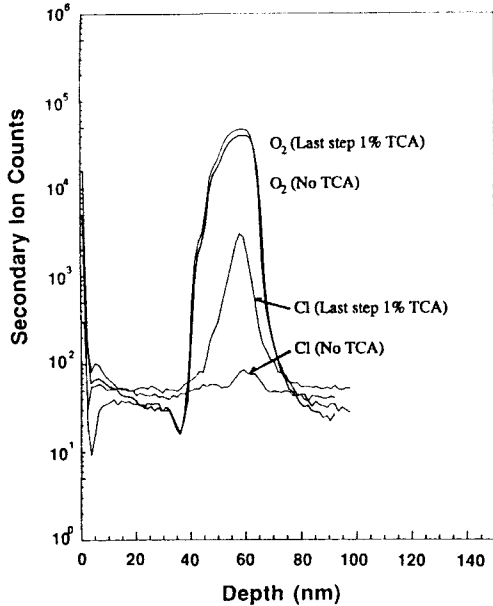


그림 3. No TCA 산화와 Last step 1% TCA 산화 후 Cl의 SIMS 프로파일.

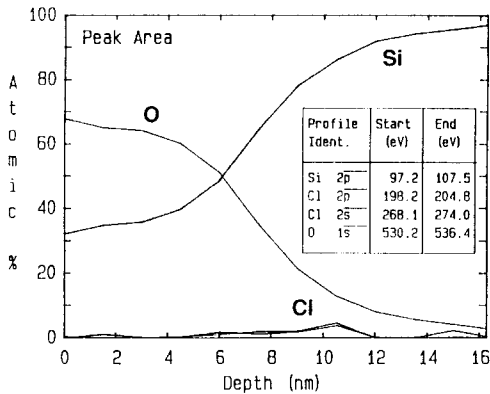


그림 4. Last step 1% TCA 산화 후 Cl의 ESCA 프로파일.

막의 특성을 크게 좌우하는 것 중의 하나는 계면의 dangling bond에 의한 계면 트랩이다. 이 계면 트랩은 H, Cl, F 원자가 dangling bond와 결합함으로써 줄어들 수 있다[8,9]. ESCA 분석 결과 계면에 Cl이 축적되어 있으므로 SiO₂/Si 계면에 존재하는 계면 트랩 밀도(interface trap density)를 줄이는 데 Cl이 큰 역할을 할 것으로 생각된다.

3.2. 전기적 특성 분석

전기적 측정만으로 소자 특성을 완전하게 이해하지는 못하지만 소자 특성에 관련된 것을 직접 측정할 수 있고 또한 매우 적은 양을 고감도로 측정할 수 있는 장점이 있다. 게이트 절연막의 특성 평가를 위하여 절연 파괴(dielectric breakdown) 특성[10]과 계면 트랩 준위(interface trap level)의 성질[11] 및 그 mechanism을 이해하는 것이 중요하다. Cl을 계면에 도입한 게이트 산화막의 전기적 특성을 연구하기 위하여 MOS capacitor에서 전류-전압(I-V) 특성, 절연 파괴의 특성, 정전류 스트레스(stress) 전후에 측정된 고주파 용량-전압(C-V) 특성 및 quasi-static C-V 특성, time-dependent-dielectric-breakdown(TDDb) 특성을 조사하였다.

3.2.1. 게이트 산화막의 파괴 특성

우선 먼저 각 시료에 대한 I-V 특성을 측정하였다. 그림 5는 6 nm와 9.8 nm의 게이트 산화막을 가진 capacitor의 I-V 측정 결과이다. 측정에 사용된 MOS capacitor의 크기는 100×100 μm²이다. 6 nm의 게이트 산화막에서는 9.4 V에서, 9.8 nm의 게이트 산화막에서는 14.8 V에서 완전한 파괴가 일어나고 있다.

Time-zero-dielectric-breakdown(TZDB)은 게이트 산화막 특성 평가의 효과적인 방법의 하나이다[12]. 이것은 짧은 시간에 data를 얻을 수 있는 잇점이 있다. 이 방법을 사용하여 산화막의 파괴 전압을 구하는 데는 HP4145A semiconductor parameteric analyzer를 사용하였다. 게이트 전압을 시간에 따라 선형적으로 증가시켜 게이트 전류가 급격하게 변화하여 누설 전류(leakage current)가 10⁻² A일 때의 게이트 전압을 파괴 전압으로 하였다.

그림 6은 a) No TCA, b) Last step 1% TCA, c) Conventional 1% TCA, d) Last step 5% TCA에 의한 시료에 대한 파괴 전압을 측정한 결과이다. 그림 6에서는 횡축이 파괴 전계로 환산되어 있다. Cl을 도입시킨 막이 Cl이 도입되지 않은 막보다 파괴 전계가 높는데, 그 중에서도 Last step 5% TCA 시료가 No TCA 시료보다는 0.6 MV/cm 정도 높은 것을 알 수 있다. 또한 파괴가 일어나는 전계의 분포도 Last step TCA 시료가 양호한 것을 알 수 있다. Cl을 주입시킨 막의 파괴 전계는 평균적으로 약 18 MV/cm 정도로 나타나고 있다. 이것들은 지금까지 보고[13,14]된 것보다 약 3 MV/cm 정도 높은 값이다. 이것은 Cl이 SiO₂/Si 계면 및 산화막내의 결함을 줄이고 막의 균

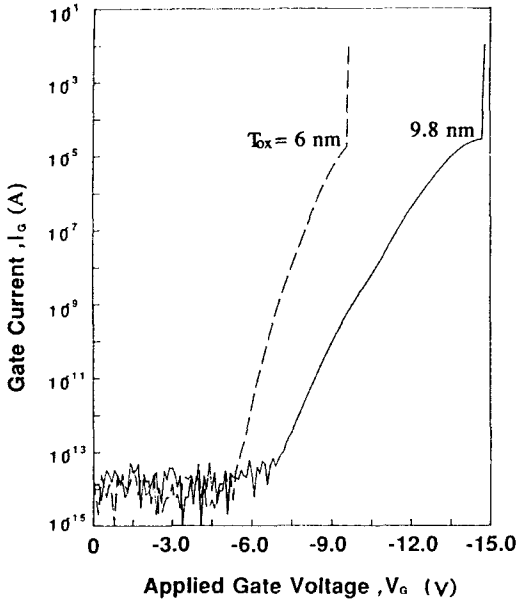


그림 5. Last step 1% TCA 산화법에 의한 게이트 산화막을 가진 소자의 게이트 전류(I_g)-게이트 전압(V_g)의 특성.

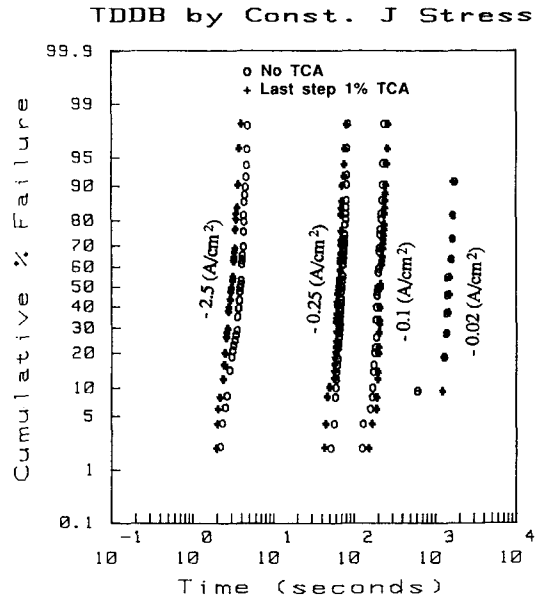


그림 7. 스트레스 전류 밀도에 따른 시간-의존-절연-파괴 (TDDB) 특성.

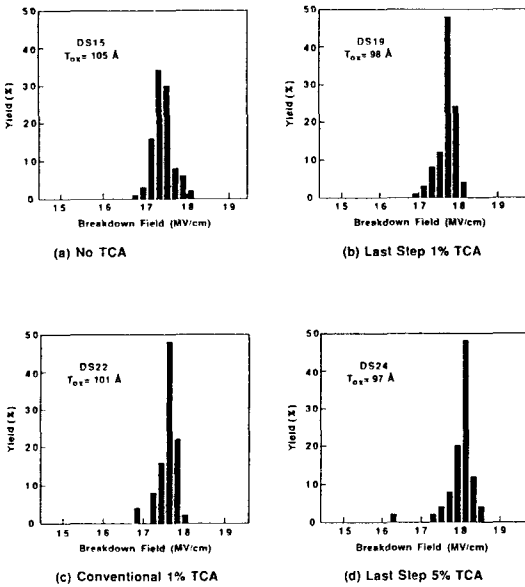


그림 6. 산화막의 성장 방법이 다른 게이트 산화막의 절연 파괴 전계의 분포.

일성(uniformity)이 개선되었기 때문이라고 사료된다. 즉, weak oxide 영역이 적은 막이 생성됨을 의미한다.

TDDB는 VLSI MOS에 대한 고장 메커니즘(failure

mechanism)을 연구함에 있어서 좋은 측정 방법 중의 하나이다[15-18]. 특히 산화막의 신뢰성 평가는 고장 메커니즘의 검출과 예측을 목표로 하고 있다. TDDB 특성을 정전류 스트레스 방법으로 조사하였다. 측정된 TDDB 결과로부터 산화막의 결함 밀도, 수명, 절연 파괴 전하량 등을 평가하였다.

CI 도입의 유무에 따른 TDDB 측정 결과를 그림 7에 나타내었다. 누적 % 고장율(cumulative percentage failure)을 파괴 시간에 관한 함수로서 표시하였다. 이 분포에서는 전성 절연 파괴(intrinsic breakdown)와 관련된 것과 결함에 관련된 파괴를 동시에 가질 수 있다. CI이 도입되지 않은 막에서는 그 양상이 조금 보이고 있으나 CI이 도입된 막에서는 거의 모든 시료에 대하여 결함과 관련된 초기 단계의 파괴는 찾아볼 수 없었다. 이것은 파괴를 유발할 수 있는 막의 균일성 등에 기인한, weak spot이 거의 없음을 뜻하는 것이다.

산화막의 전기적 평가 기준을 설정하기 위하여 50% 누적 고장율에 도달하는 시간을 스트레스 전류 밀도의 함수로서 그림 8에 표시하였다. 이 그림은 여러가지 스트레스 전류 조건에 따른 TDDB 측정 결과를 나타내고 있다. 스트레스 전류 밀도가 낮을 수록 Last step 1% TCA 시료의 파괴 시간이 길어지는 것을 볼

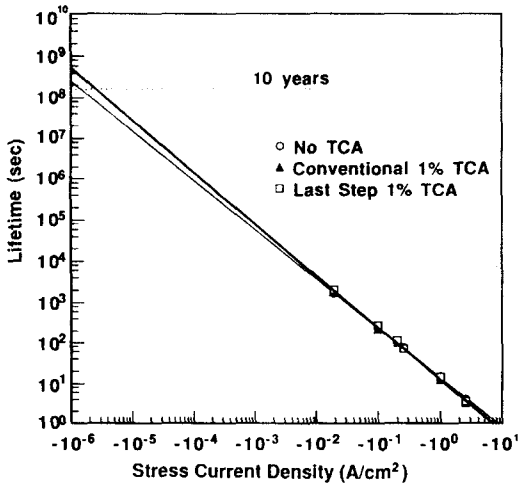


그림 8. 스트레스 전류 밀도에 따른 게이트 산화막의 절연 파괴 시간(t_{bd}) 및 수명.

수 있고, 또한 No TCA 시료에서는 스트레스 전류 밀도가 높을 수록 파괴 시간이 길어짐을 볼 수 있다. 그림에서 보인 기율기로부터 절연막의 파괴 수명을 평가할 수 있다. 실제의 소자 동작 조건인 전류 밀도 $-1 \mu\text{A}/\text{cm}^2$ 에서의 수명을 예측해 보면, 전 시료에서 수명이 10년 이상인 것을 알 수 있다. 위의 결과로부터 저전기장 즉, 소자가 동작하는 영역에서 Cl을 도입시킨 산화막의 수명이 상대적으로 좋으며, 수명이 20년 이상으로서 실용 소자에 충분히 적용될 수 있다.

3.2.2. 파괴 메커니즘(Breakdown Mechanism)

TZDB[19]는 TDDB[20, 21]와는 그 메커니즘이 다르다. 우선 TZDB는 주로 공정에서 생성되는 결함에 의하여 일어난다고 볼 수 있다. 이 결함에서는 개념은 산화막이 생성될 때 SiO₂/Si 계면 혹은 SiO₂ 막 중에 불순물 첨가, 또는 불균일성 등에 기인된 weak oxide 영역이 생성된 것을 말한다. 이 weak oxide에서 국소적인 전기장이 물리게 될 때 전류는 급속하게 증가되어 절연 파괴 현상이 일어나게 된다.

TDDB는 MOS 직접 회로의 주된 고장 방식(failure mode)의 하나로 인식되어 왔다. 산화막의 두께가 점점 얇아지면서 신뢰성에 있어서 TDDB 측정은 더욱 더 큰 관심을 가지게 되었다. 산화막의 수명을 예측하는 것과 초기 고장을 없애기 위한 공정을 도입하기 위한 다양한 모델이 제안되고 있다.

물리적 메커니즘에 기초를 둔 정량적 방식[21]을 살펴보면 파괴는 대부분 음극(cathode) 계면 부근의

국소적 면적에서 충돌 이온화(impact ionization)을 통하여 주입된 전자에 의하여 생성된 hole의 축적에 기인된 것이라고 생각된다. 전체 산화막 면적에서 단지 10⁻⁵에서 10⁻⁶의 비율만 점유하는 국소적 hole trapping은 국소 음극 전계를 증가시키고 이 영역을 통하여 tunnel할 전자를 유도한다. 이 정량적 모델은 hole trapping을 가능하게 하는 “결함들(defects)” 또는 “고유한(inherent)” 것에 기인한 어떤 weak spot를 가진 산화막을 전제로 한다. 이 weak spot에 음극 전계의 집진적인 변화는 trap된 전자나 holes에 의하여 영향을 받게 된다. 충분한 수의 hole trap이 일 어났을 때 positive feedback 효과는 일어날 것이다. 그 때 weak spot에서의 전류는 극대로 크게 되어 제어할 수 없는 상태로 된다. 이 positive feedback이 결국은 산화막을 파괴로 유도한다. 그러므로 산화막의 전하량(Q_{ot})이 임계값에 도달하는 시간, 즉 파괴 시간 (t_{bd})이 결국 수명이 되고 이 때의 전하량을 파괴 전하량(charge of breakdown; Q_{bd})이다. Constant-current 스트레스 경우에는 carrier trapping과 트랩 생성은 파괴 과정을 가속시킬 것이다. 저전류 밀도 스트레스에서의 Q_{bd} 값은 Cl을 도입하지 않은 산화막보다 Conventional 1% TCA 시료와 Last step 1% TCA 시료와 같이 Cl이 도입된 시료에서 더욱 크게 나타나고 있다. 그러나 고전류 밀도 스트레스에서는 오히려 Q_{bd} 값이 작아짐을 볼 수 있다.

3.2.3. 계면 트랩 밀도(Interface Trap Density)

열산화막을 생성할 때 Si와 SiO₂ 사이에서 1) Si₂O₃, Si₂O 등과 같이 불완전하게 산화된 규소에 의한 mono-layer가 있거나, 2) 10~30 Å 정도로 SiO₂가 이완(strain)된 것이 있거나, 또는 3) strain에 무관한 비정질(amorphous) SiO₂가 남아 있기 때문에 계면이 생성된다고 한다[22, 23]. 이렇게 생성된 SiO₂/Si 계면에는 소자 제작 공정 중 또는 후에 금속 또는 불순물의 확산이나 radiation damage, carrier 주입 등으로 인하여 계면 트랩이 생성되고 이것이 소자 특성에 큰 영향을 미치고 있다. 이에 따라 계면 트랩 밀도를 측정하고 그 mechanism을 이해하는 것은 SiO₂/Si 계면의 특성을 경험적인 것에만 의존하는 것이 아니라 물리적 현상에 기초를 두고 계면을 조절하는데 중요한 기술이 될 것이다. 계면 트랩 밀도의 측정 방법은

- (1) Capacitance-voltage (C-V) 기술[24]

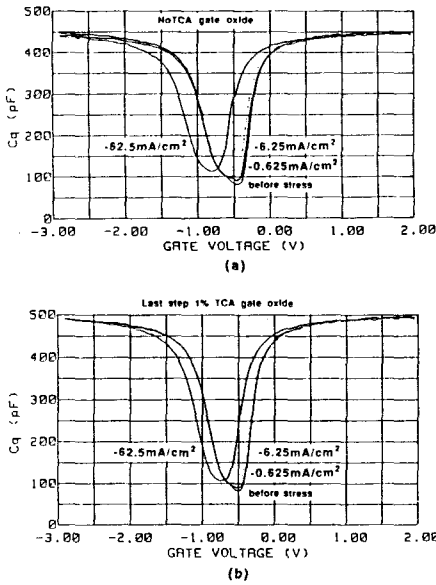


그림 9. No TCA법 (a)과 Last step 1% TCA법 (b)으로 형성된 게이트 산화막을 가진 NMOS capacitor의 실험적 의사-정전 용량-전압(C-V) 곡선(스트레스 전류 밀도: -0.625 , -6.25 , -62.5 mA/cm^2).

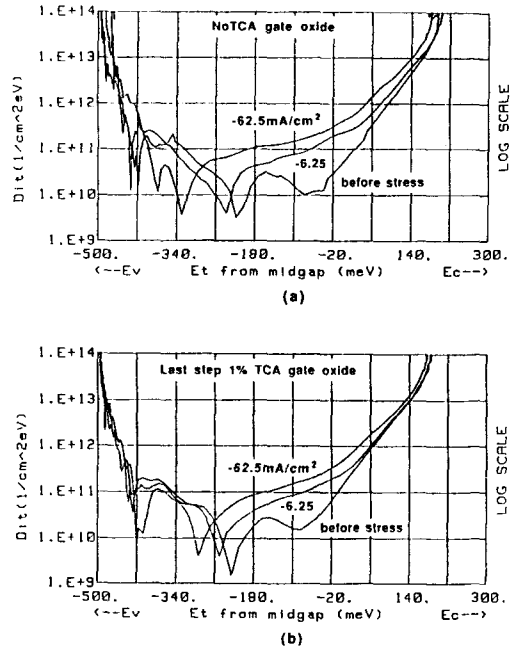


그림 10. No TCA법 (a)과 Last step 1% TCA법 (b)으로 형성된 게이트 산화막을 가진 NMOS capacitor에서 일정 전류 스트레스 전후의 계면 트랩 밀도 분포(스트레스 전류 밀도: -0.625 , -6.25 , -62.5 mA/cm^2).

(2) Charge-pumping 기술[25]

(3) Conductance 기술[26]

(4) DLTS 기술[27, 28]

등이 있다. C-V 기술을 이용한 측정에는, high-frequency capacitance법, low-frequency capacitance법과 combined high-low frequency capacitance법 등의 세 가지가 있다.

본 연구에서는 이론적인 semiconductor capacitance(C_s)를 계산할 필요가 없는 combined high-low (quasi-static) frequency capacitance법을 이용하여 계면 트랩 밀도를 측정, 평가하였다. 계면 트랩 밀도 평가를 위한 C-V 측정은 KEITHLEY 616 digital electrometer로 이루어졌다. 그림 9(a)와 (b)에서는 Cl이 도입되지 않은 막과 Cl이 도입된 막에 대하여 -0.625 , -6.25 , -62.5 mA/cm^2 의 정전류 스트레스를 100초 가한 전후에서 quasi-static C-V 특성의 변화를 나타내었다. 여기서 Cl이 도입된 막보다 Cl이 도입되지 않은 막에서 flat-band 전압 변화가 (-) 방향으로 더 크게 편이됨을 볼 수 있다. 그림 10(a)와 (b)는 combined high-quasi-static frequency capacitance법을 이

용하여 얻어진 계면 전하 밀도 특성 변화를 나타낸 것이다. 스트레스를 가하기 전에 염소-도입을 하지 않은 막과 Cl을 도입한 막의 midgap 계면 트랩 밀도는 각각 $2.5 \times 10^{10} \text{ eV}^{-1}\text{cm}^{-2}$ 와 $2.0 \times 10^{10} \text{ eV}^{-1}\text{cm}^{-2}$ 이다. Cl이 도입된 시료와 도입되지 않은 시료의 비교에서, 염소-도입된 시료가 계면 전하 밀도가 비교적 낮은 경향이 있다. 정량적인 평가에서 -62.5 mA/cm^2 의 정전류 스트레스를 가한 후에 표면 전위에 따른 계면 트랩 밀도 특성은 각각 $8 \times 10^{10} \text{ eV}^{-1}\text{cm}^{-2}$ 와 $1.5 \times 10^{11} \text{ eV}^{-1}\text{cm}^{-2}$ 으로 변화하였다.

3.3. n-MOSFET 소자의 특성 분석

3.3.1. Mobility 및 트랜스컨덕턴스(g_m) 특성

초기 MOSFET의 전기적 특성 즉, 전자 이동도의 게이트 전압 의존성[29, 30]을 상세하게 조사하였다. 그림 11에 세 가지 방법으로 성장시킨 10 nm 두께의 산화막을 게이트 절연막으로 사용하고 채널 폭과 길이가 각각 $30 \mu\text{m}$ 인 n-MOSFET 소자에 대한 I_D - V_D

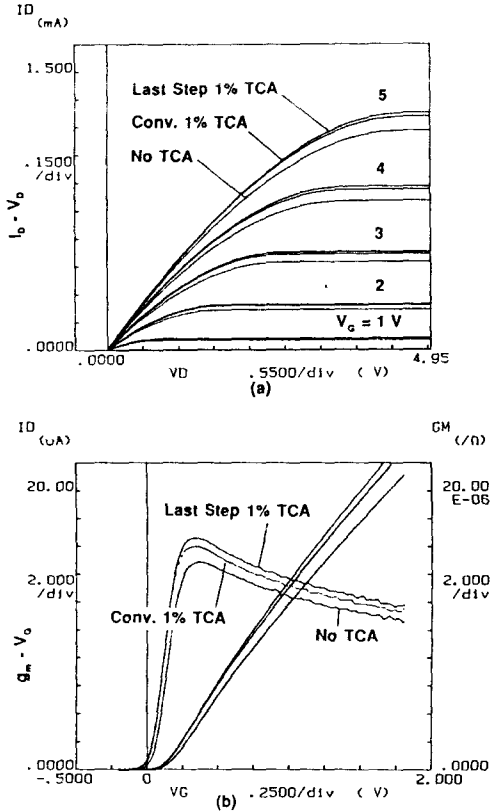


그림 11. N-MOSFET의 드레인 전류(I_D)-게이트 전압(V_G)과 트랜스컨덕턴스(g_m) 특성. (a) 드레인 전류(I_D)-게이트 전압(V_G), (b) 트랜스컨덕턴스(g_m)-게이트전압.

및 g_m - V_G 특성을 나타낸 것이다. Last step TCA법에 의한 것이 게이트 전압이 증가할 수록 상대적으로 드레인 전류가 큼을 알 수 있는데 이는 (b)의 그림에서와 같이 문턱 전압이 감소하고 트랜스컨덕턴스(transconductance, g_m)가 증가하기 때문인 것으로 사료된다. 이 결과로부터 정량적인 평가를 한 것을 그림 12에 나타내었다. 각 시료의 두께에서 오는 효과를 제외시킨 zero-field mobility는 Last step 1% TCA 시료가 No TCA 시료보다 약 7% 정도 향상된 것을 볼 수 있다[31]. 또한 flat-band 전압은 Cl이 도입된 시료들이 대체로 높은 것으로 나타났다. 따라서, Last step TCA법은 고속화합에 있어서 대단히 유용한 산화막 제조 공정이 될 것이다.

3.2.2. 소자 특성의 열화

n-MOSFET에서 드레인 단(edge) 부근의 고전계

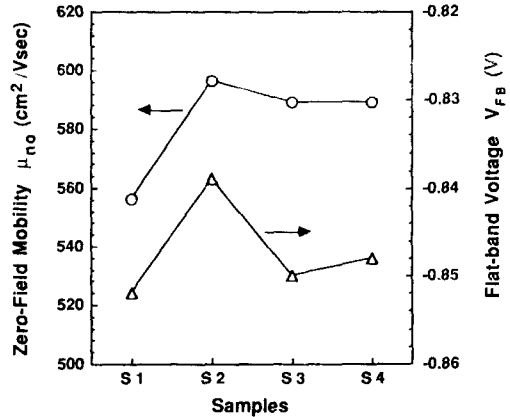


그림 12. 각 조건에 따른 게이트 산화막을 가진 n-MOS-FET의 영-전계 이동도(zero-field mobility)와 플랫-밴드 전압(flat-band voltage).

- S1: No TCA
- S2: Last step 1% TCA
- S3: Conventional 1% TCA
- S4: Last step 5% TCA

영역에서 발생한 hot 전자의 대부분은 드레인에 흡수되고, hot 정공의 대부분은 기판(substrate)으로 흘러 기판전류 I_B 가 된다. 일부분의 hot 전자와 hot 정공은 기판 표면 방향의 운동량을 가지고, 기판과 게이트 산화막 계면의 전위 장벽을 넘어 게이트 산화막 중에 주입된다[32-34]. Hot carrier 주입에 의하여, 기판과 산화막의 계면에 트랩이 발생하기도 하고 일부 carrier가 산화막내에 포획되기도 한다. 이러한 변화를 받는 산화막 영역은 드레인 근처에 폭 0.1 μ m 정도의 극히 국소적인 영역이다. 계면 트랩의 발생과 carrier 포획에 의하여 문턱전압 V_T 가 변화하기도 하고 트랜스컨덕턴스가 열화하기도 하는 소자 특성 변동이 생긴다.

우선 g_m 열화 및 소자 수명 측정 평가에서 채널 길이 의존성을 없애기 위하여 동일 유효 채널 길이를 가지는 소자만을 엄선할 필요가 있다. 이렇게 엄선된 소자의 g_m 열화를 측정할 것을 그림 13에 나타내었다. Last step 1% TCA법으로 생성된 게이트 산화막을 가진 소자가 g_m 열화 현상이 감소됨을 알 수 있다.

3.2.3. 소자의 열화 기구(Mechanism)

Hot 전자 주입과 hot 정공 주입에 의하여 드레인 부근의 기판과 산화막 계면에는 트랩이 생성되고 일부는 드레인 부근의 산화막내에 존재하는 트랩에 포획된다. 따라서 V_T 와 g_m 특성은 발생한 계면 트랩과

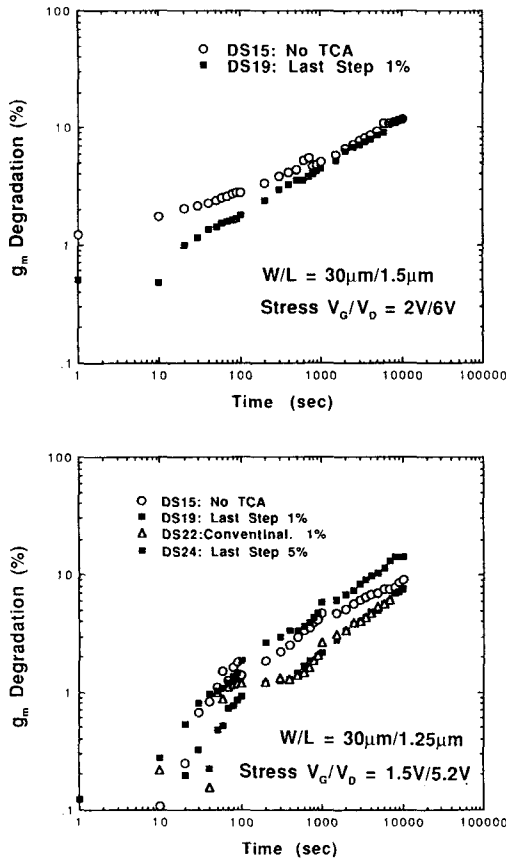


그림 13. 핫-캐리어 효과(hot-carrier effect)에 기인한 n-MOSFET의 트랜스컨덕턴스 열화(Δg_m).

산화막 중의 포획 전하(포획 전자라면 음전하, 포획 정공이라면 양전자)에 의하여 영향을 받는다. 계면 트랩은 기판 규소 표면의 금지대내에 어떤 에너지 분포를 가지고 있는데 금지대 중앙으로부터 전도대 하단까지는 acceptor형, 금지대 중앙으로부터 가전자대 상단까지는 donor형으로 작용한다는 것이 알려져 있다. n-MOSFET의 동작(표면 반전) 상태에서는 기판 표면의 quasi-Fermi 준위가 금지대 중앙과 전도대 하단과의 사이에 존재한다. Quasi-Fermi 준위 이하의 계면 트랩 준위에는 전자가 존재할 수 있으므로 acceptor형 준위 중에서 quasi-Fermi 준위와 금지대 중앙과의 사이의 준위는 전자를 포획하여 음으로 대전한다. 또한 금지대 중앙으로부터 가전자대 상단까지의 donor형 준위는 전자를 보유한 채로 방출하지 않으므로 전기적으로 중성이다. 그러므로 전체적으로 동작

표 1. No TCA와 Last step TCA법으로 성장된 게이트 산화막의 특성 비교

평가항목	No TCA	Last step 1% TCA
성능		
Zero-field mobility (cm ² /Vs)	555	598
계면트랩 밀도 D_{it} (eV ⁻¹ cm ⁻²)	2.5×10^{10}	2.0×10^{10}
Flat-band 전압 V_{FB} (V)	-0.852	-0.841
신뢰성		
TZDB (MV/cm)	17.3	18.1
TDDDB (years) (@ -1 μ A/cm ²)	17.5	24.7
ΔV_{FB} (@ -62.5 mA/cm ² , 100 s)	0.261	0.161
ΔD_{it} (@ -62.5 mA/cm ² , 100 s)	1.5×10^{11}	8×10^{10}
Hot-carrier lifetime (sec)	7.08×10^3	1.27×10^4

상태에서 n-MOS에서는 계면 전하는 음전하로 작용한다. 따라서, quasi-Fermi 준위가 전도대 하단에 접근할 수록(강반전) 전자를 포획할 수 있는 계면 트랩량이 증가하기 때문에 음전하량이 증가한다. 결국 hot 전자 주입에서는 산화막 중의 포획 전자의 음전하와 계면 트랩에 의한 음전하가 발생하며, hot 정공 주입에서는 산화막 중의 포획 정공의 양전하와 계면 트랩에 의한 음전하가 발생한다. 그런데, Cl이 계면에 도입된 산화막에서는 계면 트랩량의 증가가 억제되어 음전하량이 감소하게 된다. Carrier 포획과 계면 트랩 발생의 어느 쪽이 우세하게 될지는 게이트 산화막의 품질 이외에 스트레스 때의 전계 강도와 스트레스 시간에 의존한다고 생각된다.

4. 요약 및 결론

Cl의 유무 및 Last step TCA법에 의한 게이트 산화막을 가지는 소자를 제작하여 물성적, 전기적 평가를 수행하였다. Last step TCA법을 사용하여 성장시킨 게이트 산화막은, No TCA법에 의하여 성장시킨 산화막보다 우수한 특성을 나타내고, 지금까지 발표된 기존의 data와 비교하였을 때도 보다 양호한

특성을 보여준다.

절연막의 성능과 신뢰성을 나타내는 몇 개의 인수를 측정할 결과로부터 평가된 것을 표 1에 나타내었다. 성능면에서 보면 zero-field mobility 평가에서 Last step TCA법을 사용하여 성장시킨 게이트 산화막을 가진 소자가 No TCA 시료보다 7% 정도의 mobility 증가가 있었다. 이는 surface roughness의 개선에 의한 것으로 생각한다. 결함 밀도는 큰 차이는 보이지 않으나 양호한 경향을 보이고 있다.

우선, TZDB 측정 결과 파괴 전계는 약 18 MV/cm로서, 발표된 기존의 data보다 약 3 MV/cm 정도 높은 것을 알 수 있다. 이는 Last step TCA법에 의하여 성장시킨 게이트 산화막 계면의 Cl이 작용하였다고 볼 수 있다. Cl을 도입한 막에서 파괴 전계는 0.6 MV/cm 정도 더 높아짐을 볼 수 있는데 이는 Cl이 SiO₂막 중의 결함을 줄이고 막의 균일도를 향상시키기 때문인 것으로 생각된다. 즉, weak oxide 영역이 적은 막이 생성됨을 의미한다. 또한 TDDB 신뢰성에서는 Last step TCA법에 의한 것이 20년 이상의 수명을 가진다. 그러나 높은 전류 밀도 스트레스를 가했을 때는 시간에 따라 차츰 산화막의 성질이 변화하여 Cl이 도입되지 않은 막보다 time-to-breakdown(t_{bd})이 짧아짐을 볼 수 있다. 계면의 성질과 밀접한 계면 트랩 밀도 평가에서는 계면에 Cl을 도입시킨 산화막이 양호한 소자 특성의 경향을 보이고 있다. Hot carrier 신뢰성 평가에서 소자의 수명도 양호하게 나타났다.

이상을 종합해 볼 때 Cl을 계면에 도입시킨 게이트 산화막을 가진 소자가 전반적으로 좋은 특성을 나타내고 있으므로 Last step TCA법은 종래의 SiO₂ 산화막 성장 방법 대신에 MOSFET 소자의 새로운 게이트 절연막 성장법으로서 실용상 대단히 유용할 것으로 생각된다.

감사의 글

본 연구의 물성 분석에 있어서 많은 도움을 주신 본 연구소 물성분석실의 SIMS 측정의 광병화씨와 ESCA 측정의 박형호 박사님께 심심한 감사의 말씀을 드립니다.

참고문헌

1. NIKKEI MICRODEVICES, 1991년 4월호.

2. P. J. Wright and K. C. Saraswat, *IEEE Trans. Electron Devices* **37**(8), 1884 (1990).
3. J. E. Chung, M. C. Jeng, J. E. Moon, P. K. Ko and C. Hu, *IEEE Trans. Electron Devices* **37**(7), 165 (1990).
4. J. E. Chung, M. C. Jeng, J. E. Moon, P. K. Ko and C. Hu, *IEEE Trans. Electron Devices* **38**(3), 545 (1991).
5. Hitachi 평론, **72**(12), 59 (1990).
6. K. L. Chen, S. A. Saller, I. A. Groves and D. B. Scott, *IEEE Trans. Electron Devices*, **ED-32**(2), 386 (1985).
7. I. C. Chen, S. E. Holland and C. Hu, *IEEE Trans. Electron Devices*, **ED-32**(2), 413 (1985).
8. Yu Wang, Y. Nishioka, T. P. Ma and R. C. Barker, *Appl. Phys. Lett.* **52**(7), 573 (1988).
9. Yu Wang, Y. Nishioka, T. P. Ma and R. C. Barker, *IEEE IRPS*, 145 (1988).
10. I. Menendez, M. Fernandez and J. L. Sacedou, *J. Vac. Sci. Tech.* **B6**(1), 45 (1988).
11. Jing-Jenn Lin and Jenn-Gwo Hwa, *Solid-State Electronics*, **34**(12), 1449 (1991).
12. Z. A. Weinberg, T. N. Nguyen, S. A. Cohen and R. Kalish, *Symposium B, Fall Meeting in Boston*, 327 (1985).
13. J. Nulman, J. P. Krusius and A. Gat, *IEEE Electron Devices Lett.* **EDL-6**(5), 205 (1985).
14. Y. Shioya, S. Kawamura, I. Kobayashi, M. Maeda and K. Yanagida, *J. Appl. Phys.* **61**(11), 5102 (1987).
15. R. Mozzami and C. Hu, *IEEE Trans. Electron Devices* **37**(7), 1643 (1990).
16. I. C. Chen, S. Holland and C. Hu, *IEEE IRPS* **24** (1985).
17. Jack Lee, I. C. Chen and C. Hu, *IEEE IRPS* **131** (1988).
18. I. C. Chen, S. Holland and C. Hu, *IEDM* **660** (1986).
19. T. Kusaka, Y. Ohji and K. Mukai, *IEEE Electron Device Lett.* **EDL-8**(2), 61 (1987).
20. C. T. Sah, J. Y.-C. Sun and J. J.-T. Tzou, *J. Appl. Phys.* **55**(6), 1525 (1984).
21. R. P. Vasquez, A. Madhukar, F. J. Grunthaler and M. L. Naiman *J. Appl. Phys.* **60**(1), 226 (1986).
22. E. F. da Silva, Y. Nishioka, M. Kato and T. P. Ma, *IEEE Electron Device Lett.* **10**(12), 537 (1989).
23. K. H. Zaininger and G. Warfield, *IEEE Trans. Electron Devices*, 179 (1965).
24. M. Kuhn, *Solid-State Electronics* **13**, 873 (1970).
25. E. H. Nicollian and J. R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*, (John Wiley

- & Sons, Inc., 1982).
26. E. H. Nicollian and A. Goetzberger, *Appl. Phys. Lett.* **7**(8), 216 (1965).
 27. W. D. Eades and R. M. Swanson, *J. Appl. Phys.* **56**(6), 1744 (1984).
 28. N. M. Johnson, D. J. Bartelink and J. P. Mcvittie, *J. Vac. Sci. Tech.* **16**(5), 1407 (1979).
 29. A. Hiroki, S. Odanaka, K. Ohe and H. Esaki, *IEEE Trans. Electron Devices* **35**(9), 1487 (1988).
 30. G. Baccarani and M. R. Wordeman, *IEEE Trans. Electron Devices* **ED-30**(10), 1295 (1983).
 31. Byoung-Gon Yu, Jong-Son Lyu, Tae-Moon Roh and Kee-Soo Nam, *Japan Society of Appl. Phys., Extended Abstracts, 5rd Autumn Meeting* **2**, 698 (1992).
 32. B. J. Fishbein and D. B. Jackman, *IEEE IRPS* 159 (1990).
 33. A. Roy and M. H. White, *IEEE Trans. Electron Devices* **37**(6), 1504 (1990).
 34. H. Sasaki, M. Saitoh and K. Hashimoto, *IEDM* 726 (1987).